

Pontifícia Universidade Católica de Minas Gerais
Instituto de Ciências Exatas e Informática – ICEI
Arquitetura de Computadores I

ARQ1 _ Aula_06

Tema: Introdução à linguagem Verilog e simulação em Logisim

Preparação

Como preparação para o início das atividades, recomendam-se

- a.) leitura prévia do resumo teórico, do detalhamento na apostila e referências recomendadas
- b.) estudo e testes dos exemplos
- c.) assistir aos seguintes vídeos:

<https://www.youtube.com/watch?v=SvcTSNCB4zI>

<https://www.youtube.com/watch?v=VkJ71Js3QDw>

<https://www.youtube.com/watch?v=JUVEGaJkuDY>

Orientação geral:

Apresentar todas as soluções em apenas um arquivo com formato texto (.txt).
As implementações e testes dos exemplos em Verilog (.v) fornecidos como pontos de partida, também fazem parte da atividade e deverão ser entregues os códigos fontes separadamente.
As saídas de resultados, opcionalmente, poderão ser copiadas ao final do código, como comentários.

Outras formas de solução são opcionais; e, se entregues, contarão como atividades extras (c, py). Os programas com funções desenvolvidas em C ou Python (usar modelos para verificação automática de testes das respostas), se entregues, também deverão estar em arquivos separados, com o código fonte, para serem compilados e testados. As execuções deverão, preferencialmente, serem testadas mediante uso de entradas e saídas padrões e os dados/resultados usados para testes armazenados em arquivos textos. Os resultados poderão ser anexados ao código, ao final, como comentários.

Os *layouts* de circuitos deverão ser entregues no formato (.circ), identificados internamente. Figuras exportadas pela ferramenta serão aceitas como arquivos para visualização, mas não terão validade para fins de avaliação. Separar as versões completas (a) das simplificadas (b).

Planilhas, caso utilizadas, deverão ser programadas e/ou usar funções nativas. Também deverão ser entregues em formato texto, com colunas separadas por tabulações ou no formato (.csv).

Arquivos em formato (.pdf), fotos, cópias de tela ou soluções manuscritas serão aceitas como recursos suplementares para visualização e não terão validade para fins de avaliação.

Atividade: Simplificação de circuitos

01.) Funções lógicas podem ser simplificadas diretamente do mapa de Veitch-Karnaugh:

		E			
		xy\z	z'	z	
A	x'	00	(0)	(1)	y' D
	x'	01	(2)	(3)	y C
B	x	11	(6)	(7)	y
	x	10	(4)	(5)	y' D

$$A = x' \cdot f(z)$$

$$B = x \cdot f(z)$$

$$C = y \cdot f(z)$$

$$D = y' \cdot f(z)$$

$$E = f(x,y)$$

Exemplo:

Dado o mapa de Veitch-Karnaugh abaixo, determinar a função simplificada equivalente.

		E			
		xy\z	z'	z	
A	x'	00	(0)	1 (1)	y' D
	x'	01	1 (2)	1 (3)	y C
B	x	11	(6)	(7)	y
	x	10	1 (4)	(5)	y' D

$$f(x,y,z) = \sum m(1, 2, 3, 4) = x' \cdot y' \cdot z + x' \cdot y \cdot z' + x' \cdot y \cdot z + x \cdot y' \cdot z'$$

$$\text{Com (1, 3): } x' \cdot z \quad (A)$$

$$\text{Com (2, 3): } x' \cdot y \quad (E)$$

$$f(x,y,z) = \sum m(1, 2, 3, 4) = x' \cdot z + x' \cdot y + x \cdot y' \cdot z'$$

Montar o mapa de Veitch-Karnaugh e simplificar as funções lógicas abaixo e verificar pelas respectivas tabelas-verdades implementadas em Verilog:

a) $f(x,y,z) = \sum m(1, 5, 7)$

b) $f(x,y,z) = \sum m(0, 4, 6)$

c) $f(x,y,z) = \sum m(2, 3, 6, 7)$

d) $f(x,y,z) = \sum m(1, 2, 3, 6)$

e) $f(x,y,z) = \sum m(0, 2, 5, 7)$

02.) O mapa de Veitch-Karnaugh também serve para simplificar produtos de somas (MAXTERMOS):

			E	
			Z'	Z
			0	1
A	X'	00	(0)	(1) Y' D
	X'	01	(2)	(3) Y C
B	X	11	(6)	(7) Y
	X	10	(4)	(5) Y' D

$$A = X + F(Z)$$

$$B = X' + F(Z)$$

$$C = Y' + F(Z)$$

$$D = Y' + F(Z)$$

$$E = F(X, Y)$$

Exemplo:

Dado o mapa de Veitch-Karnaugh abaixo, determinar o produto das somas (PoS) simplificado.

			E	
			Z	Z'
			0	1
A	X	00	0 (0)	1 (1) Y D
	X	01	1 (2)	1 (3) Y' C
B	X'	11	0 (6)	0 (7) Y'
	X'	10	1 (4)	0 (5) Y D

$$F(X, Y, Z) = \prod M(0, 5, 6, 7) = (X+Y+Z) \cdot (X'+Y+Z') \cdot (X'+Y'+Z) \cdot (X'+Y'+Z')$$

$$\text{Com (5, 7): } (X'+Z') \quad (B)$$

$$\text{Com (6, 7): } (X'+Y') \quad (E)$$

$$F(X, Y, Z) = \prod M(0, 5, 6, 7) = (X+Y+Z) \cdot (X'+Z') \cdot (X'+Y')$$

Montar o mapa de Veitch-Karnaugh e simplificar as funções lógicas abaixo por MAXTERMOS e verificar pelas respectivas tabelas-verdades implementadas em Verilog:

a) $F(X, Y, Z) = \prod M(4, 6, 7)$

b) $F(X, Y, Z) = \prod M(1, 5, 7)$

c) $F(X, Y, Z) = \prod M(1, 3, 4, 6)$

d) $F(X, Y, Z) = \prod M(0, 3, 5, 7)$

e) $F(X, Y, Z) = \prod M(1, 2, 6, 7)$

03.) Se o número de variáveis aumentar, o mapa deve ser modificado ligeiramente, a fim de que as vizinhanças mantenham apenas uma diferença entre elas.

		E		F		
		w'	w'	w	w	
xy\wz		00	01	11	10	
A	x'	00	(1)	(3)	(2)	y' D
	x'	01	(4)	(5)	(6)	y C
	x	11	(12)	(13)	(14)	y
B	x	10	(8)	(9)	(10)	y' D
		z'	z	z	z'	
		H	G		H	

$$\begin{aligned}
 A &= x' \cdot f(w,z) & E &= g(x,y) \cdot w' & (A,B) &= f(w,z) \\
 B &= x \cdot f(w,z) & F &= g(x,y) \cdot w & (C,D) &= f(w,z) \\
 C &= y \cdot f(w,z) & G &= g(x,y) \cdot z & (E,F) &= g(x,y) \\
 D &= y' \cdot f(w,z) & H &= g(x,y) \cdot z' & (G,H) &= g(x,y)
 \end{aligned}$$

Exemplo:

Dado o mapa de Veitch-Karnaugh abaixo, determinar a função simplificada equivalente.

		E		F		
		w'	w'	w	w	
xy\wz		00	01	11	10	
A	x'	0 (0)	1 (1)	0 (3)	1 (2)	y' D
	x'	0 (4)	0 (5)	1 (7)	1 (6)	y C
	x	1 (12)	0 (13)	0 (15)	1 (14)	y
B	x	0 (8)	1 (9)	0 (11)	0 (10)	y' D
		z'	z	z	z'	
		H	G		H	

$$\begin{aligned}
 f(x,y,w,z) &= \sum m(1, 2, 6, 7, 9, 12, 14) \\
 &= x' \cdot y' \cdot w' \cdot z + x' \cdot y' \cdot w \cdot z' + x' \cdot y \cdot w \cdot z' + x' \cdot y \cdot w \cdot z + x \cdot y' \cdot w' \cdot z + x \cdot y \cdot w' \cdot z' + x \cdot y \cdot w \cdot z'
 \end{aligned}$$

$$\begin{aligned}
 \text{Com (2, 6): } &x' \cdot w \cdot z' & (A) & & \text{Com (1,9): } &y' \cdot w' \cdot z & (D) \\
 \text{Com (6, 7): } &x' \cdot y \cdot w & (F) & & \text{Com (12,14): } &x \cdot y \cdot z' & (H)
 \end{aligned}$$

$$f(x,y,w,z) = x' \cdot w \cdot z' + x' \cdot y \cdot w + y' \cdot w' \cdot z + x \cdot y \cdot z'$$

Construir os mapas de Veitch-Karnaugh e simplificar as funções lógicas abaixo e verificar pelas respectivas tabelas-verdades implementadas em Verilog:

- $f(x,y,w,z) = \sum m(1, 3, 5, 7, 11, 13)$
- $f(x,y,w,z) = \sum m(0, 2, 3, 5, 7, 9, 15)$
- $f(x,y,w,z) = \sum m(0, 1, 2, 4, 6, 8, 10, 12)$
- $f(x,y,w,z) = \sum m(2, 4, 5, 7, 10, 11, 13)$
- $f(x,y,w,z) = \sum m(0, 1, 2, 7, 8, 11, 12, 15)$

04.) O mapa de Veitch-Karnaugh também serve para simplificar produtos de somas (MAXTERMOS):

		E		F			
		W	W	W'	W'		
XY\WZ		00	01	11	10		
A	X 00	(0)	(1)	(3)	(2)	Y	D
	X 01	(4)	(5)	(7)	(6)	Y'	C
B	X' 11	(12)	(13)	(15)	(14)	Y'	
	X' 10	(8)	(9)	(11)	(10)	Y	D
		Z	Z'	Z'	Z		
		H	G		H		

$$\begin{aligned}
 A &= X + F(W,Z) & E &= G(X,Y) + W & (A,B) &= F(W,Z) \\
 B &= X' + F(W,Z) & F &= G(X,Y) + W' & (C,D) &= F(W,Z) \\
 C &= Y' + F(W,Z) & G &= G(X,Y) + Z' & (E,F) &= G(X,Y) \\
 D &= Y + F(W,Z) & H &= G(X,Y) + Z & (G,H) &= G(X,Y)
 \end{aligned}$$

Exemplo:

Dado o mapa de Veitch-Karnaugh abaixo, determinar o produto de somas (PoS) simplificado.

		E		F			
		W	W	W'	W'		
XY\WZ		00	01	11	10		
A	X 00	1 (0)	1 (1)	1 (3)	1 (2)	Y	D
	X 01	1 (4)	0 (5)	0 (7)	1 (6)	Y'	C
B	X' 11	1 (12)	0 (13)	0 (15)	1 (14)	Y'	
	X' 10	0 (8)	1 (9)	1 (11)	0 (10)	Y	D
		Z	Z'	Z'	Z		
		H	G		H		

$$F(X,Y,W,Z) = \prod M(5, 7, 8, 10, 13, 15)$$

$$= (X+Y'+W+Z') \cdot (X+Y'+W'+Z') \cdot (X'+Y'+W+Z') \cdot (X'+Y'+W'+Z') \cdot (X'+Y+W'+Z') \cdot (X'+Y+W'+Z)$$

$$\text{Com } (5, 7): (X+Y'+Z') \quad (G) \qquad \text{Com } (8,10): (X'+Y+Z) \quad (H)$$

$$\text{Com } (13,15): (X'+Y'+Z') \quad (G) \qquad \text{Com } (5,7,13,15): (Y'+Z') \quad (C)$$

$$F(X,Y,W,Z) = (Y'+Z') \cdot (X'+Y+Z)$$

Construir os mapas de Veitch-Karnaugh e simplificar as funções lógicas abaixo por MAXTERMOS e verificar pelas respectivas tabelas-verdades implementadas em Verilog:

a) $F(X,Y,W,Z) = \prod M(2, 5, 7, 11)$

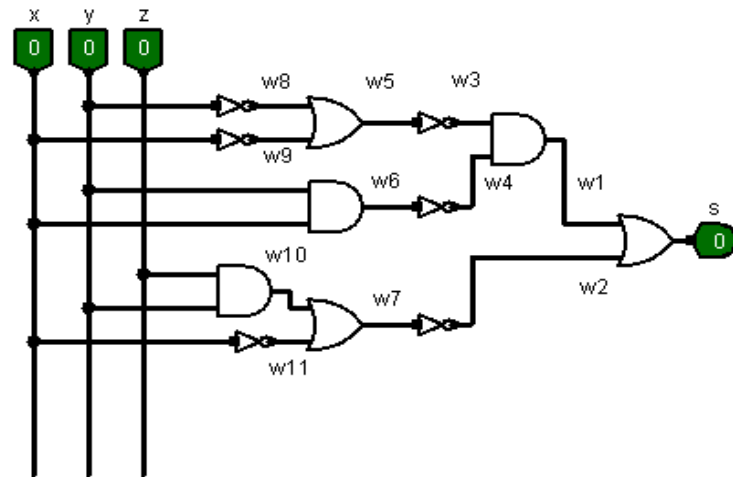
b) $F(X,Y,W,Z) = \prod M(4, 8, 9, 11, 13)$

c) $F(X,Y,W,Z) = \prod M(4, 5, 13, 12, 15)$

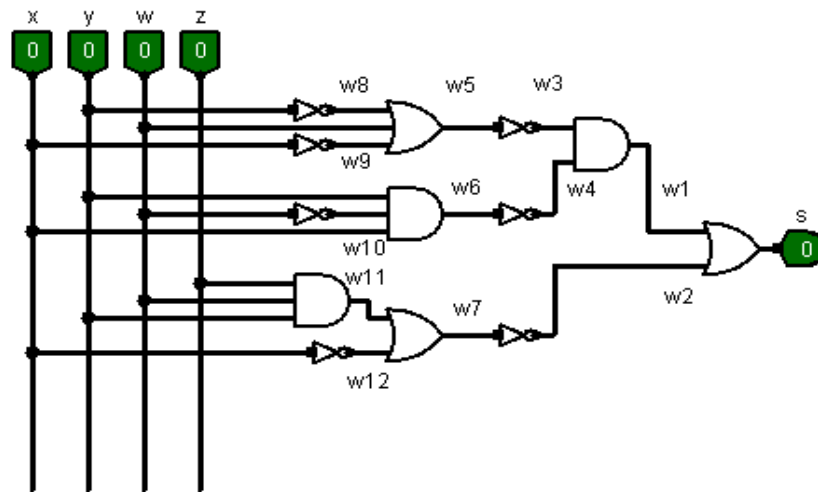
d) $F(X,Y,W,Z) = \prod M(1, 3, 6, 9, 11, 15)$

e) $F(X,Y,W,Z) = \prod M(4, 5, 6, 7, 13, 15)$

- 05.) Identificar a equação característica do circuito lógicos abaixo e simplifica-la pelo mapa de Veitch-Karnaugh usando mintermos. Descrever e simular o circuito simplificado em Verilog e Logisim.



- 06.) Identificar as equações características dos circuitos lógicos abaixo e simplifica-las pelo mapa de Veitch-Karnaugh usando MAXTERMOS. Descrever e simular o circuito simplificado em Verilog e Logisim.



Extras

07.) Dada a expressão em Verilog abaixo, verificar se há simplificação e montar o circuito equivalente:

```
module FXYZ (output S1, input X, input Y, input Z);  
  assign s1 = ( X | ~Y | Z ) & (~X | Y | ~Z) & (~X | ~Y | ~Z );  
endmodule // FXYZ
```

08.) Dada a expressão em Verilog abaixo, verificar se há simplificação e montar o circuito equivalente:

```
module fwxyz (output s1, input w, input x, input y, input z);  
  assign s1 = (w & x & ~y & z) | (w & ~x & y & ~z) | (w & x & ~y & ~z) | (w & ~x & ~y & ~z);  
endmodule // fwxyz
```