

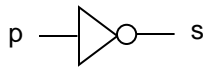
ARQ1 \_ Aula\_05

Tema: Introdução à linguagem Verilog e simulação em Logisim

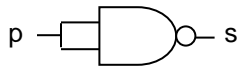
Universalidade das portas NAND e NOR

As portas NAND e NOR podem ser usadas para substituir outras funções lógicas básicas por composições equivalentes, como mostrado a seguir.

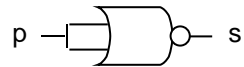
Porta NÃO (NOT)



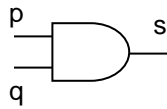
Porta NÃO (NOT)



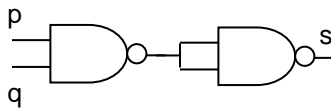
Porta NÃO (NOT)



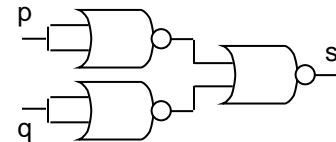
Porta AND



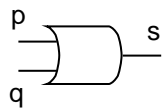
Porta AND



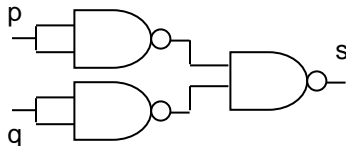
Porta AND



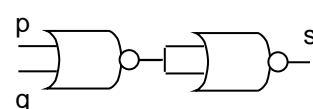
Porta OR



Porta OR



Porta OR



## Atividades

### Preparação

Como preparação para o início das atividades, recomendam-se

- a.) leitura prévia do resumo teórico, do detalhamento na apostila e referências recomendadas
- b.) estudo e testes dos exemplos
- c.) assistir aos seguintes vídeos:

<https://www.youtube.com/watch?v=TdDCWG2inoY>

<https://www.youtube.com/watch?v=WExVhr583vA>

<https://www.youtube.com/watch?v=ZgAtsWlyd5I>

### Orientação geral:

Apresentar todas as soluções em apenas um arquivo com formato texto (.txt). As implementações e testes dos exemplos em Verilog (.v) fornecidos como pontos de partida, também fazem parte da atividade e deverão ser entregues os códigos fontes separadamente. As saídas de resultados, opcionalmente, poderão ser copiadas ao final do código, como comentários.

Outras formas de solução são opcionais; e, se entregues, contarão como atividades extras (c, .py). Os programas com funções desenvolvidas em C ou Python (usar modelos para verificação automática de testes das respostas), se entregues, também deverão estar em arquivos separados, com o código fonte, para serem compilados e testados. As execuções deverão, preferencialmente, serem testadas mediante uso de entradas e saídas padrões e os dados/resultados usados para testes armazenados em arquivos textos. Os resultados poderão ser anexados ao código, ao final, como comentários.

Os *layouts* de circuitos deverão ser entregues no formato (.circ), identificados internamente. Figuras exportadas pela ferramenta serão aceitas como arquivos para visualização, mas não terão validade para fins de avaliação. Separar as versões completas (a) das simplificadas (b).

Planilhas, caso utilizadas, deverão ser programadas e/ou usar funções nativas. Também deverão ser entregues em formato texto, com colunas separadas por tabulações ou no formato (.csv).

Arquivos em formato (.pdf), fotos, cópias de tela ou soluções manuscritas serão aceitas como recursos suplementares para visualização e não terão validade para fins de avaliação.

## Atividades

Para os exercícios a seguir, considerar o exemplo abaixo em Verilog.

```
// -----
// Exemplo_0501 - GATES
// Nome: xxx yyy zzz
// Matricula: 999999
// -----

// -----
// f5_gate
// m a b s
// 0 0 0 0
// 1 0 1 1 <- a'.b
// 2 1 0 0
// 3 1 1 0
//
// -----
module f5 ( output s,
            input a,
            input b );
// definir dado local
wire not_a;
// descrever por portas
not NOT1 ( not_a, a );
and AND1 ( s, not_a, b );
endmodule // f5

// -----
// f5_gate
// m a b s
// 0 0 0 0
// 1 0 1 1 <- a'.b
// 2 1 0 0
// 3 1 1 0
//
// -----
module f5b ( output s,
            input a,
            input b );
// descrever por expressao
assign s = ~a & b;
endmodule // f5b
```

```

module test_f5;
// ----- definir dados
    reg x;
    reg y;
    wire a, b;

    f5a moduloA ( a, x, y );
    f5b moduloB ( b, x, y );

// ----- parte principal

    initial
    begin : main
        $display("Exemplo_0501 - xxx yyy zzz - 999999");
        $display("Test module");
        $display(" x y a b");

        // projetar testes do modulo
        $monitor("%4b %4b %4b %4b", x, y, a, b);
        x = 1'b0; y = 1'b0;
    #1 x = 1'b0; y = 1'b1;
    #1 x = 1'b1; y = 1'b0;
    #1 x = 1'b1; y = 1'b1;

    end

endmodule // test_f5

```

## Exercícios

- 01.) Projetar e descrever em Verilog, usando apenas portas nativas **nor** um módulo equivalente à disjunção ( $a \& b$ ).  
O nome do arquivo deverá ser Exemplo\_0502.v,  
e poderá seguir o modelo descrito anteriormente.  
Incluir previsão de testes.  
Simular o módulo no Logisim e  
apresentar *layout* do circuito e subcircuitos.
- 02.) Projetar e descrever em Verilog, usando apenas portas nativas **nand** um módulo equivalente à conjunção ( $a \mid b$ ).  
O nome do arquivo deverá ser Exemplo\_0503.v,  
e poderá seguir o modelo descrito anteriormente.  
Incluir previsão de testes.  
Simular o módulo no Logisim e  
apresentar *layout* do circuito e subcircuitos.
- 03.) Projetar e descrever em Verilog, usando apenas portas nativas **nor** módulo equivalente à conjunção ( $a \mid b$ ).  
O nome do arquivo deverá ser Exemplo\_0504.v,  
e poderá seguir o modelo descrito anteriormente.  
Incluir previsão de testes.  
Simular o módulo no Logisim e  
apresentar *layout* do circuito e subcircuitos.
- 04.) Projetar e descrever em Verilog, usando apenas portas nativas **nand** módulo equivalente à disjunção ( $a \& b$ ).  
O nome do arquivo deverá ser Exemplo\_0505.v,  
e poderá seguir o modelo descrito anteriormente.  
Incluir previsão de testes.  
Simular os módulos no Logisim e  
apresentar *layout* dos circuitos e subcircuitos.
- 05.) Projetar e descrever em Verilog, usando apenas portas nativas **nor** um módulo equivalente à disjunção exclusiva ( $a \wedge b = a \mathbf{xor} b$ ).  
O nome do arquivo deverá ser Exemplo\_0506.v,  
e poderá seguir o modelo descrito anteriormente.  
Incluir previsão de testes.  
Simular o módulo no Logisim e  
apresentar *layout* do circuito e subcircuitos.
- 06.) Projetar e descrever em Verilog, usando apenas portas nativas **nand** um módulo equivalente à negação da disjunção exclusiva ( $\neg(a \wedge b) = a \mathbf{xnor} b$ ).  
O nome do arquivo deverá ser Exemplo\_0507.v,  
e poderá seguir o modelo descrito anteriormente.  
Incluir previsão de testes.  
Simular o módulo no Logisim e  
apresentar *layout* do circuito e subcircuitos.

## Extras

- 07.) Projetar e descrever em Verilog, usando apenas portas nativas **nor** um módulo equivalente à expressão (  $\sim a \mid \sim b$  ).  
O nome do arquivo deverá ser Exemplo\_0508.v,  
e poderá seguir o modelo descrito anteriormente.  
Incluir previsão de testes.  
Simular o módulo no Logisim e  
apresentar *layout* do circuito e subcircuitos.
- 08.) Projetar e descrever em Verilog, usando apenas portas nativas **nand** um módulo equivalente à expressão (  $\sim a \mid b$  ).  
O nome do arquivo deverá ser Exemplo\_0509.v,  
e poderá seguir o modelo descrito anteriormente.  
Incluir previsão de testes.  
Simular o módulo no Logisim e  
apresentar *layout* do circuito e subcircuitos.