



---

# Design de um amplificador de fonte comum - carga ativa - Tecnologia SkyWater SKY130 Parte 1

---

## **Autor**

José Lira de Oliveira Junior

## **Docente**

Dr. Francisco de Assis Brito Filho

Microeletrônica  
Departamento de Engenharias  
Caraúbas-RN  
2022

# Conteúdo

	Página
<b>1</b> Introdução e Objetivo	<b>1</b>
<b>2</b> Teoria	<b>2</b>
<b>3</b> Metodologia	<b>4</b>
3.1 Parâmetros de projeto . . . . .	4
3.2 Simulação SPICE . . . . .	8
<b>4</b> Resultados	<b>10</b>
<b>5</b> Conclusão	<b>13</b>
Referencias	<b>14</b>

## Lista de Figuras

1	Circuito do amplificador FC com carga ativa . . . . .	2
2	Característica DC . . . . .	2
3	Simulação DC pré-layout . . . . .	10
4	Simulação AC pré-layout . . . . .	11
5	Simulação transiente pré-layout . . . . .	11
6	Simulação transiente (2) pré-layout . . . . .	12

# 1 Introdução e Objetivo

Na tecnologia CMOS, há três topologias básicas de amplificadores: fonte comum (FC), porta comum (PC) e seguidor de fonte. O estágio FC fornece ganho de tensão moderado, alta impedância de entrada e moderada impedância de saída. Similarmente aos amplificadores com TBJ, degeneração pode ser utilizada para melhorar a linearidade, no entanto, isto reduz o ganho de tensão [1].

O estágio PC possui ganho de tensão moderado, baixa impedância de entrada e moderada impedância de saída. E, por fim, o seguidor de fonte entrega ganho de tensão menor que a unidade, sendo utilizado como um *buffer* de tensão, pois possui alta impedância de entrada e baixa impedância de saída.

O objetivo deste relatório é apresentar o *design* de um amplificador inversor FC com carga ativa utilizando a tecnologia SkyWater SKY130nm.

## 2 Teoria

A Figura 1 mostra o esquemático do circuito.

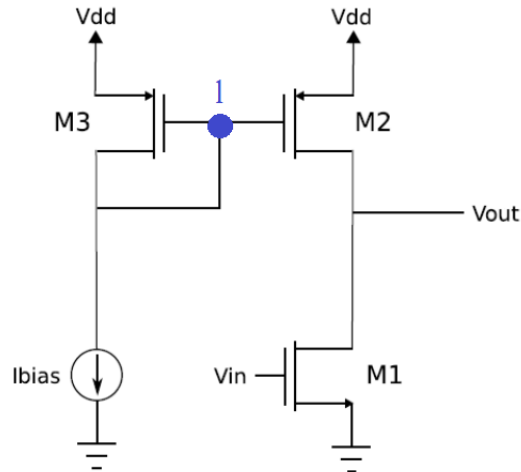


Figura 1: Circuito do amplificador FC com carga ativa

O transistor M1 é do tipo NMOS e tem como carga ativa o transistor PMOS M2, que, por sua vez, está polarizado pelo espelho de corrente com M3 (também PMOS).

Para o circuito funcionar como esperado, todos os transistores devem operar na região de saturação. Essa condição coloca limites nas tensões de entrada e saída. Considere a característica DC.

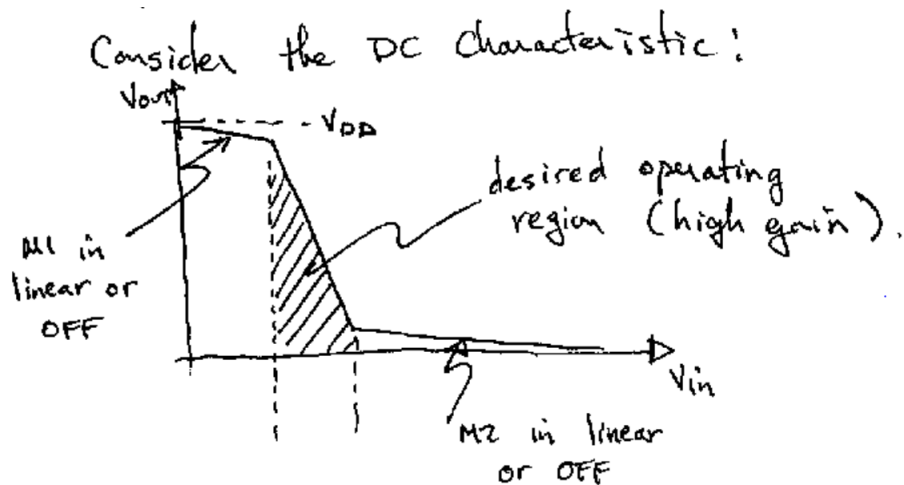


Figura 2: Característica DC

Como mostrado na Figura 2, a região de operação desejada é a hachurada. Pois para  $V_{in}$  muito baixo,  $V_{GS} < V_{TH}$ , desligando  $M_1$  e a saída seria  $V_{DD}$ . Para  $V_{in}$  muito alto,  $M_2$  entra no modo linear.

A análise do circuito será feita na seção de metodologia já usando os parâmetros dos dispositivos MOS a fim de evitar repetições.

### 3 Metodologia

Nesta prática foram utilizados:

- Máquina virtual com CentOS 7;
- Magic;
- Biblioteca da tecnologia sky130;
- Documentação da tecnologia sky130 [2];
- Mathcad 15.

O fluxo do processo de *design* é o seguinte:

1. Elencar as especificações do projeto;
2. Listar os parâmetros da tecnologia dados em [2];
3. Encontrar parâmetros necessários, como o  $\lambda$  dos MOSFETs por análise de gráficos;
4. Simular o circuito com SPICE (aqui foi utilizado o NGSPICE);
5. Verificar se as respostas do circuito corresponde às esperadas;
6. Layout usando o MAGIC VLSI;
7. Simular o circuito pós-layout com SPICE

#### 3.1 Parâmetros de projeto

Os parâmetros do projeto são mostrados na Tabela 1.

Tabela 1: Exigências do projeto

Parâmetro	Valor
Ganho DC	$\geq 40$ dB ( $\geq 100$ )
Variação da tensão de saída	0.2 a 1.6 V
Capacitância de saída	7 pF
Frequência de ganho unitário	80 MHz

Na documentação da tecnologia, podemos encontrar os parâmetros dos dispositivos MOS mostrados na Tabela 2.

Tabela 2: Parâmetros da tecnologia

Parâmetro	nMOS	pMOS
$V_{th}$ (V)	0.49439	-1.0652
$\mu_0(\frac{cm^2}{V.s})$	301.97	24.424
$t_{ox}$ (nm)	4.148	4.23

Na qual  $V_{th}$  é a tensão de limiar,  $\mu_0$  é a mobilidade do portador e  $t_{ox}$  é a espessura do óxido.

Além disso, tem-se  $\epsilon_{rox} = 3.9$  e a permissividade elétrica no vácuo  $\epsilon_0 = 8.8541 \cdot 10^{-12} \frac{F}{m}$ . Com isso, podemos encontrar  $C_{ox}$ .

Para o pMOS:

$$C_{ox} = \epsilon_0 \cdot \frac{\epsilon_{rox}}{t_{ox}} = 8.163 \cdot 10^{-3} \frac{F}{m^2}$$

Para o nMOS:

$$C_{ox} = 8.325 \cdot 10^{-3} \frac{F}{m^2}$$

A fim de encontrar o valor de  $\lambda_n$  e  $\lambda_p$  foram utilizado os arquivos 'lambda\_n.spice' e 'lambda\_p.spice' mostrados a seguir. No repositório do projeto <https://github.com/junior-jl/cs-amp-sky130> pode ser visto o estudo da influência dos valores de W e L no parâmetro de modulação do canal  $\lambda$ .

```
*ID X VDS PLOT TO FIND LAMBDA (N FET)
```

```
*AUTHOR: JOSE LIRA JR
```

```
.include ./minimal_libs/nshort.lib
```

```
* MNAME ND NG NS NB MODNAME L W
```

```
M1 1 2 0 0 nshort_model.0 L=1u W=100u
```

```
*DRAIN VOLTAGE (VALUE DOESN'T MATTER -> DC SWEEP)
```

```
V1 1 0 DC 3V
```

```
*GATE SOURCE VOLTAGE
```

```
VGS 2 0 DC 1V
```

```
.dc V1 0 3 10m
```

```
.end
```

```
.control
```

```
destroy all
```

```
run
```



```
let id = -I(V1)
let vds = V(1)
plot id xlabel 'Vds' ylabel 'Id' title 'Caracteristica Id x Vds'

meas dc id_1 find id at=1.7
meas dc id_2 find id at=1.8

*ro (rds) is 1/slope of the curve
let ro = (1.7-1.8)/(id_1-id_2)
print ro

*a is the slope
let a = 1/ro
print a

*lambda approximation
let lambda = a/(id_2 - a*1.8)
print lambda

.endc

*ID X VDS PLOT TO FIND LAMBDA (P FET)
*AUTHOR: JOSE LIRA JR

.include ./minimal_libs/pshort.lib

* MNAME ND NG NS NB MODNAME L W
M1 1 2 0 0 pshort_model.0 L=1u W=100u

*DRAIN VOLTAGE (VALUE DOESN'T MATTER -> DC SWEEP)
V1 1 0 DC -3V

*GATE SOURCE VOLTAGE
VGS1 2 0 DC -1V

.dc V1 -3 0 10m

.end
```

```
.control

destroy all
run

let id = I(V1)

let vds = V(1)

plot id xlabel 'Vds' ylabel 'Id' title 'Caracteristica Id x Vds'

meas dc id_1 find id at=-1.8
meas dc id_2 find id at=-1.7

*ro (rds) is 1/slope of the curve
let ro = (-1.8-(-1.7))/(id_1-id_2)
print ro

*a is the slope
let a = 1/ro
print a

*lambda approximation
let lambda = abs(a/(id_2 - a*1.8))
print lambda

.endc
```

Por meio das *netlists* acima, encontrou-se:

$$\lambda_n = 0.038052 \frac{1}{V}$$

$$\lambda_p = 0.069696 \frac{1}{V}$$

De posse dos parâmetros e valores necessários, o primeiro passo do projeto é encontrar  $R_o$  (resistência de saída) adequado para as exigências de resposta em frequência, neste caso, 80 MHz de frequência de ganho unitário e 7.5 pF de capacitância na saída. Utilizando a frequência no polo dominante  $f_{pole} = \frac{f_u}{A_v}$ , na qual  $f_u$  é a frequência de ganho unitário.

$$R_o = \frac{1}{2\pi \cdot f_{pole} \cdot C_L} = 28.421 \text{ k}\Omega \quad (1)$$

A partir desse resultado, pode-se calcular a corrente necessária para a polarização do circuito.

$$I_{bias} = \frac{1}{(\lambda_n + \lambda_p)R_o} = 326.557 \mu A \quad (2)$$

Assim, para satisfazer a condição de máxima tensão de saída (1.6 V), é necessário que a tensão dreno-fonte de  $M_2$  ( $V_{DS2}$ ) seja 0.2 V ( $V_{DD} - V_{outmax}$ ). Logo, calcula-se a razão de aspecto do transistor 2 pela equação 3.

$$\left(\frac{W}{L}\right)_2 = \frac{2 \cdot I_{bias}}{\mu_{0p} \cdot C_{oxp} \cdot V_{DS2}^2} = 818.923 \quad (3)$$

Por fim, deve-se calcular a W/L para  $M_1$  de forma que o circuito possua o ganho requerido e a tensão de saída mínima. Tem-se que

$$\left(\frac{W}{L}\right)_1 = \frac{gm_1}{\mu_{0n} \cdot C_{oxn} \cdot (V_{GS1} - V_{thn})} = 69.985 \quad (4)$$

Para os três transistores, o valor utilizado para o comprimento do canal (L) foi  $1\mu m$ .

## 3.2 Simulação SPICE

A *netlist* que descreve o circuito projetado é mostrada a seguir, assim como o *testbench* utilizado para gerar os gráficos das análises DC, AC e transiente.

```
*COMMON SOURCE AMPLIFIER MOSFET
*AUTHOR: JOSE LIRA JR

.include ./minimal_libs/nshort.lib
.include      ./minimal_libs/pshort.lib

.SUBCKT cs_amp VD VGND V1 IN OUT
* MNAME ND NG NS NB MODNAME L W

M1 OUT IN VGND VGND nshort_model.0 L=1u W=69.985u
M2 OUT V1 VD VD pshort_model.0 L=1u W=818.923u
M3 V1 V1 VD VD pshort_model.0 L=1u W=818.923u

.ENDS

*Testbench cs-amp

.include ./cs_amp.spice

*.SUBCKT cs_amp VD VGND V1 IN OUT
```

```
XAMP1 VDD 0 V1 IN OUT CS_AMP
```

```
VDD VDD 0 1.8
```

```
VIN IN 0 1.8
```

```
*VIN IN 0 sin(0.713 0.02 120k)
```

```
*VIN IN 0 0.713 AC 1
```

```
Ibias V1 0 326.557uA
```

```
C1 OUT 0 7pF
```

```
.dc VIN 0 1.8 10m
```

```
*tran 0.1u 20u 1n
```

```
*.ac dec 200 1000 150Meg
```

```
.end
```

```
.control
```

```
run
```

```
*let gain=db(-out/in)
```

```
*meas dc in_1 find in at=15u
```

```
*meas dc out_1 find out at=15u
```

```
*print out_1/in_1
```

```
*plot gain
```

```
plot out in title 'Vout x Vin' xlabel 'Vin' ylabel 'Vout'
```

```
.endc
```

## 4 Resultados

A primeira análise feita é a DC para verificar o ponto de operação do circuito. O gráfico é mostrado na Figura 3.

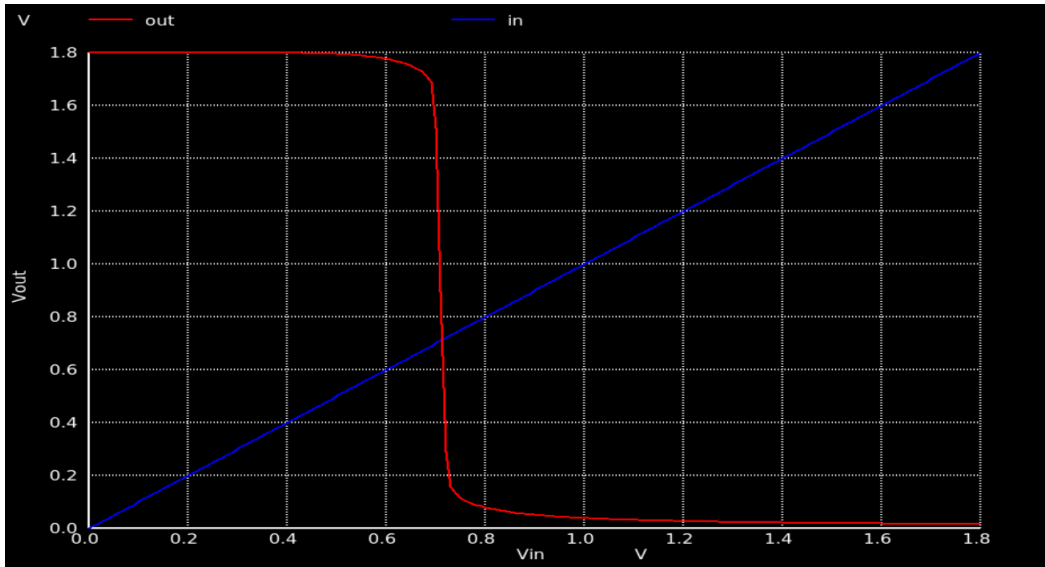


Figura 3: Simulação DC pré-layout

Executando o comando a seguir no terminal do ngspice, encontramos a tensão de operação do circuito igual a 0.713 V.

```
meas dc common find out when out=in
```

Agora, usando o mesmo *testbench*, pode-se ver a análise AC na Figura 4.

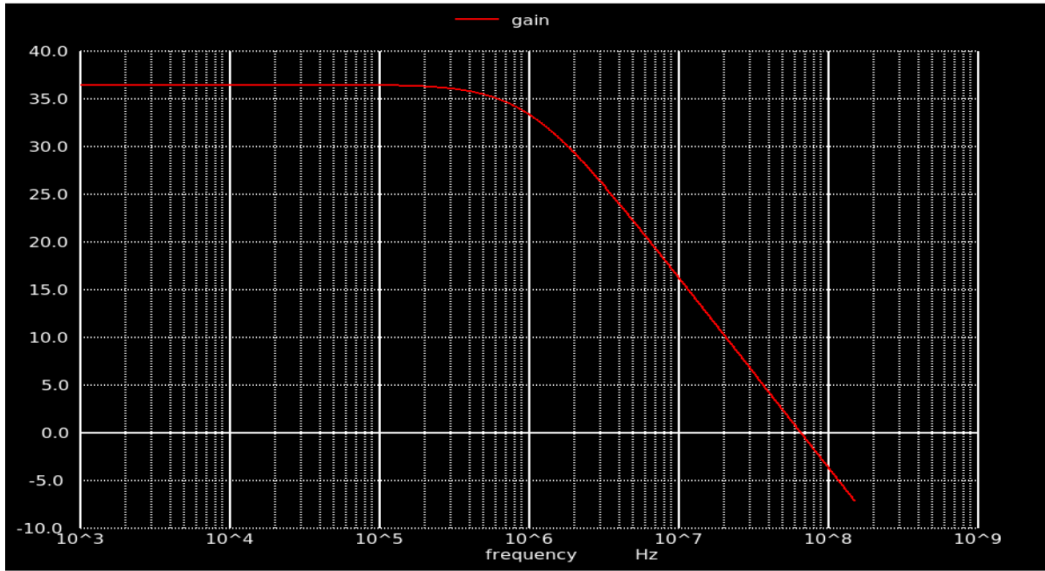


Figura 4: Simulação AC pré-layout

Pode-se observar um ganho de 36.3636 dB, próximo de 40dB, para frequências até 129.6 kHz. A frequência de corte ( $f_{3dB}$ ) encontrada foi aproximadamente 1 MHz, próxima dos 800kHz esperados e a frequência de ganho unitário (GBW) 67.153 MHz, relativamente distante do desejado no projeto.

A seguir, é mostrada a simulação transiente do amplificador aplicando uma tensão de entrada senoidal com offset de 0.713 V, variação de 0.02 V e 120kHz de frequência. A Figura 5 mostra o gráfico da simulação.

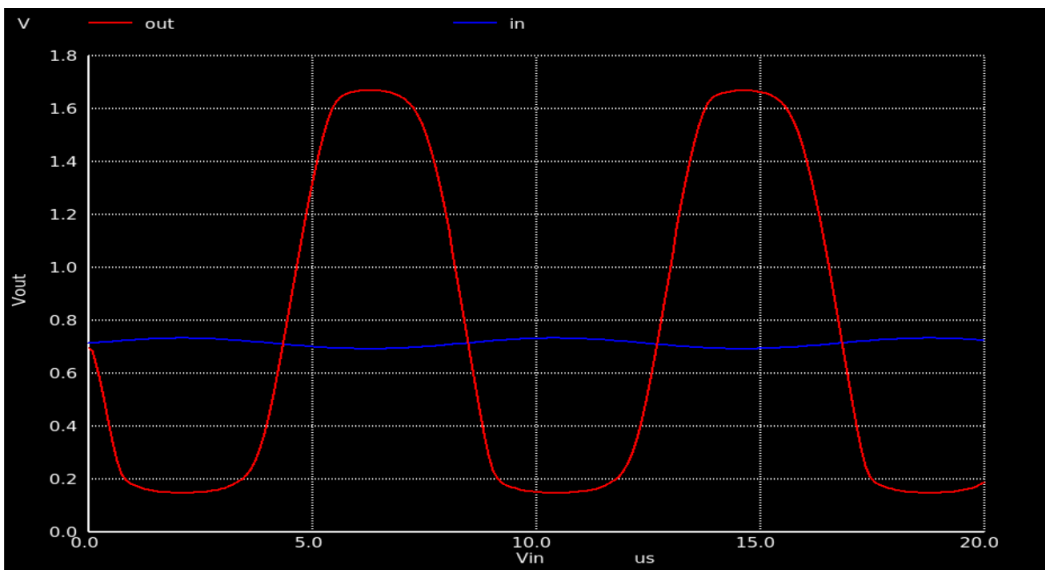


Figura 5: Simulação transiente pré-layout

Para um sinal de entrada com amplitude um pouco menor ( $V_{p-p} = 0.01\text{ V}$ ), tem-se a Figura 6 que mostra uma saída com distorção menor.

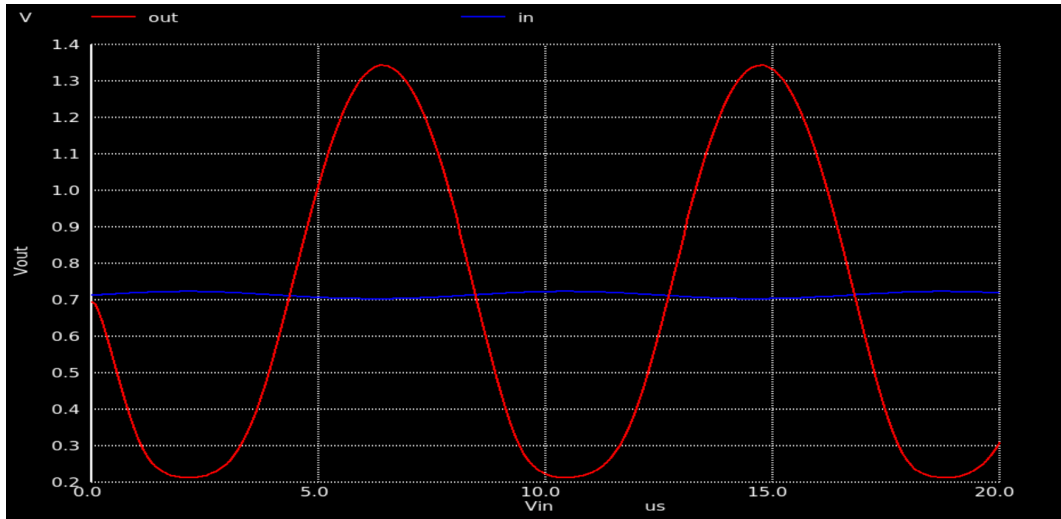


Figura 6: Simulação transiente (2) pré-layout

A Tabela 3 sintetiza os resultados obtidos na simulação pré-layout.

Tabela 3: Resultados

Parâmetro	Valor
Tensão de operação do circuito	0.713 V
Ganho DC	36.363 V
Frequência de corte	1 MHz
Frequência de ganho unitário	67.153 MHz

## 5 Conclusão

Por meio da análise matemática do circuito e respectiva simulação no NGSPICE, pode-se verificar o funcionamento do amplificador fonte comum, o qual oferece um ganho relativamente bom sem a necessidade de utilizar a arquitetura Cascode. Além disso, o projeto simulado apresenta valores bastante próximos aos desejados, faltando apenas ao fluxo de trabalho o *layout* e simulação pós-layout com as capacitâncias geradas pelo *software*. Na parte 2 deste relatório, isto será feito por meio do MAGIC VLSI e, por fim, será verificada a diferença entre os resultados obtidos matematicamente, na simulação pré e pós layout.



## Referências

- [1] B. Razavi, *Fundamentals of microelectronics*. John Wiley & Sons, 2021.
- [2] S. PDK Authors, *Welcome to Skywater Sky130 PDK's documentation!* 2020. URL: <https://skywater-pdk.readthedocs.io/en/main/>.
- [3] R. J. Baker, *CMOS: circuit design, layout, and simulation*. John Wiley & Sons, 2019.
- [4] F. Maloberti, *Analog design for CMOS VLSI systems*. Springer Science & Business Media, 2006, vol. 646.