Техническое задание

На составную часть опытно-конструкторской работы   
«Разработка топологии СБИС радиационно-стойкого процессора со встроенным сопроцессором космического назначения»

(шифр – «Обработка-И8-РК-НС»)

Разработка платы для измерения электрических параметров СБИС на анализаторе логическом AG83000

Шифр – «Обработка-И8-РК-НС – AG83W\_OI8»

2018 г.

Тактико-технические требования

* 1. Требования по составу

Состав изделия

* + - 1. Изделие должно включать в себя следующие функциональные узлы:
* Контактирующее устройство для микросхемы 1890ВК018;
* Система распределения сигнальных выводов микросхемы 1890ВК018;
* Система распределения каналов питания микросхемы 1890ВК018.
  + 1. Комплект поставки:
* изделие (без микросхемы 1890ВК018);
* таблица распределения сигнальных выводов на каналы анализатора логического AG8000.
  1. Требования по назначению

Общие требования

* + - 1. Изделие должно включать в себя контактирующее устройство ACA-ZIF-040-K01 (отв. Комиссаров П.), установленное в центре платы. Контактирующее устройство должно обеспечивать возможность доступа к кристаллу микросхемы 1890ВК018.

Требования к системе распределения сигнальных выводов

* + - 1. Сигнальные выводы микросхемы 1890ВК018 должны быть выведены на свободные каналы тестера AG83000 в соответствии с таблицей 1.

Таблица 1 – Распределение сигнальных выводов микросхемы 1890ВК018.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Группа | Кол-во | Сигналы | Тип | Кол-во | Конфигурация | | |
| -00 | -01 | -02 |
| DBus | 1 | DB\_LWAIT, DB\_LA[25:0], DB\_LD[31:0], DB\_LDHAMM[7:0], DB\_LCS[7:0], DB\_LBE[3:0], DB\_LWE, DB\_LOE, DB\_LADV, DB\_LCLK, DB\_LRST |  | 84 | - | - | 84 |
| SERV  (Системные) | 1 | SERV\_RCLK,  SERV\_CLK125\_P, SERV\_CLK125\_M,(diff)  SERV\_POR,  SERV\_OVERHEAT,  SERV\_B\_ERRORS,  SERV\_L\_ENDIAN,  SERV\_BOOTROM[1:0],  SERV\_EXINT0,  SERV\_EXINT1,  SERV\_NMI\_N,  SERV\_RST\_N |  | 13 | 13 | 13 | 13 |
| MIL\_1553 | 2 | MKIO0\_DO\_P, MKIO0\_DO\_M (diff)  MKIO0\_ENM, MKIO0\_ENR,  MKIO0\_DMI\_P, MKIO0\_DMI\_M,(diff)  MKIO0\_DRI\_P, MKIO0\_DRI\_M,(diff)  MKIO1\_DO\_P, MKIO1\_DO\_M,(diff)  MKIO1\_ENM, MKIO1\_ENR, MKIO1\_DMI\_P, MKIO1\_DMI\_M,(diff) MKIO1\_DRI\_P, MKIO1\_DRI\_M(diff) |  | 16 | - | - | 16 |
| SPI | 3  4 | SPI0\_MISO, SPI0\_MOSI, SPI0\_SCK, SPI0\_CS\_N[3:0], SPI1\_MISO, SPI1\_MOSI, SPI1\_SCK, SPI1\_CS\_N[3:0], SPI6\_MISO, SPI6\_MOSI, SPI6\_SCK, SPI6\_CS\_N[3:0],  SPI2\_MISO, SPI2\_MOSI, SPI2\_SCK, SPI2\_CS\_N[1:0], SPI3\_MISO, SPI3\_MOSI, SPI3\_SCK, SPI3\_CS\_N[1:0], SPI4\_MISO, SPI4\_MOSI, SPI4\_SCK, SPI4\_CS\_N[1:0], SPI5\_MISO, SPI5\_MOSI, SPI5\_SCK, SPI5\_CS\_N[1:0], |  | 41 | 41 | 7  (spi0) | 7  (spi0) |
| CAN | 2 | CAN0\_RX, CAN0\_TX, CAN0\_RS,  CAN0\_P, CAN0\_M, (diff)  CAN1\_RX, CAN1\_TX, CAN1\_RS  CAN1\_P, CAN1\_M(diff) |  | 10 | - | - | 10 |
| I2C | 2 | I2C0\_SDA, I2C0\_SCL,  I2C1\_SDA, I2C1\_SCL |  | 4 | - | - | 4 |
| GPIO | 1 | GPIO\_BI\_A[7:0], GPIO\_BI\_B[7:0], GPIO\_BI\_C[7:0], GPIO\_BI\_D[7:0] |  | 32 | - | - | 32 |
| RS232 | 2 | UART0\_RXD, UART0\_CTS\_N, UART0\_TXD, UART0\_RTS\_N,  UART1\_RXD, UART1\_CTS\_N, UART1\_TXD, UART1\_RTS\_N |  | 8 | 4  (uart0) | 4  (uart0) | 8 |
| JTAG | 1 | JTAG\_TCK, JTAG\_TRST\_N, JTAG\_TMS, JTAG\_TDI, JTAG\_TDO |  | 5 | 5 | 5 | 5 |
| SW | 4 | SW0\_DI\_P, SW0\_DI\_M, (diff)  SW0\_SI\_P, SW0\_SI\_M, (diff)  SW0\_DO\_P, SW0\_DO\_M, (diff)  SW0\_SO\_P, SW0\_SO\_M, (diff)  SW1\_DI\_P, SW1\_DI\_M, (diff)  SW1\_SI\_P, SW1\_SI\_M, (diff)  SW1\_DO\_P, SW1\_DO\_M, (diff)  SW1\_SO\_P, SW1\_SO\_M, (diff)  SW2\_DI\_P, SW2\_DI\_M, (diff)  SW2\_SI\_P, SW2\_SI\_M, (diff)  SW2\_DO\_P, SW2\_DO\_M, (diff)  SW2\_SO\_P, SW2\_SO\_M, (diff)  SW3\_DI\_P, SW3\_DI\_M, (diff)  SW3\_SI\_P, SW3\_SI\_M, (diff)  SW3\_DO\_P, SW3\_DO\_M, (diff)  SW3\_SO\_P, SW3\_SO\_M (diff) |  | 32 | - | - | 32 |
| DDR2/3  (ОЗУ DDR2/DDR3) | 1 | DDR0\_MCLK\_P[3:0], DR0\_MCLK\_M[3:0], (diff)  DDR0\_DQ[71:0], DDR0\_MA[15:0], DDR0\_CAS\_N, DDR0\_RAS\_N, DDR0\_WE\_N, DDR0\_CS\_N[1:0], DDR0\_BA[2:0], DDR0\_DQM[8:0],  DDR0\_DQS\_P[8:0], DDR0\_DQS\_M[8:0], (diff)  DDR0\_MCKE, DDR0\_MRST\_N, DDR0\_PADHI, DDR0\_PADLO, DDR0\_RTT, DDR0\_ODT |  | 137 | 137 | 137 | - |
| SRIO | 8 | SRIO0\_TX\_P[3:0] SRIO0\_TX\_M[3:0] (diff)  SRIO0\_RX\_P[3:0] SRIO0\_RX\_M[3:0] (diff)  SRIO1\_TX\_P[3:0] SRIO1\_TX\_M[3:0] (diff)  SRIO1\_RX\_P[3:0] SRIO1\_RX\_M[3:0] (diff)  SRIO2\_TX\_P[3:0] SRIO2\_TX\_M[3:0] (diff) SRIO2\_RX\_P[3:0] SRIO2\_RX\_M[3:0] (diff)  SRIO3\_TX\_P[3:0] SRIO3\_TX\_M[3:0] (diff)  SRIO3\_RX\_P[3:0] SRIO3\_RX\_M[3:0] (diff)  SRIO\_MAX\_SPEED[1:0] |  | 66 | - | - | 66 |
| GETHERNET | 1 | RGMII0\_TXC, RGMII0\_TD[3:0], RGMII0\_TX\_CTL, RGMII0\_RXC, RGMII0\_RD[3:0], RGMII0\_RX\_CTL, RGMII0\_MDIO, RGMII0\_MDC, RGMII0\_GEP0 |  | 15 | 15 | - | - |
| SCAN | 1 | SCAN\_TESTMODE0, SCAN\_EN, SCAN\_TESTMODE1 |  | 3 | 3 | 3 | 3 |
| TEST | 1 | TEST\_TCLK |  | 1 | 1 | 1 | 1 |
| PowerShutOff external pins | 1 | SRIO\_PSO\_EXT, CP2\_PSO\_EXT |  | 2 | - | - | 2 |
|  |  | Итого: |  | 593 | 219 | 202 | 251 |

* + - 1. Подключения сигналов к свободным каналам тестера реализовать через комбинированную коммутацию соединителей (соединители 68 контактов MDI-68 и соединители 14 контактов IDC-14) с помощью соответствующих кабелей. Организацию коммутации кабелями с архитектурой “Pin to Pin” реализовать согласно конфигурации вывода по данным таблицы 1.

ЭН-ОИ.685669.001-01 Кабель CBL\_AG83W\_2XUDB68M

ЭН-ОИ.685669.001 Кабель CBL\_AG83W\_2XUDB68M

ЭН-ОИ.685611.110 Кабель CBL\_PC14\_2XIDC14F

* + - 1. Сигнальные выводы микросхемы 1890ВК018 должны быть подключены к свободным каналам тестера через проходное сопротивление (типоразмер - 0805) в соответствии с таблицей 2.

Таблица 2 – Проходное сопротивление сигнальных выводов микросхемы.

|  |  |
| --- | --- |
| Тип сигнала | Проходное сопротивление |
| Сигналы типа *input* через резистор | 0 Ом |
| Сигналы типа *output* и *input/output* через резистор | 330 Ом |
| Сигналы типа *output* интерфейса SpaceWire (CMOS) | 150 Ом |
| Сигналы типа *RX / TX* интерфейса SRIO через индуктор | 0.47 мкГн |

* + - 1. Сигнальные выводы микросхемы 1890ВК018 типа RX/TX интерфейса SRIO должны быть замкнуты в соответствии с принципом TXn на RXn через конденсаторы 0.1 мкФ для каждой сигнальной линии соответственно.
      2. Сигнальные выводы должны трассироваться с волновым сопротивлением 50 Ом. Требования к контролю длины не предъявляются.
      3. Сигналы приемника интерфейса SpaceWire (diff) должны быть выведены на каналы тестера через резистор 0 Ом. Между сигналами передатчика интерфейса SpaceWire (diff), образующими дифференциальную пару, должны быть заложены терминирующие резисторы типоразмера 0805 (см. рис. 1) как можно ближе к контактам микросхемы.



Рисунок 1 – схема подключения терминирующих резисторов

* + - 1. Сигналы передатчика интерфейса SpaceWire (diff) должны иметь проходной резистор номиналом 50 Ом, установленный как можно ближе к каналам тестера.
      2. Сигналы интерфейса SpaceWire (diff) должны трассироваться как одиночные лини (single) с волновым сопротивлением 50 Ом(Z0\_singl = 50 Ом).
      3. Группы сигналов, указанных в таблице 1 с дополнением (diff), за исключением сигналов интерфейса SpaceWire (п.1.2.2.8), должны трассироваться как связанные дифференциальные сигналы с волновым сопротивлением 100 Ом (Z0\_diff = 100 Ом).
      4. Для сигнальных выводов, используемых в микросхеме 1890ВК018, но не подключаемых к каналам тестера AG83000 в соответствии с исполнением платы, должна быть предусмотрена возможность замыкания друг на друга через соединители согласно указаниям, приведённым в таблице 3.

Таблица 3 – Прямая коммутация сигнальных выводов микросхемы.

| Сигнал 1 | Сигнал 2 | Соединеие |
| --- | --- | --- |
| GPIO\_BI\_A[7] | GPIO\_BI\_B[7] | Джампер/Кабель |
| GPIO\_BI\_A[6] | GPIO\_BI\_B[6] | Джампер/Кабель |
| GPIO\_BI\_A[5] | GPIO\_BI\_B[5] | Джампер/Кабель |
| GPIO\_BI\_A[4] | GPIO\_BI\_B[4] | Джампер/Кабель |
| GPIO\_BI\_A[3] | GPIO\_BI\_B[3] | Джампер/Кабель |
| GPIO\_BI\_A[2] | GPIO\_BI\_B[2] | Джампер/Кабель |
| GPIO\_BI\_A[1] | GPIO\_BI\_B[1] | Джампер/Кабель |
| GPIO\_BI\_A[0] | GPIO\_BI\_B[0] | Джампер/Кабель |

* + - 1. Сигналы микросхемы 1890ВК018, указанные в таблице 4, должны быть выведены на тестовые точки, ориентированные по расположению в комбинации с переходными отверстиями, и с открытым доступом для подключения измерительного оборудования.

Таблица 4 – Набор сигнальных выводов микросхемы для вывода на штыревой соединитель.

| Вывод  микросхемы | Сигнал | Обозначение  вывода | Примечание |
| --- | --- | --- | --- |
|  | | DDR0\_MCLK3\_P | MCLK3\_P |  |
|  | | DDR0\_MCLK2\_P | MCLK2\_P |  |
|  | | DDR0\_MCLK1\_P | MCLK1\_P |  |
|  | | DDR0\_MCLK0\_P | MCLK0\_P |  |
|  | | DDR0\_DQS\_P[0] | DQS0\_P |  |
|  | | DDR0\_DQM[0] | DQM0 |  |
|  | | DDR0\_DQ[0] | DQ[0] |  |
|  | | DDR0\_A[0] | MA[0] |  |
|  | | DDR0\_CAS\_N | CAS# |  |
|  | | DDR0\_RAS\_N | RAS# |  |
|  | | DDR0\_WE\_N | WE# |  |
|  | | DDR0\_MCKE | MCKE |  |
|  | | DDR0\_BA[0] | BA[0] |  |
|  | | DDR0\_ODT | ODT |  |
|  | | DDR0\_CS\_N[0] | CS0# |  |

* + - 1. Выводы с сигналами микросхемы 1890ВК018, указанные в таблице 5, должны быть выведены через двухпозиционные перемычки или на цепь земли GND\_Digital, или через резистор 10 кОм на канал питания цепи VСС\_3V3.

Таблица 5 – Набор сигнальных выводов микросхемы для вывода на двухпозиционные перемычки.

| Вывод  микросхемы | Сигнал | Обозначение центрального вывода перемычки |
| --- | --- | --- |
| AJ24 | | SRIO0\_PSO\_EXT | SRIO0\_PSO |
| F17 | | CP2\_PSO\_EXT | CP2\_PSO |
| AC12 | | SERV\_BOOTROOM0 | BOOTROOM0 |
| AC13 | | SERV\_BOOTROOM1 | BOOTROOM1 |
| AK24 | | SERV\_L\_ENDIAN | L\_ENDIAN |

Указать на шелкографии платы положение подключения.

* + - 1. Сигналы микросхемы 1890ВК018, указанные в таблице 6, должны быть выведены на штыревые соединители (шаг 2.54 мм.), 2 контакта, один контакт которого соединен с сигналом, а другой с общим выводом (GND).

Таблица 6 – Набор сигнальных выводов микросхемы для вывода на двухвыводные гребёнки (перемычки).

| Вывод  микросхемы | Сигнал | Обозначение сигнального вывода перемычки | Примечание |
| --- | --- | --- | --- |
|  | | SERV\_NMI\_N | NMI\_N |  |
|  | | SERV\_RST\_N | RESET\_N | Управление от соединителя с тестером |
|  | | SCAN\_TESTMODE0 | SCAN\_TM0 |  |
|  | | SCAN\_TESTMODE1 | SCAN\_TM1 |  |
|  | | SCAN\_EN | SCAN\_EN |  |
|  | | TEST\_TCLK | TEST\_TCLK |  |

\*Подключение после проходного резистора (К чему это ???)

* + - 1. Для выводов, представленных в таблице 3, предусмотреть возможность измерения емкости, путем добавления на плате посадочного места (гнездо) под двухпозиционную перемычку, один контакт которой соединен с сигналом, а другой с общим выводом (GND).

Таблица 3 – Измерение емкости выводов

|  |  |  |  |
| --- | --- | --- | --- |
| Pin # | Имя сигнала | Тип вывода | Тип пада |
|  | DDR0\_DQ | input/output |  |
|  | DDR0\_MA | output |  |
|  | SW0\_DO\_P/M | output | LVDSTX\_65 |
|  | MKIO0\_DO\_P/M | output | DO08 |
|  | GPIO\_BI\_A | input/output | DB08 |
|  | JTAG\_TDO | output | DT08 |
|  | RGMII0\_TD | output | DB08Eth |
|  | SRIO0\_TX\_P/M | output | SERLINK065RK |

* + - 1. Для тактовых сигналов (SERV\_RCLK и SERV\_CLK125(diff)) обеспечить возможность подключения установленных на плате кварцевых генераторов 24 МГц и 125 МГц(LVDS), соответственно, или подключения внешнего генератора тактовой частоты.
      2. Интерфейсы JTAG, SPI, UART помимо вывода на свободные каналы тестера должен быть выведен на 10 контактный соединитель IDC с наличием физического ключа или ключ должен быть обозначен на шелкографии.
      3. Обеспечить возможность замыкания сигнала TRST на сигнал COLDRESET.

Требования к системе распределения каналов питания микросхемы SCH23

* + - 1. Микросхема 1890ВК018 должна запитываться по пяти независимым каналам питания (VCC\_CORE, VCC\_IO, VCC\_SpW, VCC\_SINT, VCC\_ADC). Наиболее потребляемые каналы (VCC\_CORE, VCC\_IO) должны быть подключены к более мощным каналам тестера (DPS11, DPS12, DPS13, DPS14).

|  |  |  |  |
| --- | --- | --- | --- |
| Net Name | Канал тестера | Наминал напряжения | Примечание |
| VCC\_SW\_3V3 | 1 |  |  |
| VCC\_IO3V3 |  |  |
|  |  |  |  |
| VCC\_SRIOX\_TA2V5 | 2 |  |  |
| VCC\_SRIOX\_TP2V5 |  |  |
| VCC\_SRIOX\_RP2V5 |  |  |
| VCC\_TADC\_A2V5 |  |  |
| VCC\_TADC\_2V5 |  |  |
|  |  |  |  |
| VCC\_DDR0\_1V8 | 3 |  |  |
|  |  |  |  |
| VCC\_DDR0\_1V0 | 4 |  |  |
| VCC\_C1V0 |  |  |
| VCC\_SRIOX\_RA1V0 |  |  |
| VCC\_SRIOX\_A1V0 |  |  |
| VCC\_FB\_C1V0 |  |  |
| VCC\_SINT\_CORE\_A1V0 |  |  |
| VCC\_SINT\_AXI\_A1V0 |  |  |
| VCC\_SINT\_SRIO\_A1V0 |  |  |
| VCC\_SINT\_MEM\_A1V0 |  |  |
| VCC\_TADC\_1V0 |  |  |  |
|  |  |  |  |
| VREF\_SW\_1V25 |  |  |  |
| VREF\_DDR0\_0V9 |  |  |  |
| VREF\_TADC\_1V2 |  |  |  |
|  |  |  |  |
| IREF\_SW |  |  |  |
|  |  |  |  |
| RREF\_TADC |  |  |  |
|  |  |  |  |
| TADC\_INA |  |  |  |
| TADC\_INC |  |  |  |
| TADC\_RESERV0 |  |  |  |
|  |  |  |  |
| GND\_SW |  |  |  |
| GND\_DDR0 |  |  |  |
|  |  |  |  |
| GND\_IO3V3 |  |  |  |
|  |  |  |  |
| GND\_SRIOX\_TA2V5 |  |  |  |
| GND\_SRIOX\_TP2V5 |  |  |  |
| GND\_SRIOX\_RP2V5 |  |  |  |
| GND\_TADC\_A2V5 |  |  |  |
| GND\_TADC\_2V5 |  |  |  |
|  |  |  |  |
| GND\_SRIOX\_RA1V0 |  |  |  |
| GND\_SRIOX\_A1V0 |  |  |  |
| GND\_C1V0 |  |  |  |
| GND\_FB\_C1V0 |  |  |  |
| GND\_SINT\_CORE\_A1V0 |  |  |  |
| GND\_SINT\_AXI\_A1V0 |  |  |  |
| GND\_SINT\_SRIO\_A1V0 |  |  |  |
| GND\_SINT\_MEM\_A1V0 |  |  |  |

* + - 1. Сигналы IREF\_(DDR/LVDS/SRIO) должны подключаться через резистор Х Ом к GND.
      2. Предусмотреть контрольные точки (VCC, GND) по каждому номиналу питания, расположенные как можно ближе к микросхеме (на верхнем слое, TOP) и на удалении от фильтрующих конденсаторов (~0,5-1 см).
      3. Предусмотреть соединитель (39-29-9086, Molex) для подключения лабораторного источника питания – при схеме включения платы без тестера AG83000.
      4. Выводы GND соединить с общим выводом.
      5. Выводы NC никуда подключать не нужно.

Конструктивные требования

* + 1. Изделие должно иметь габаритные размеры 30х30см и соответствовать конструктиву F330. При размещении элементов печатной платы должны быть учтены разрешенные/запрещенные зоны для размещения элементов.
    2. Все элементы платы (за исключением фильтрующих конденсаторов по питанию) должны быть расположены на верхней стороне платы (top).
    3. На шелкографии обозначить:
* Наименование печатной платы и ее децимальный номер;
* Позицию по схеме всех элементов;
* Первый вывод микросхем и соединителей;
* Наименование сигналов выведенных на соединители (например, см. п.1.2.2.4, 1.2.2.5, 1.2.3.1)
  1. Требования к эксплуатации, хранению, удобству технического обслуживания и ремонта
     1. Изделие рассчитано для работы в температурном диапазоне ‑60 ÷ +125 0С при его относительной влажности (40÷80)%.
     2. Время непрерывной работы – не ограничивается;

Этапы выполнения

Сроки и содержание выполнения этапов составной части ОКР определяются ведомостью исполнения к договору на выполнение ОКР " Обработка-И8-РК-НС ".

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| \_\_\_\_\_\_\_\_\_ | Щербаков А.С. | \_\_\_\_\_\_\_\_\_ | Сидоров А.Ю. | \_\_\_\_\_\_\_\_\_ | Разработчик PCB |
|  |  |  |  |  |  |
|  |  |  |  | \_\_\_\_\_\_\_\_\_ | Комиссаров П.В. |
|  |  |  |  |  |  |
|  |  |  |  | \_\_\_\_\_\_\_\_\_ | Зуйков А.В. |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |