***2022***



**数字电路与逻辑设计**

**实验报告**

|  |  |
| --- | --- |
| 专 业： | 计算机科学与技术 |
| 班 级： | 计科2110 |
| 学 号： | U202115648 |
| 姓 名： | 杨尚君 |
| 电 话： | 15727085792 |
| 邮 件： | [940692727@qq.com](mailto:940692727@qq.com) |
| 完成日期： | 11.30 |

**实验报告及电路设计评分细则**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 评 分 项 目 | 满分 | 得分 | 备注 | |  |
| 文档格式（段落、行间距、缩进、图表、编号等） | 15 |  |  | | 实验报告总分 |
| 设计方案与实验过程 | 60 |  |  | |
| 遇到的问题及处理 | 10 |  |  | |
| 设计方案存在的不足 | 5 |  |  | |
| 心得（含思政） | 5 |  |  | |
| 意见和建议 | 5 |  |  | |
| 电路（头歌） | 100 |  |  | |  |
| 教师签名 |  | | 日 期 |  | |

备注：实验过程将从电路的复杂度、是否考虑竞争和险象、电路的美观等方面进行评分。

实验课程总分=电路（头歌）\*0.4+实验报告\*0.6目 录

[1 实验概述 1](#_Toc117868487)

[1.1 实验名称 1](#_Toc117868488)

[1.2 实验目的 1](#_Toc117868489)

[1.3 实验环境 1](#_Toc117868490)

[1.4 实验内容 1](#_Toc117868491)

[1.5 实验要求 2](#_Toc117868492)

[2 设计方案与实验过程 3](#_Toc117868493)

[2.1 方案设计 3](#_Toc117868494)

[2.2 实验过程 3](#_Toc117868495)

[3 设计总结与心得 4](#_Toc117868496)

[3.1 实验总结 4](#_Toc117868497)

[3.1.1遇到的问题及处理 4](#_Toc117868498)

[3.1.2设计方案存在的不足 4](#_Toc117868499)

[3.2 实验心得 4](#_Toc117868500)

[3.3 意见与建议 4](#_Toc117868501)

# 实验概述

## 实验名称

运动码表系统设计。

## 实验目的

实验将提供一个完整的数字逻辑实验包，从真值表方式构建7段数码管驱动电路，到逻辑表达式方式构建四位比较器，多路选择器，利用同步时序逻辑构建BCD计数器，从简单的组合逻辑电路到复杂时序逻辑电路，最终集成实现为运动码表系统。

实验由简到难，层次递进，从器件到部件，从部件到系统，通过本实验的设计、仿真、验证3个训练过程使同学们掌握小型数字电路系统的设计、仿真、调试方法以及电路模块封装的方法。

## 实验环境

软件：Logisim2.15.0.2软件一套。

平台：https://www.educoder.net

## 实验内容

设计一个运动码表系统，具体内容及要求如下：

输入：4个按钮，分别为Start、Stop、Store和Reset。

输出：4个7段数码管显示数字，分别显示秒和百分秒。

具体功能：

（1）当按下Start时，计时器清零，重新开始计时；

（2）当按下Stop时，计时器停止计时，显示计时数据；

（3）当按下Store时，若当前计时数据小于系统记录，则更新系统记录，并显示当前计时数据；否则不更新系统记录，但显示系统记录。

（4）当按下Reset时，复位，计时=0.00, 系统记录=99.99。

## 实验要求

1. 根据给定的实验包，将运动码表系统切分为一个个实验单元；
2. 对每一个实验单元，按要求设计电路并使用Logisim软件进行虚拟仿真；
3. 设计好的电路在educoder平台上提交并进行评测，直到通过全部关卡。

# 设计方案与实验过程

## 方案设计

方案设计的流程图如图1所示：

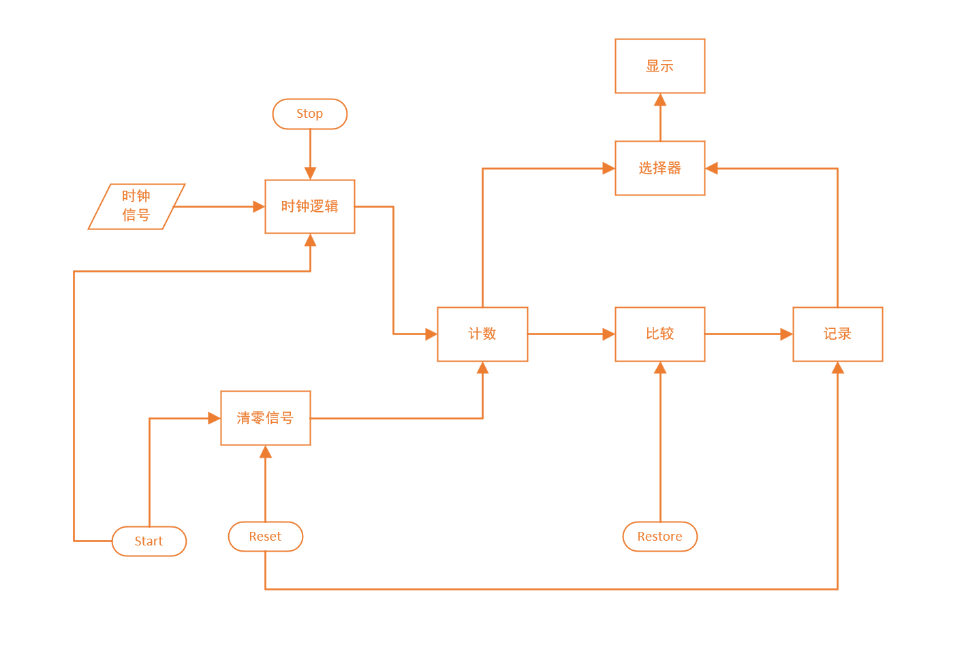


图 1 方案设计的流程图

方案设计的流程图各部分功能的解释如下：

运动码表的系统的实现主要包括时钟逻辑、计数器、比较器、清零、记录、选择器、显示七个部分。时钟逻辑通过输入统一的时钟脉冲信号控制码表的按时间计数，当按下Stop按钮时，中断时钟脉冲信号的输入，这样就可以将码表暂停；计数器的功能是每接收到一个时钟信号便加一，范围是从0到9999；比较器的功能是在按下Store时将现有时间与已保存的时间进行比较，存入较小的时间；清零功能是实现在按下Reset时将计数暂停，计数恢复到0，保存的时间置为最大；记录功能是实现在按下Store时，如果当前时间比存储时间更小，则将当前时间存入存储电路；选择器功能是选择输入当前时间还是存储的最好记录；显示部分功能是将数字信号转换为7段数码管上显示的数字。

### 7段数码管驱动电路

7段数码管需要7位输入来控制每一段数码管的亮与灭，1表示亮，0表示灭。而四位二进制数不能直接输入到七段数码管，需要一个组合录逻辑电路将四位二进制码转换为可输入到7段数码管中的七位二进制代码。

7段数码管驱动电路的功能是将0~9这10种四位二进制信号转换为对应的七位二进制信号，再作为7位数码管的输入。

从0到9共10个数字，每个数字都对应一组7段数码管的7个显示管的亮和灭。

例如数字5，需要数码管的第1、2、3、6、7段亮，第4、5段灭，因此将数码管的第1、2、3、6、7个引脚输入1，第4、5个引脚输入0，即可显示数字5；同样的，设计出0~9的数码管引脚的输入，可以得到以下真值表：

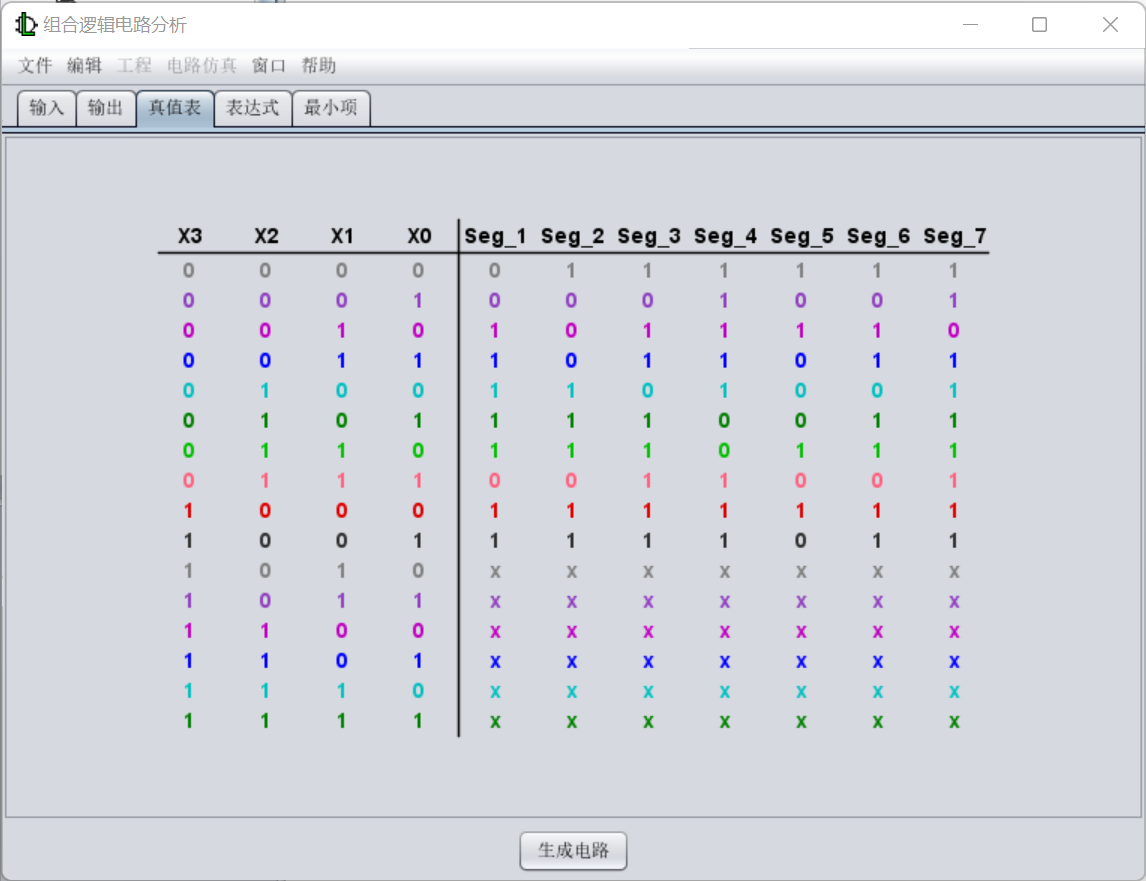


图 2 7段数码管的真值表

通过Logisim的分析组合逻辑电路功能输入真值表，即可生成7段数码管驱动电路的电路图。

下面通过7段数码管的封装电路图来说明其输入和输出：

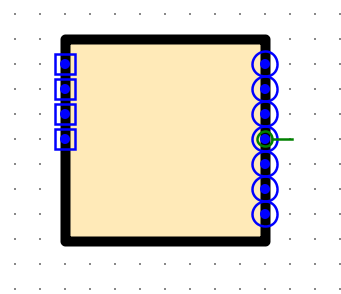


图 3 7段数码管的封装电路图

左边一共有4个输入端，输入代表从0~9数字四位二进制代码，通过内部组合逻辑电路转换为右边输出端的七位二进制代码。

### 2路选择器（1位）

由2路选择器的原理：Out = (Sel == 0) ? x0 : x1，得到卡诺图如下：

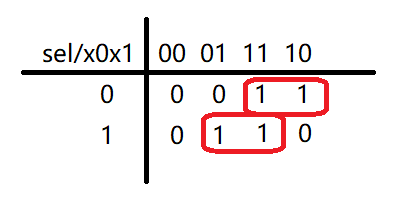
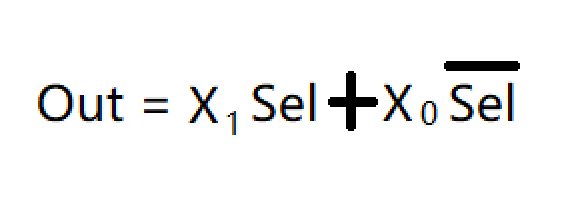


图 4 2路选择器（1位）的卡诺图

通过卡诺图得到逻辑函数表达式如下：



### 2路选择器（16位）

使用已经完成的2路选择器（2位）实现16位的2路选择器。

先将16位的信号x1、x2通过分线器分为16个位宽位1的信号，将其两两接入2位2路选择器，对所有的2路选择器接入统一的Sel选择信号，即可实现16位的2路选择器功能。

### 无符号比较器（4位）

该电路有8个输入，真值表表项256项，用真值表实现过于繁琐，且容易出错，所以对于这类电路只能通过构建逻辑表达式的方式实现。

1位比较 Xi : Yi的逻辑函数表达式如下：

大于Great：Li1 = Xi ~ Yi

小于Less： Li2 = ~ Xi Yi

等于Equal：Li3 = ~ (Xi ^ Yi)=(~ Xi ~ Yi + Xi Yi)

四位无符号比较器的逻辑函数表达式如下：

大于Great：L11+L13L12+L13L23L31+L13L22L22L41

等于Equal：L13L12L22L43

小于Less：L12+L13L22+L13L23L32+L13L23L33L42

### 无符号比较器（16位）

通过4位无符号比较器实现16位五符号比较器的功能。

将16位的信号拆分为四个四位信号，将两个16位信号按从高位到地位的顺序四位四位进行比较。

Great包含四种情况：

1. X的最高四位比Y最高四位大
2. X和Y的最高四位相等，次高的四位X比Y大
3. X和Y的最高四位和次高四位相等，第三高的四位X比Y大
4. X和Y的前三高的四位都相等，第四高的四位X比Y大

类似地，得到Less的四种情况。

只有当每个四位都输出Equal时，X和Y相等。

### 并行加载寄存器（4位）

存储4位二进制数需要4个触发器，将输入的四位二进制信号直接接入钟控D触发器的输入端，四个钟控D触发器接入统一的时钟信号CLK，接入统一的使能信号EN。

4个钟控D触发器的信号按照原来的顺序组合位一个4位信号作为4位并行加载寄存器的输出。

### 并行加载寄存器（16位）

存储16位二进制信息需要4个4位并行加载器，将16位的输入分为4个4位，分别输入到4位并行加载器中，4位并行加载器接入统一的时钟xinhao 和统一的使能信号。

将4个4位并行加载器的输出按原来顺序组合为一个16位信号作为16位并行加载寄存器的输出。

### BCD计数状态机

BCD计数状态机位一个组合逻辑电路，需要输入当前状态，输出下一状态。

通过如下表格得到次态的逻辑函数表达式，通过分析组合逻辑电路功能中的逻辑函数表达式自动生成BCD计数状态机的电路图。



图 5 BCD计数状态机真值表

### BCD计数器输出函数

BCD计数器在计数到9的时候需要进位，此时输出一个1。

因此只需要设计一个简单的组合逻辑电路，在输入0~8时输出0，仅在输入9时输出1。

可以通过分析组合逻辑电路中的真值表法生成电路，也可以手绘该简单的组合逻辑电路。

### BCD计数器（1位十进制）

BCD计数器需要在时钟信号的控制下递增，是一个同步时序逻辑电路。

输入为现态Q，有四位。存储四位二进制的状态需要四个钟控D触发器。

现态Q经过如上完成的状态转移函数后则作为四个钟控D触发器的输入。四个钟控D触发器有统一的时钟信号CLK控制。钟控D触发器的输出即为次态Qn+1，Qn+1经过输出函数后作为进位输出。

### 码表计数器（4位十进制）

用如上实现的1位十进制BCD计数器来实现码表计数器（4位十进制）。

该电路位异步时序逻辑电路，时钟信号CLK输入给最低位的BCD计数器，低位的BCD计数器的进位输出作为高一位的时钟控制进位。

使能信号EN、清零信号RST接到每一个BCD计数器中实现控制、清零功能。

值得注意的是：BCD计数器在9状态会输出一个正脉冲进位信号，而BCD计数器是上升沿触发的，这意味着如果将进位信号直接输入到高一位的BCD计数器，就会在地位为9的时候高位进了1，导致错误。因此就需要将进位信号翻转，这样就会在9这以状态结束的时候到达上升沿，高位进1。

### 码表显示驱动

直接通过数四个码管驱动就可以实现码表显示驱动的功能。

需要注意的是小数点的显示，第1、3、4个数码管的小数点位要接入常量0，第2个数码管的小数点位要接入常量1。

### 码表控制器状态机

通过状态图写出状态表，再将生成的逻辑函数表达式输入到分析组合逻辑电路中，自动生成状态转换电路。

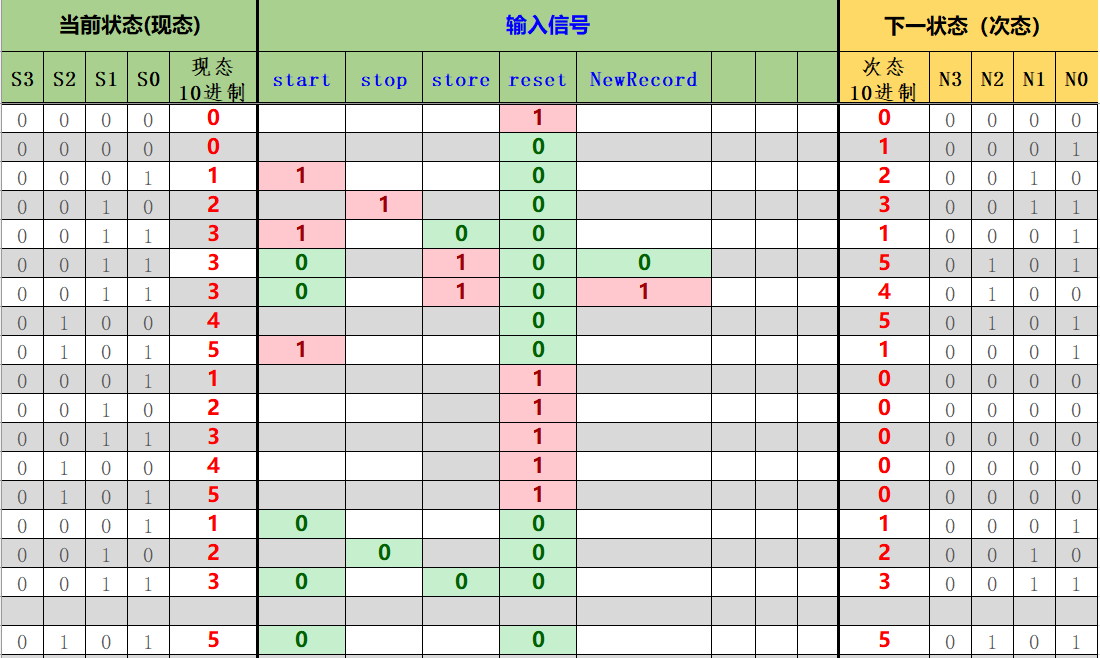


图 6 码表控制器状态机状态图

### 码表控制器输出函数



图 7 码表控制器输出函数真值表

通过码表控制器的功能填写输出函数的真值表，生成输出函数的表达式，通过分析组合逻辑电路的逻辑函数表达式功能自动生成组合逻辑电路即可。

电路的输出和其功能如下所示：

|  |  |  |  |
| --- | --- | --- | --- |
| 信号 | I/O | 位宽 | 说明 |
| S2~S0 | 输入 | 3 | 当前状态S（PS） |
| SDsel | 输出 | 1 | 最好成绩记录的选择信号 |
| SDen | 输出 | 1 | 保存最好成绩记录的寄存器的使能信号 |
| DPsel | 输出 | 1 | 显示计时成绩记录的选择信号 |
| TMen | 输出 | 1 | 码表计时器使能信号 |

### 码表控制器

码表控制器为一个同步时序逻辑电路，有5个输入，分别为start, stop, store, reset, NewRecord，代表了运动码表的5个按钮。这5个输入和现态一同作为状态转换电路的输入，输出到D触发器中，D触发器的输出为次态Qn+1，次态Qn+1+通过输出函数即可得到码表控制器的输出。

码表控制器的输出同上述码表控制器输出函数的输出。

### 运动码表

实现运动码表只需要将选择器、寄存器、计时器、比较器、显示驱动、数码管按照总体设计方案连接在一起。

需要注意的是寄存器和计时器需要接入统一的时钟信号。

## 实验过程

2.2.1 **7段数码管驱动电路**

（1）电路图

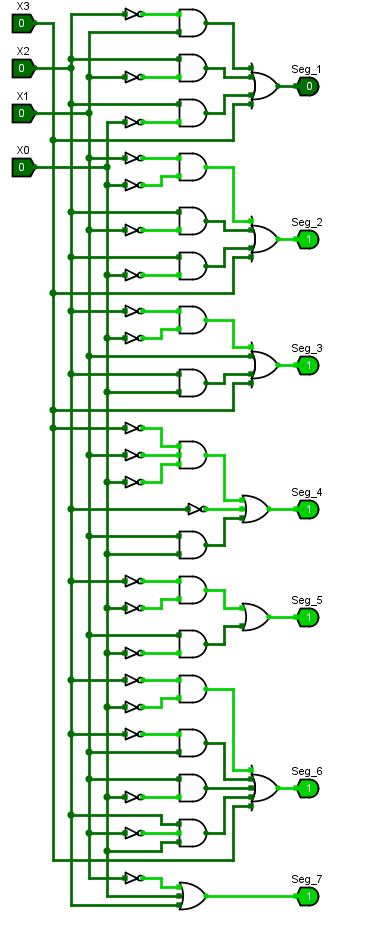


图 8 7段数码管驱动电路内部结构电路图

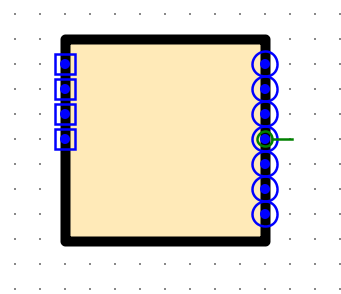


图 9 7段数码管驱动电路封装电路图

（2）测试图

使用数码管驱动测试图对数码管驱动进行测试，在电路仿真中打开时钟连续，来模拟时钟脉冲。

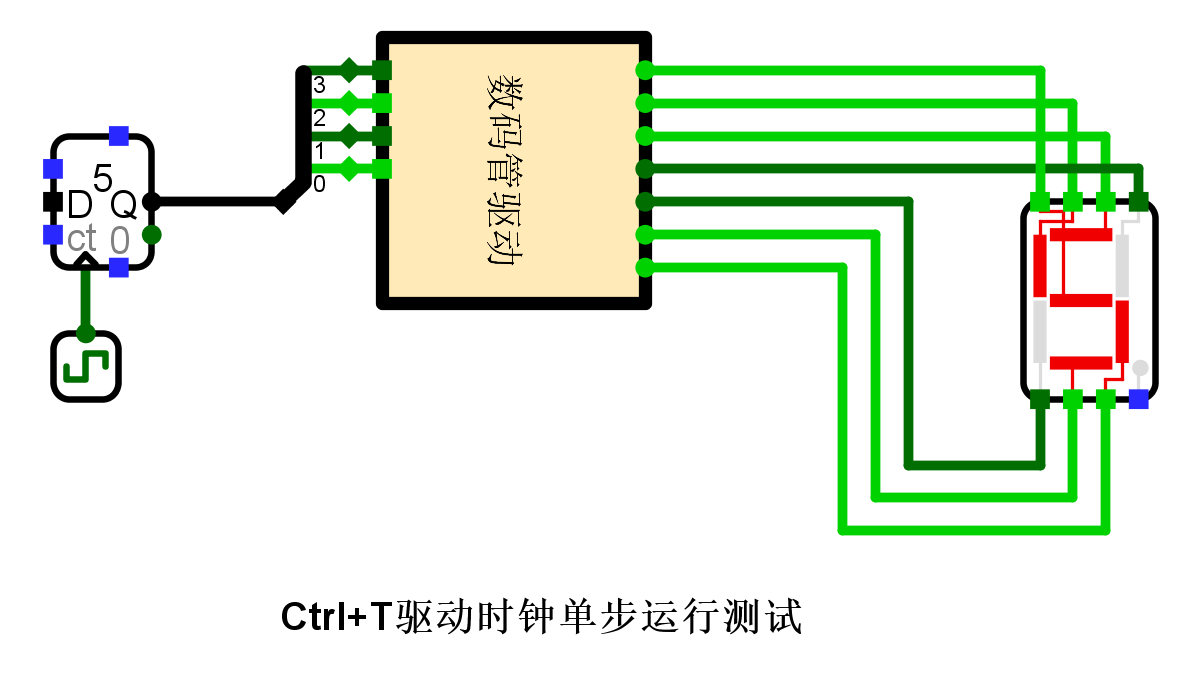


图 10 数码管驱动测试图

观察到：随着时钟脉冲的变化，输入从0~9的四位二进制数，数码管中正确显示了对应的数字，输入a~f时，数码管中显示为无效数字。

（3）测试分析

经过测试，7段数码管的驱动电路功能正常，将四位二进制数转换为对应的数码管的七位输入。

**2.2.2 2路选择器（1位）**

（1）电路图

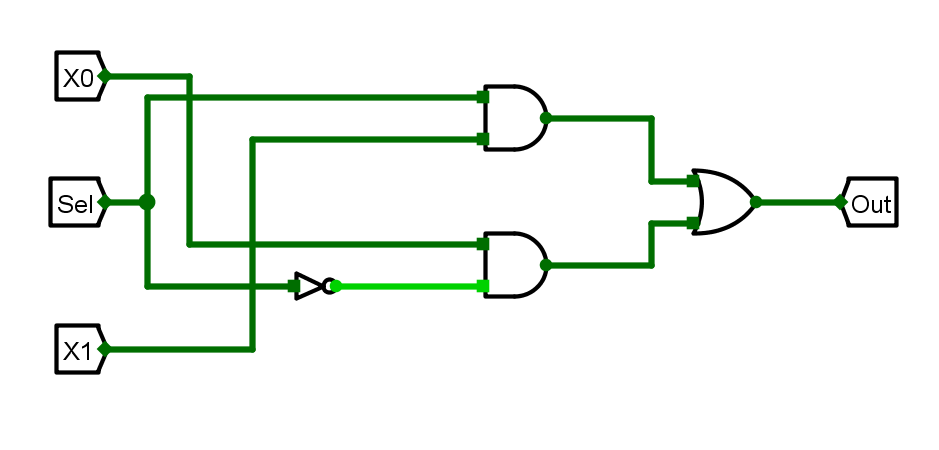


图 11 2路选择器（1位）内部结构电路图

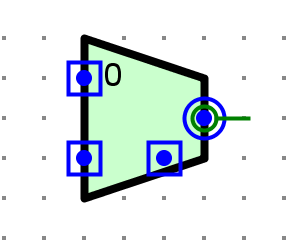


图 12 2路选择器（1位）封装电路图

（2）测试图

x0输入0，x1输入1，选择端输入0即可选择x0进行输出

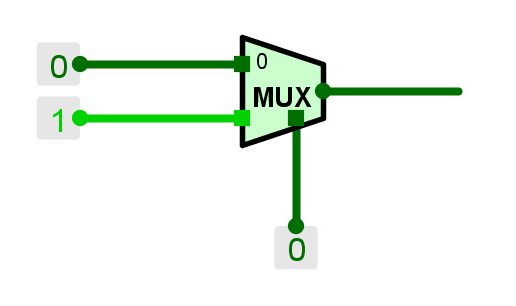


图 13 2路选择器（1位）测试电路图

x0输入0，x1输入1，选择端输入1即可选择x1进行输出

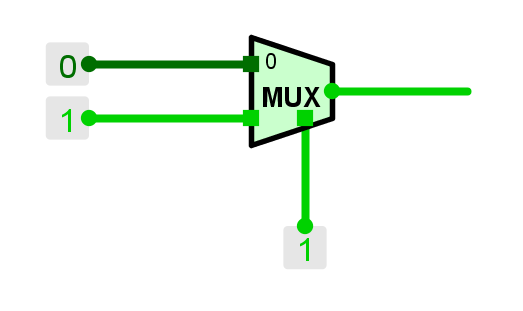


图 14 2路选择器（1位）测试电路图

（3）测试分析

选择端输入0输出了x0，选择端输入1输出了x1，与电路功能Out=(Sel==0)? x0: x1相符合，二路选择器功能正常。

**2.2.3 2路选择器（16位）**

（1）电路图

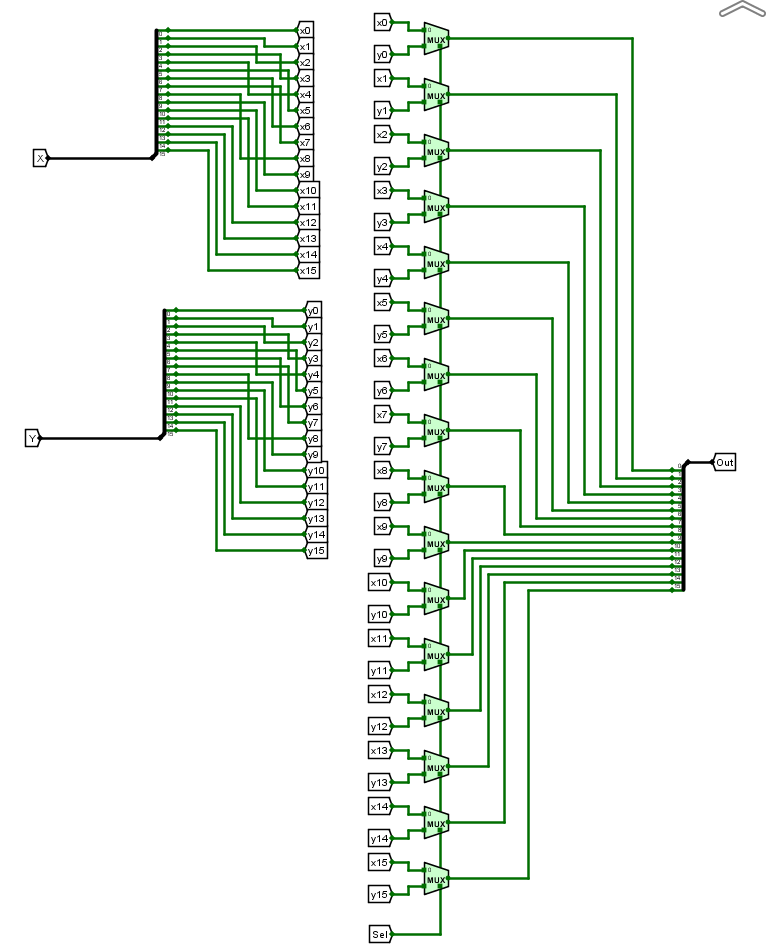
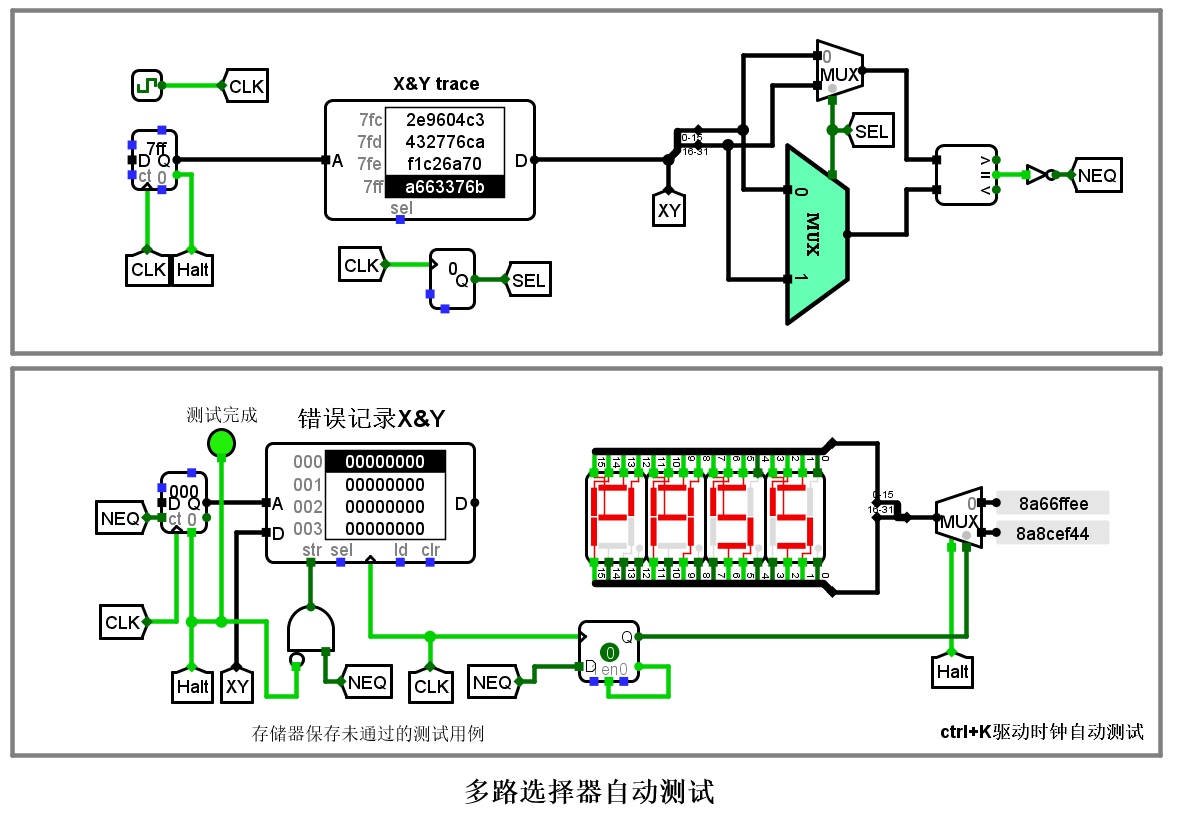


图 15 2路选择器（16位）内部结构电路图

（2）测试图



（3）测试分析

功能正常。

**2.2.4 无符号比较器（4位）**

（1）电路图

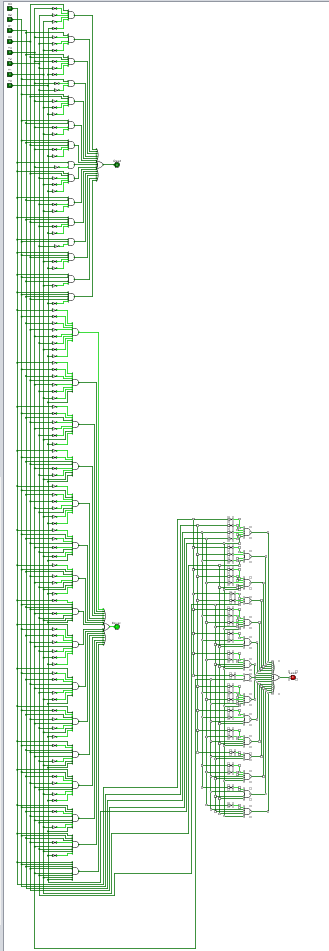


图 16 无符号比较器（4位）的内部结构电路图

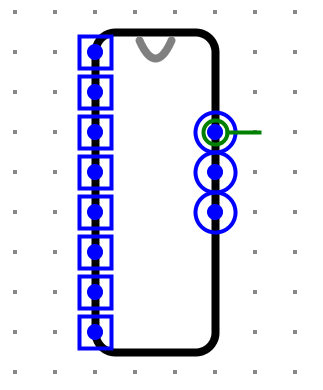


图 17 无符号比较器（4位）的封装电路图

（2）测试图

将x0和y0置为相同的数字，equal输出1，其他输出0，测试电路图如下：

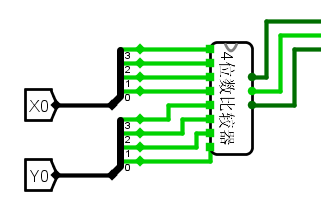


图 18 无符号比较器（4位）的测试图1

令x0>y0，great输出1，其他输出0，测试电路图如下：

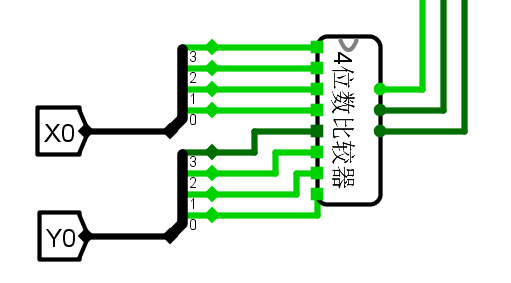


图 19 无符号比较器（4位）的测试图2

令x0<y0，less输出1，其他输出0，测试电路图如下：

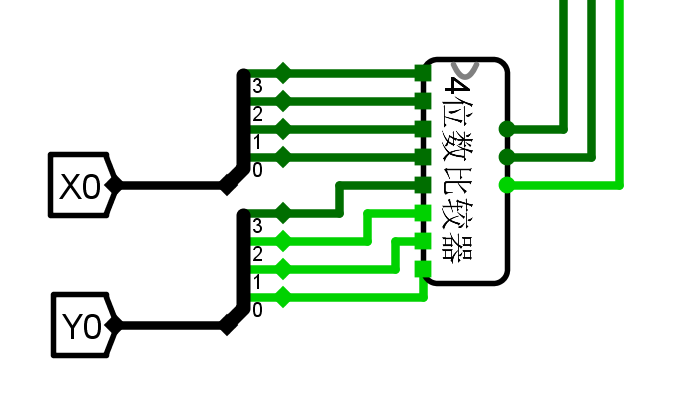


图 20 无符号比较器（4位）的测试图3

（3）测试分析

输入x>y时，great输出1，其余输出0；

输入x=y时，equal输出1，其余输出0；

输入x<y时，less输出1，其余输出0.

**2.2.5 无符号比较器（16位）**

（1）电路图

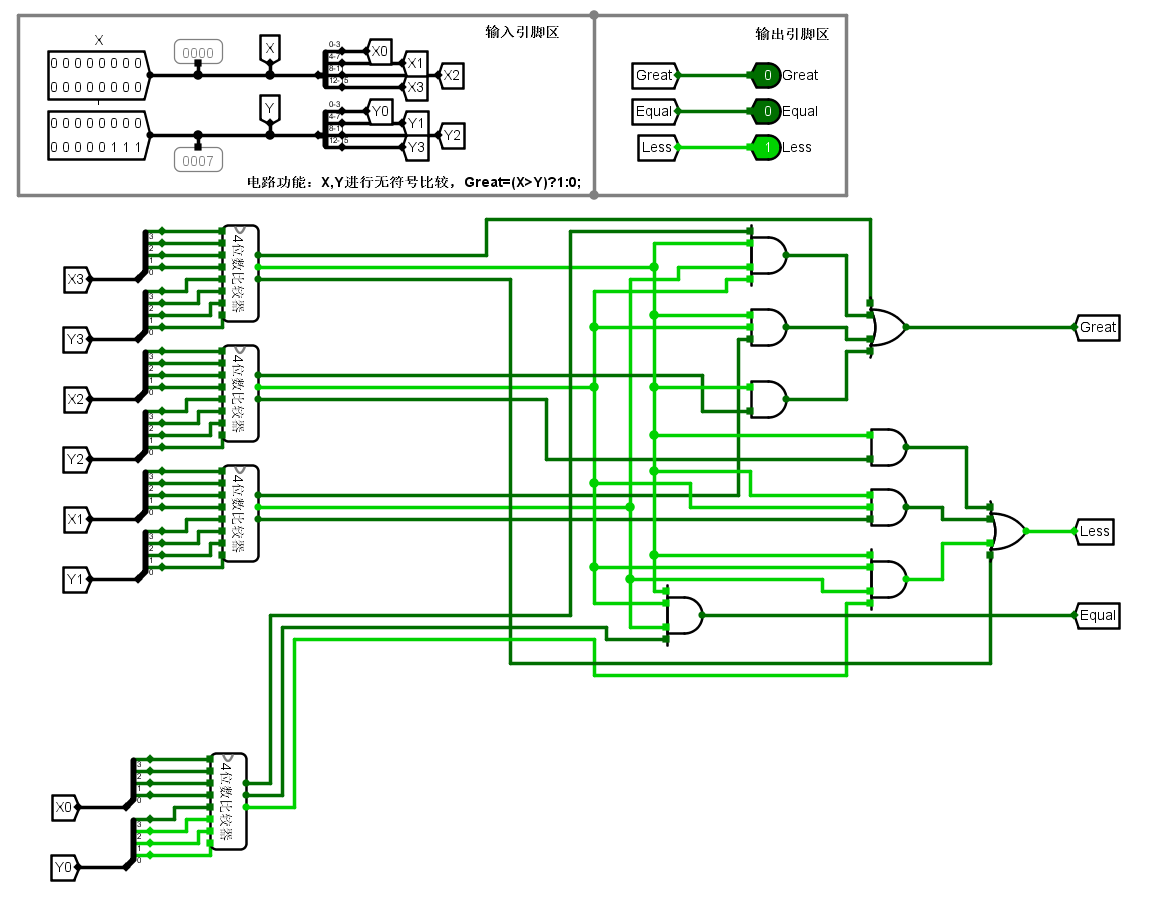


图 21 无符号比较器（16位）内部结构电路图

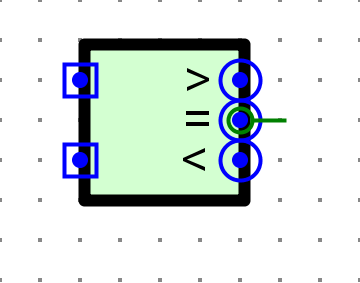


图 22 无符号比较器（16位）封装电路图

（2）测试图

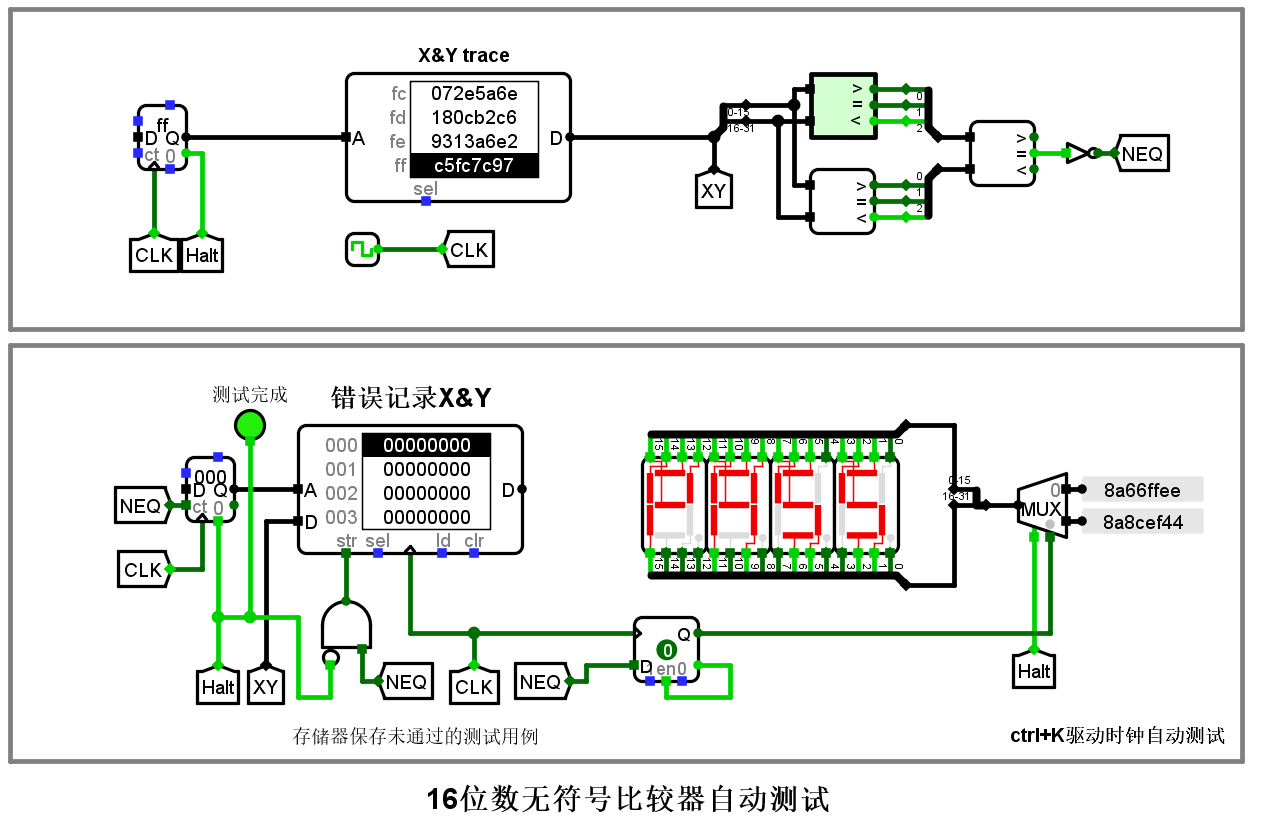


图 23 无符号比较器（16位）测试图

（3）测试分析

输入16位的X, Y，当X>Y时，Great输出1，其余输出0

当X=Y时，Equal输出1，其余输出0

当X<Y时，Less输出1，其余输出0

经过测试，功能正常。

**2.2.6 并行加载寄存器（4位）**

（1）电路图

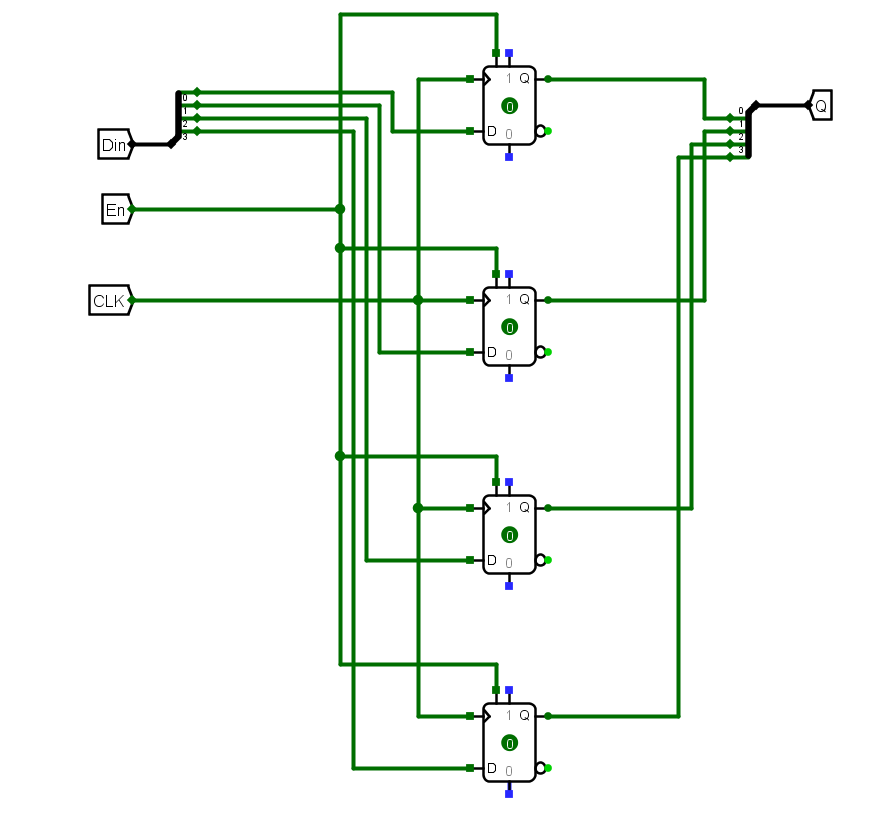


图 24 并行加载寄存器（4位）内部结构电路图

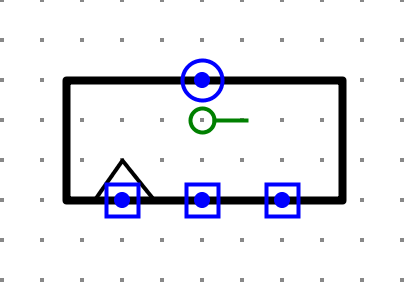


图 25 并行加载寄存器（4位）封装电路图

（2）测试图

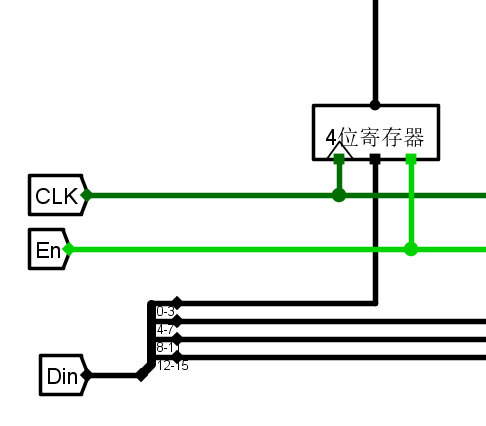


图 26 并行加载寄存器（4位）测试图

（3）测试分析

能够在时钟上升沿保存当前的四位二进制信息，功能正确。

**2.2.7 并行加载寄存器（16位）**

（1）电路图

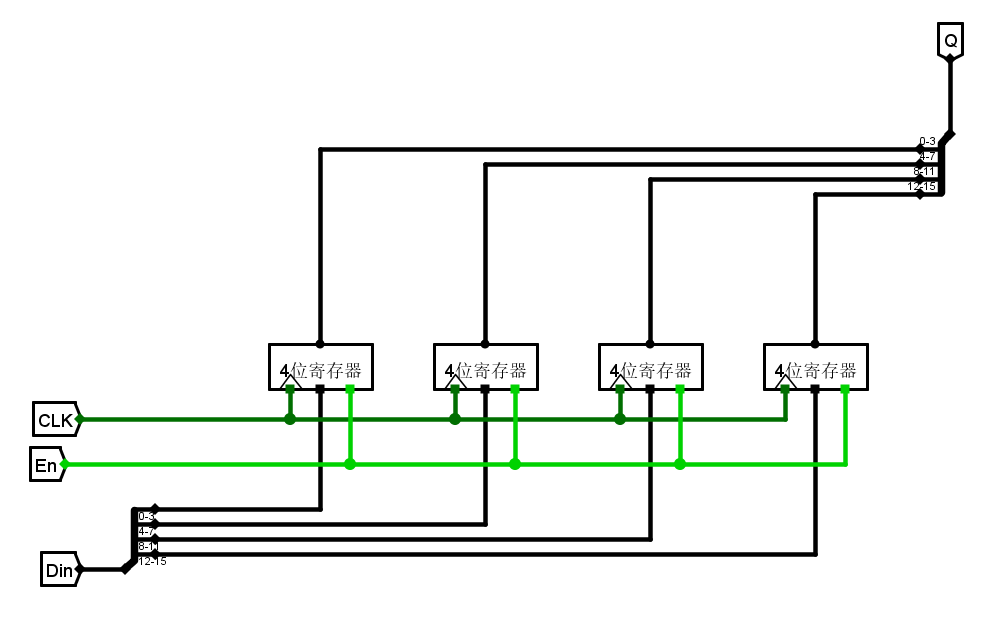


图 27 并行加载寄存器（16位）内部结构电路图

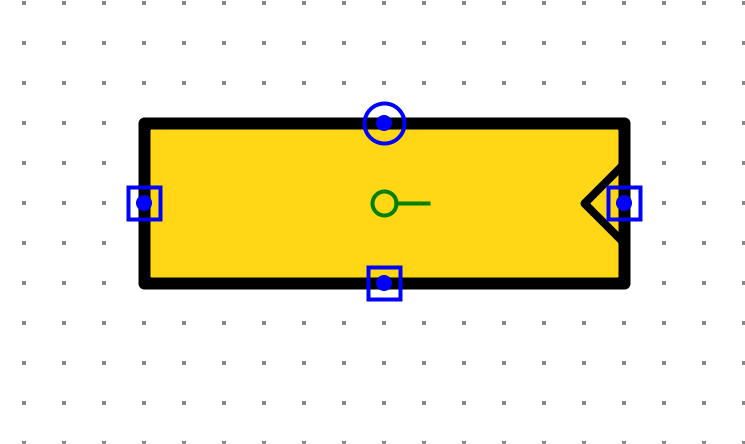


图 28 并行加载寄存器（16位）封装电路图

（2）测试图

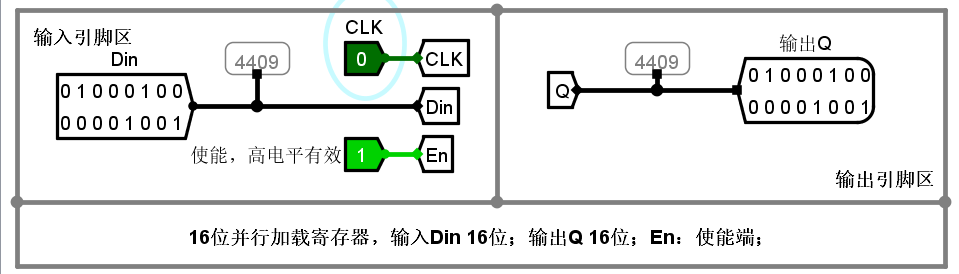


图 29 并行加载寄存器（16位）测试图

（3）测试分析

16位并行加载寄存器能够在时钟上升沿保存当前的16位二进制信息，功能正常。

**2.2.8 BCD计数状态机**

（1）电路图

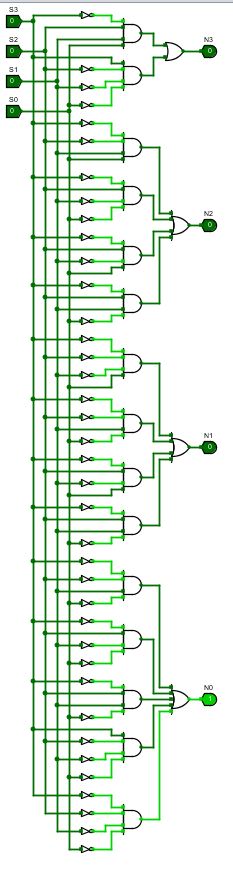


图 30 BCD计数状态机内部结构电路图

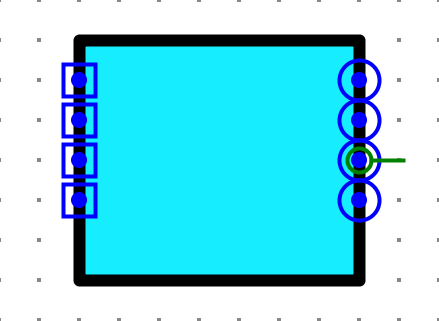


图 31 BCD计数状态机封装电路图

（2）测试图

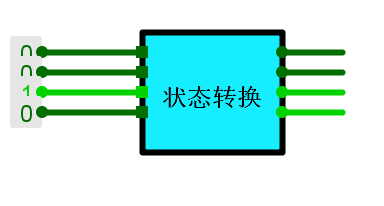


图 32 BCD计数状态机测试图

（3）测试分析

经过测试，状态转换电路的功能与真值表相同，功能正确。

**2.2.9 BCD计数器输出函数**

（1）电路图

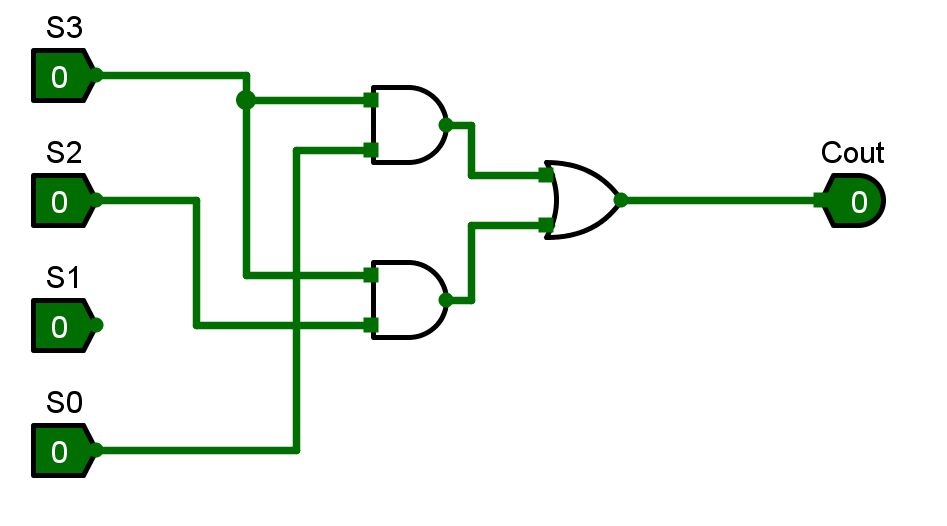


图 33 BCD计数器输出函数内部结构电路图

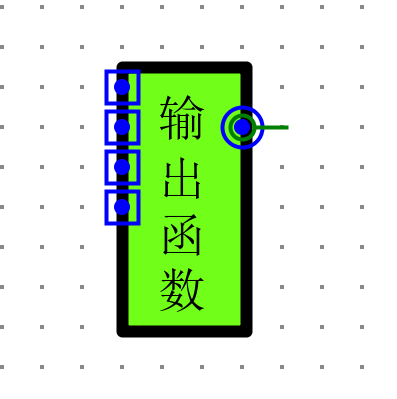


图 34 BCD计数器输出函数封装电路图

（2）测试图

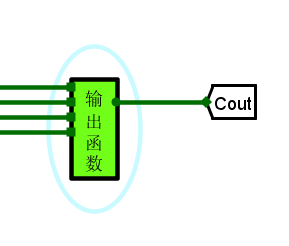


图 35 BCD计数器输出函数封装电路图

（3）测试分析

BCD计数器输出仅在输入9的时候输出1，其他时候输出0，功能正常。

**2.2.10 BCD计数器（1位十进制）**

（1）电路图

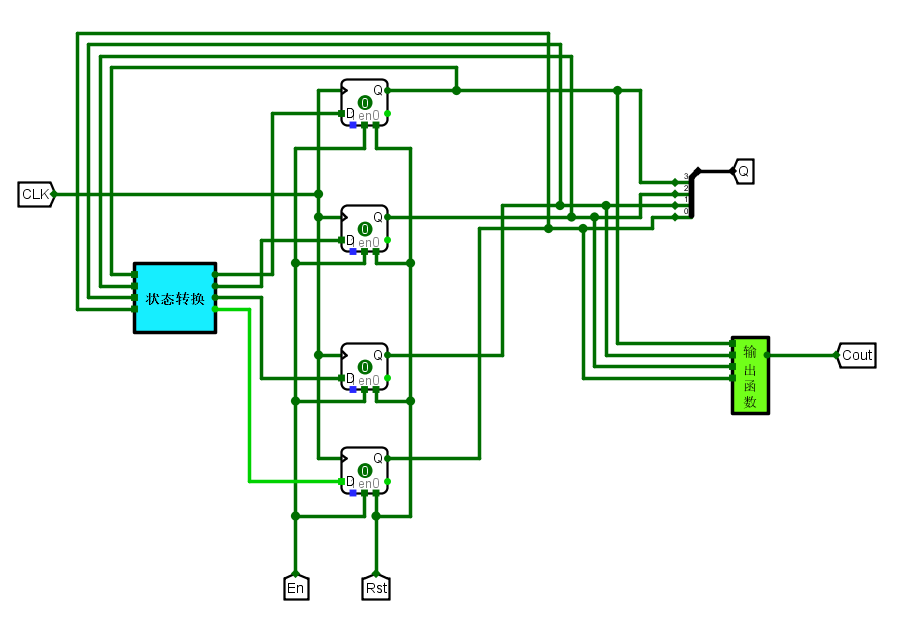


图 36 BCD计数器（1位十进制）内部结构电路图

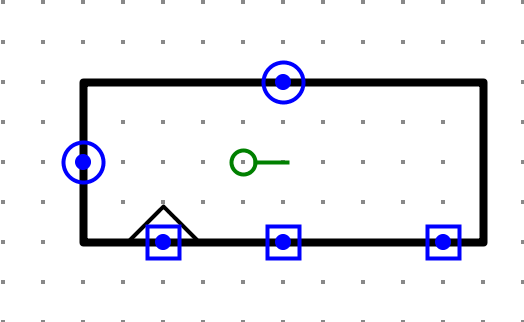


图 37 BCD计数器（1位十进制）封装电路图

（2）测试图

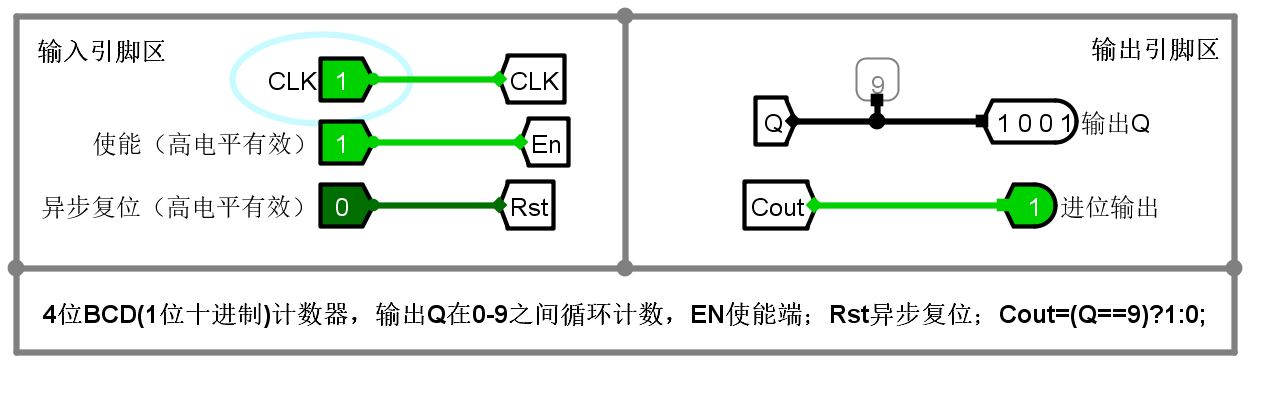


图 38 BCD计数器（1位十进制）测试图

（3）测试分析

BCD计数器的状态转移与真值表相同，仅在状态为9时进位输出1，功能正确。

**2.2.11 码表计数器（4位十进制）**

（1）电路图

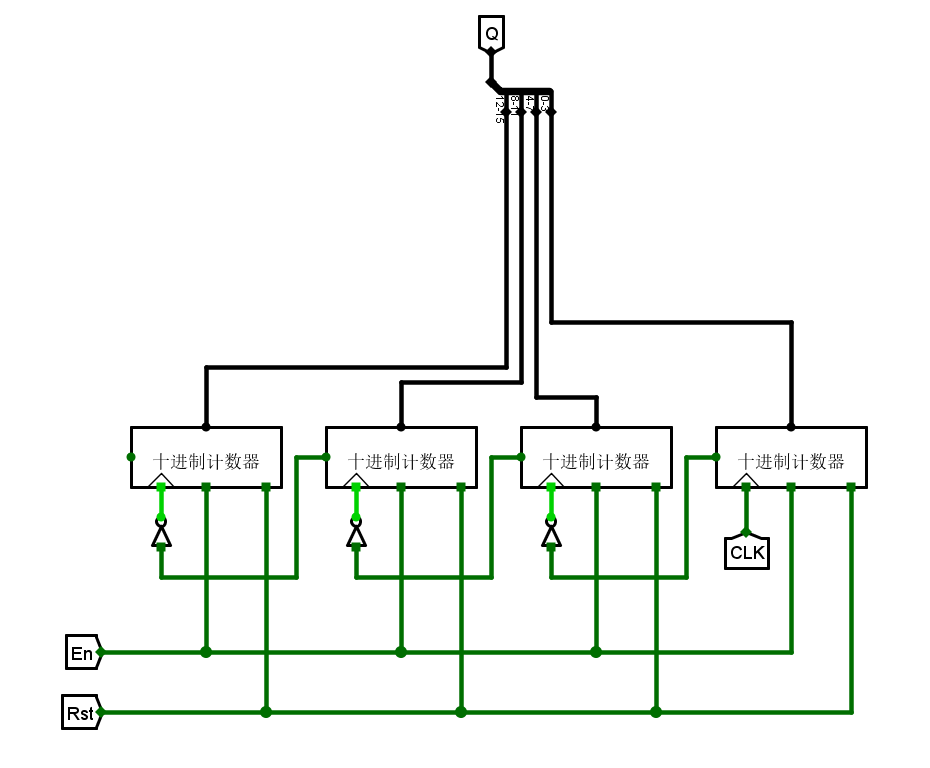


图 39 码表计数器（4位十进制）内部结构电路图

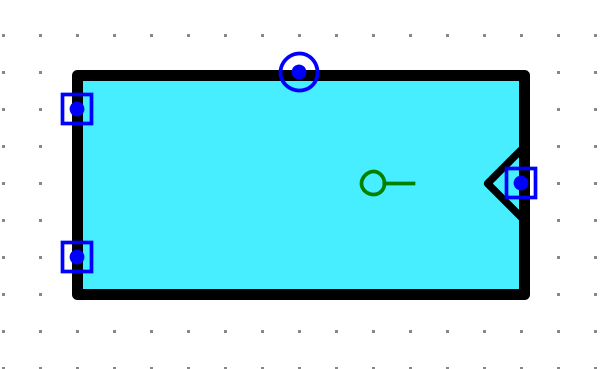


图 40 码表计数器（4位十进制）封装电路图

（2）测试图

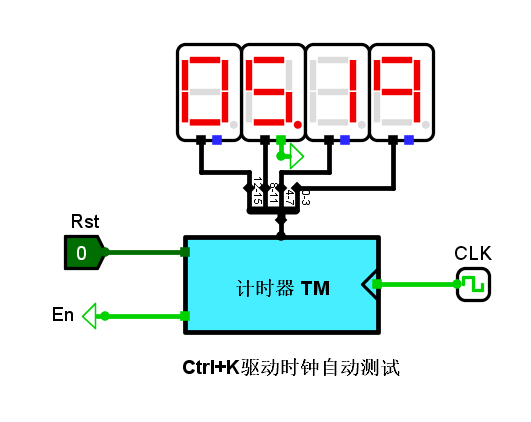


图 41 码表计数器（4位十进制）测试图

（3）测试分析

码表计数器能够在时钟的控制下计数并且在正确的时间点进位，功能正确。

**2.2.12 码表显示驱动**

（1）电路图

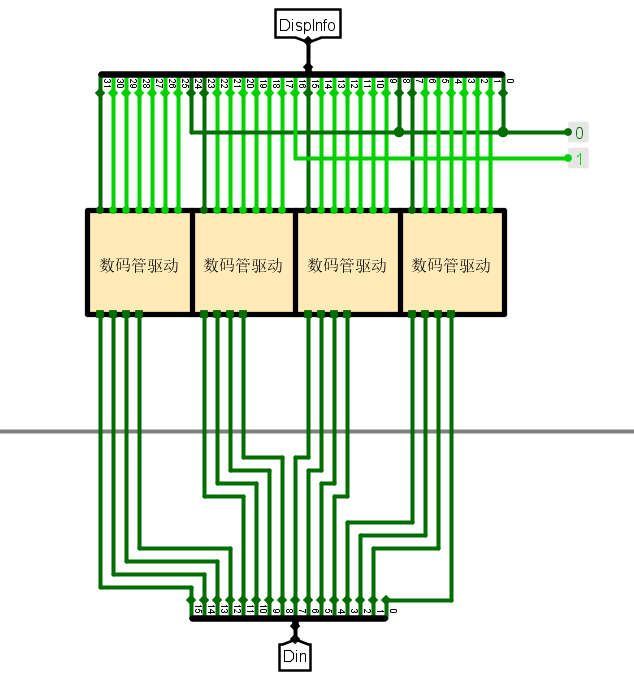


图 42 码表显示驱动内部结构电路图

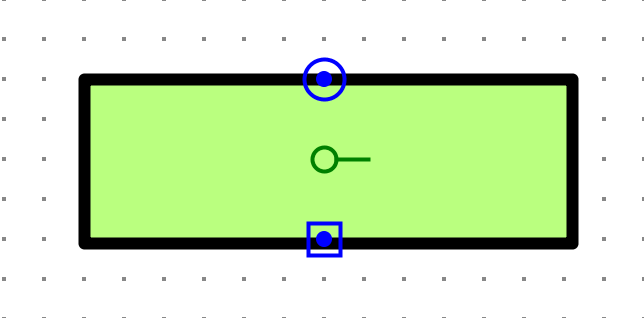


图 43 码表显示驱动封装电路图

（2）测试图

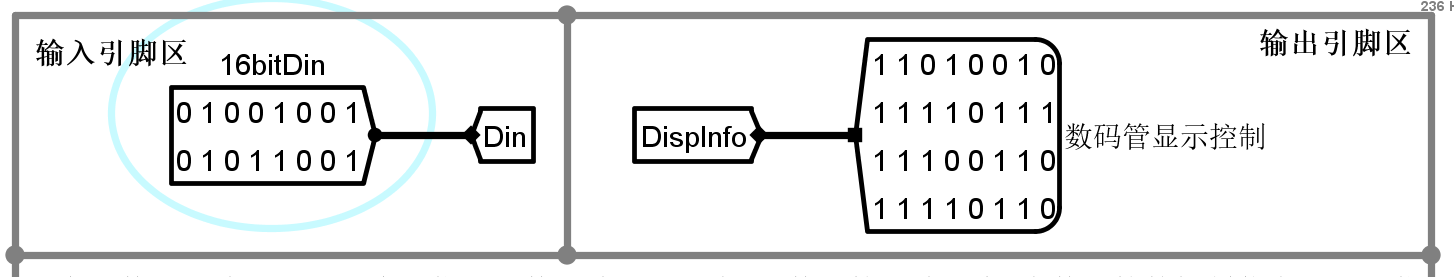


图 44 码表显示驱动测试图

（3）测试分析

码表显示驱动能够将4个十进制数转换为对应的7段数码管的输入信号，功能正确。

**2.2.13码表控制器状态机**

（1）电路图

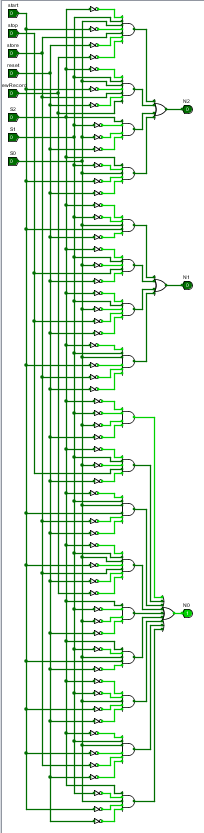


图 45 码表控制器状态机内部结构电路图

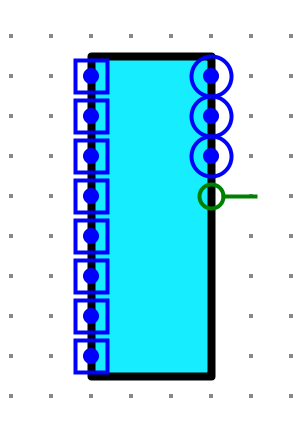


图 46 码表控制器状态机封装电路图

（2）测试图

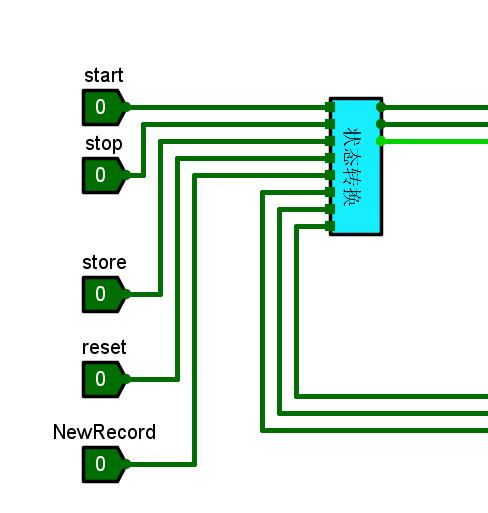


图 47 码表控制器状态机测试图

（3）测试分析

码表控制状态机能够完成状态图所示的状态转换，功能正确。

**2.2.14 码表控制器输出函数**

（1）电路图

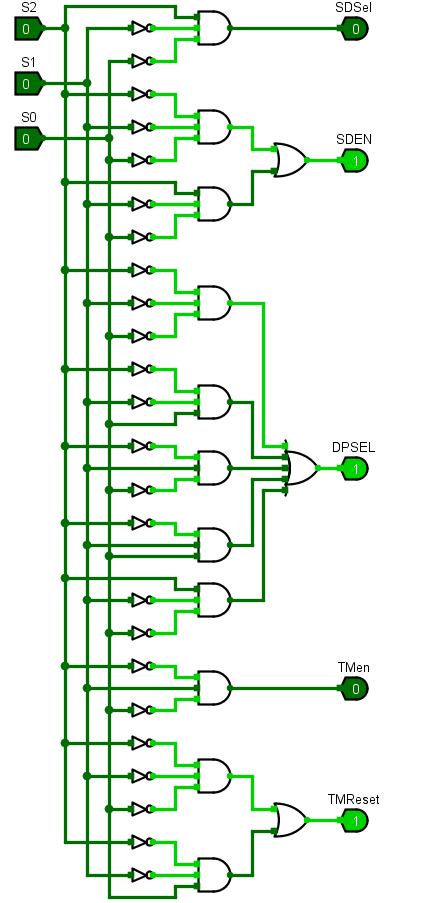


图 48 码表控制器输出函数内部结构电路图

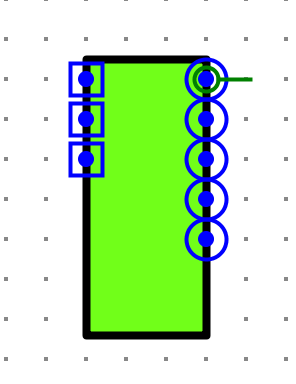


图 49 码表控制器输出函数封装电路图

（2）测试图

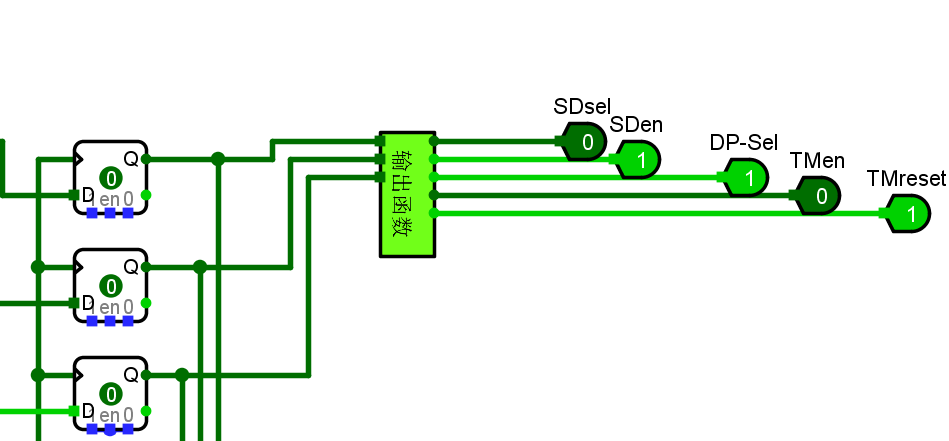


图 50 码表控制器输出函数测试图

（3）测试分析

码表控制器输出函数的输出与真值表相符合，功能正常

**2.2.15 码表控制器**

（1）电路图

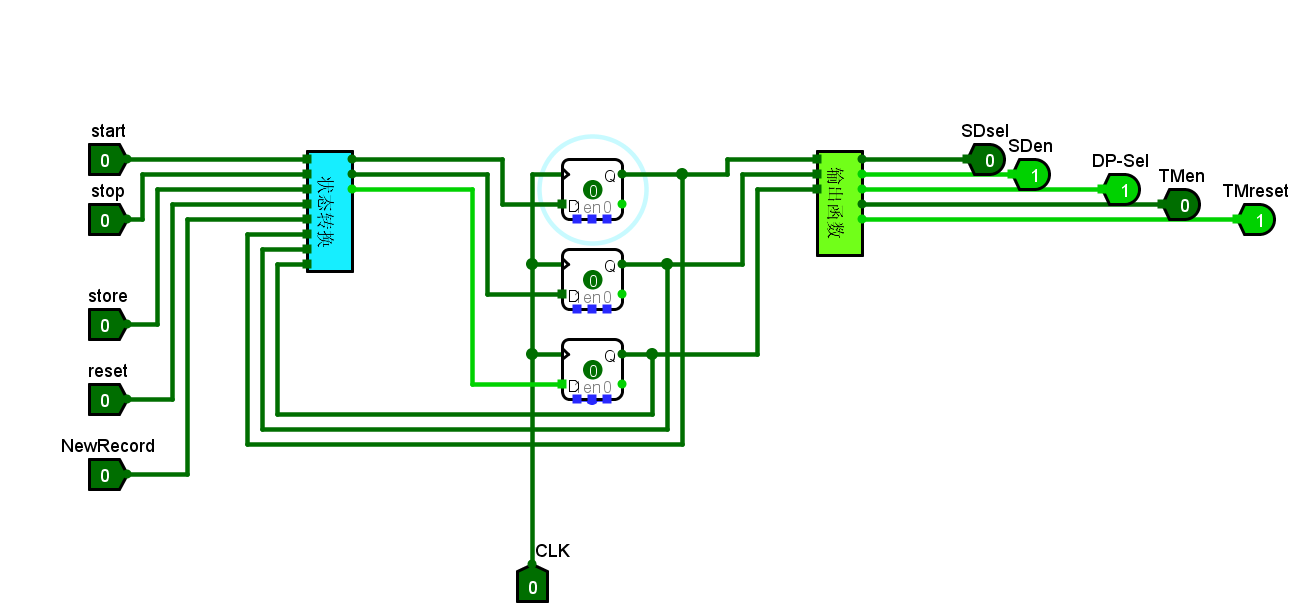


图 51 码表控制器内部结构电路图

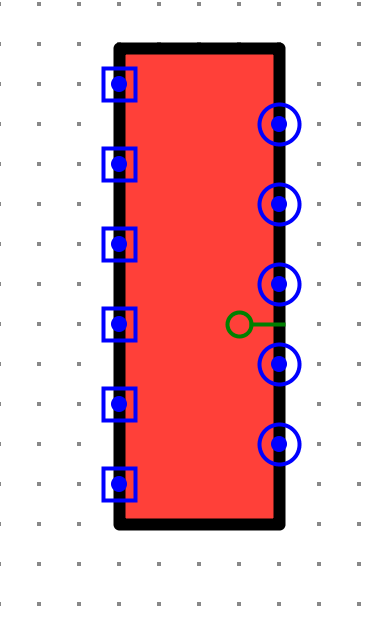


图 52 码表控制器封装电路图

（2）测试图

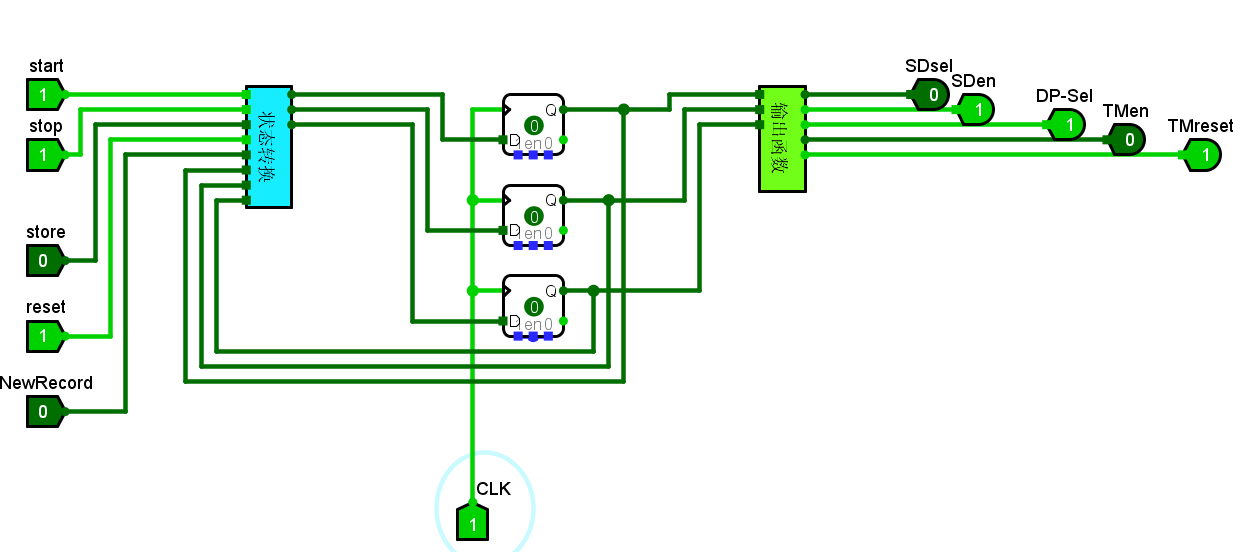


图 53 码表控制器测试图

（3）测试分析

码表控制器能实现5个按钮的功能，状态转换与状态表相符，输出函数与真值表相符，功能正确。

**2.2.15 运动码表**

（1）电路图

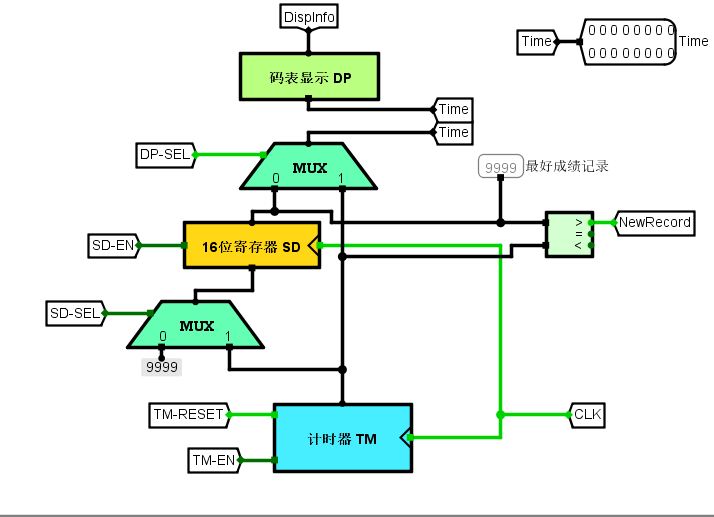


图 54 运动码表内部结构电路图

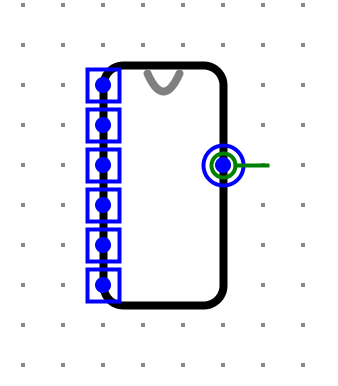


图 55 运动码表封装电路图

（2）测试图

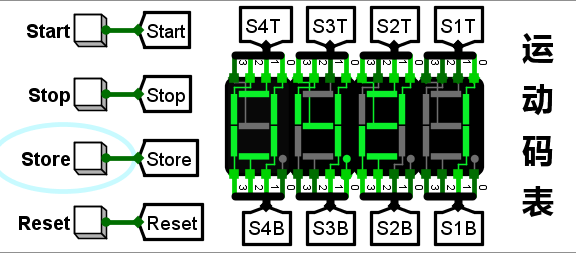


图 56 运动码表测试图

（3）测试分析

运动码表能够按照4个按钮的控制完成计数、停止、清零、存储的功能，能够保存最小的记录，功能正确。

# 设计总结与心得

## 实验总结

通过本次实验加深了对数字电路与逻辑设计这门课的理解，设计并实现了运动码表使我感受到了数字电路与逻辑设计的知识不仅仅只停留在书本上，而是能够投入到实际应用中。

通过实验加深了我对组合逻辑电路、同步时序逻辑电路、异步时序逻辑电路的设计的理解，主要掌握了三种设计电路的方法：真值表法、逻辑表达式法、分析法。

设计组合逻辑电路的时候真值表往往很简单，但是一旦输入变量变多，真值表的行数就会指数级的增长，增大了工作量，这个时候真值表法就不适合了，就需要考虑能否通过逻辑函数表达式来自动生成电路。

设计时序逻辑电路最重要的是状态表，在做出状态表之前往往需要得到正确的状态图，状态图能够很好的表示状态转移关系。而在画状态图之前需要先明确是使用Mealy型还是Moore型。

通过实验我逐渐掌握了Logisim软件的使用，在设计复杂电路的时候，封装是简化的很好的手段，通过将简单功能进行封装，就可以简化复杂功能的设计。例如在设计16位二进制比较器的时候，先设计了4位的二进制比较器。

## 3.1.1遇到的问题及处理

遇到了进位不正确的问题，计数器在9的时候输出进位信号，高位进1，就出现了从8跳变到19的问题。

解决方法是分析之前的电路设计，因为前面的设计往往会对后面的设计产生很大的影响。分析前面的设计发现：使用的钟控D触发器是在上升沿触发的，进位函数只有在状态9时进位，所以导致在9的前沿进位信号就使高位的触发器工作，出现了在9刚出现的时候就进1，所以应当在状态9结束的时候触发，想到使用的是上升沿的触发器，就需要将进位信号翻转，将正脉冲变为负脉冲，就可以在状态9结束的时候进位。

遇到了不能产生输出的问题，解决方法是在设计电路的时候不能修改引脚和封装，否则会导致一连串的错误。

## 3.1.2设计方案存在的不足

不能保存多个历史记录，只能保存最小的记录。

## 实验心得

在设计组合逻辑电路的时候如果变量较多，真值表法行数太多，就需要考虑通过逻辑函数表达式来解决问题。

在设计状态转移的时候需要考虑是否有多余的状态、是否存在挂起。

## 意见与建议

码表控制器的进位功能设计方法不唯一，希望可以给出更多元化的测试。

时序逻辑电路中的触发器规定使用了T触发器，而实际中T触发器不一定是最好的选择，希望可以给学生选择触发器的权利，头歌给出更多元化的测试。

使用了上升沿触发的钟控D触发器，而上升沿触发器在实际使用中可能存在空翻和其他不确定性，建议使用下降沿触发的钟控D触发器或钟控T触发器。

|  |
| --- |
| 原创性声明 |
| 本人郑重声明本报告内容，是由作者本人独立完成的。有关观点、方法、数据和文献等的引用已在文中指出。除文中已注明引用的内容外，本报告不包含任何其他个人或集体已经公开发表的作品成果，不存在剽窃、抄袭行为。  已阅读并同意以下内容。  判定为不合格的一些情形：  （1） 请人代做或冒名顶替者；  （2） 替人做且不听劝告者；  （3） 实验报告内容抄袭或雷同者；  （4） 实验报告内容与实际实验内容不一致者；  （5） 实验电路抄袭者。  作者签名： |