

Técnico integrado em Eletrônica Eletrônica Digital II Maria Cláudia de Almeida Castro Teste 01

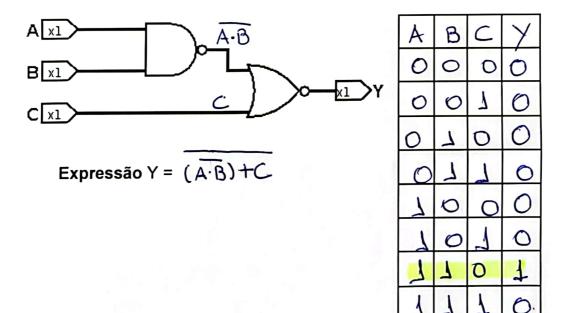
Nome:	GABARITO.	Data: 11/10/2024
Nome:	CADAMIO.	Data: 11/10/2024

## Instruções iniciais:

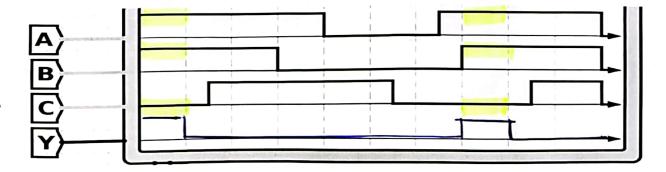
- 1. Mostre seu raciocínio e cálculos.
- 2. Seja claro, objetivo (responda a pergunta) e detalhista, anotando os procedimentos executados. Apenas a resposta anulará a questão.
- 3. Pode responder à lápis.
- 1. Dado o circuito abaixo obtenha:
  - a. A tabela verdade.
  - b. A expressão lógica para a saída Y.
  - c. A forma de onda para a saída Y.

## Circuito

## Tabela verdade

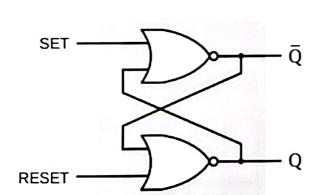


## Diagrama de Tempo



2. O circuito abaixo é um latch SR obtido através de portas NOR. Analise o circuito sequencial e obtenha as suas condições de funcionamento para isso coloque condições nas entradas SR (0 ou 1) de forma a preencher a tabela dada. Explique o seu funcionamento.

S = SET R = RESET



					1
S	R	Q	$\overline{Q}$	Ação	Qa = Estado
0	0	Q <sub>A</sub>	100	Manter	So tenon
7	0	2	Ó	Setar	
0	7	0	1	Resetar	
1	1	0	0	Proibido	⇒Q=Q

O LATCH É A MENOR CÉWLA DE MEMBEIA, É UTILIZADO Para armaginar uma informação binaira de UMBIT. O bit armaginado pode ser "ZERO" eu" um".

Para gravar o bit com nível lógico "I o mesmo deve ficar disponível na saída a. O mesmo para gravar o bit "O". Caso se dispe mantin a in primacas gravada nas podemos ativar as entradas set e reset. Resmindo

\* SET=1 => Gravar o bit "1" + Q=1 (Setar)

\* Reset=1 +> Gravar o bit "0" +> Q=0 (Resetar)

\* SET=RESEt=0 & Arraguar o valor Gravado antenormente

Digitalizado com CamScanner