

# Algumas considerações sobre latches

- Circuito **assíncrono**



saídas dos circuitos lógicos podem mudar de **estado** (nível lógico) assim que as entradas tiverem seus níveis lógicos alterados

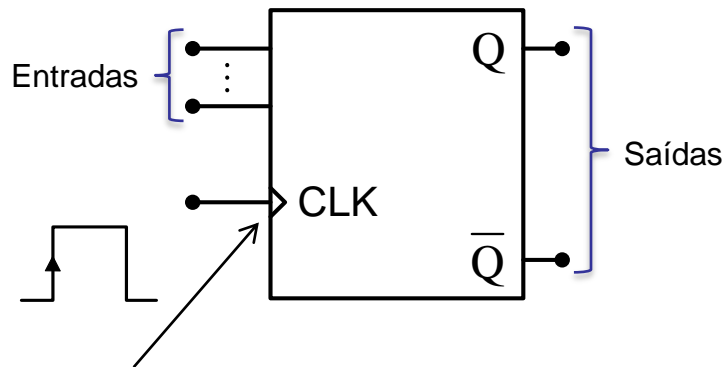
- Unidade elementar de memória => **1 bit**
- No momento em que o circuito é **alimentado** não é possível prever o estado inicial do latch (isto é,  $Q = 1$  ou  $Q = 0$ ), se suas entradas estiverem no nível lógico de “descanso” (ou inativo).

- Sequencial x combinacional
- Circuitos sequenciais assíncronos e síncronos
- Latches e flip-flops
- Latch SR
- **Flip-flop SR**
- Flip-flop JK
- Flip-flop D
- Flip-flop T
- Entradas assíncronas

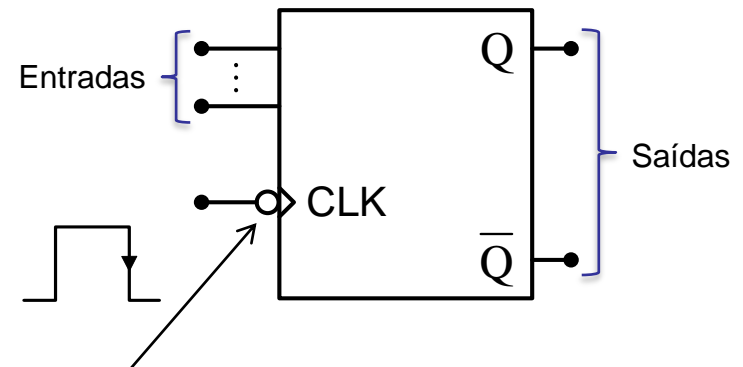
# Flip-flop

## Conceitos básicos

- Representação usual dos flip-flops



Flip-flop é **ativado**  
na borda de **subida**  
do sinal de clock

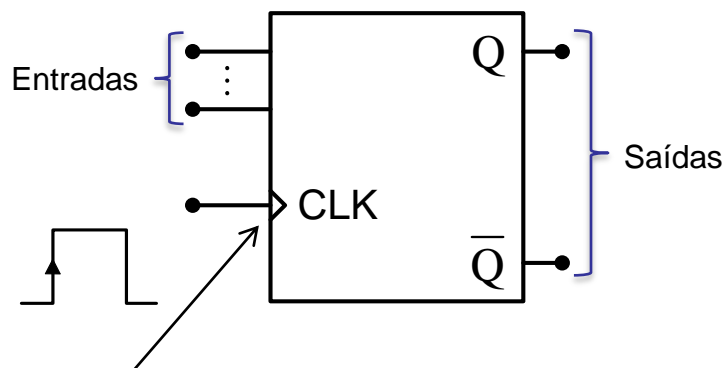


Flip-flop é **ativado**  
na borda de **descida**  
do sinal de clock

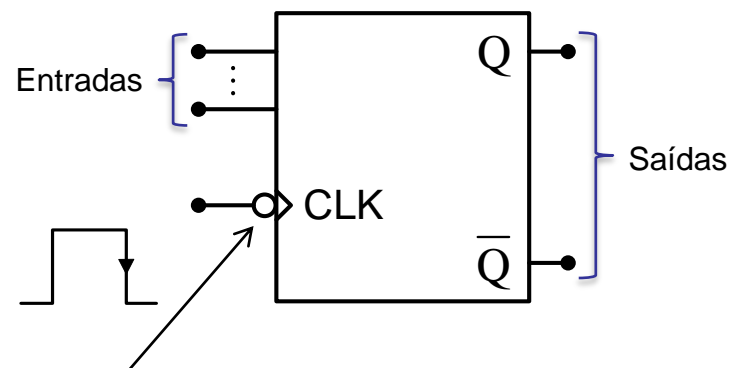
# Flip-flop

## Conceitos básicos

- Representação usual dos flip-flops



Flip-flop é **ativado**  
na borda de **subida**  
do sinal de clock



Flip-flop é **ativado**  
na borda de **descida**  
do sinal de clock

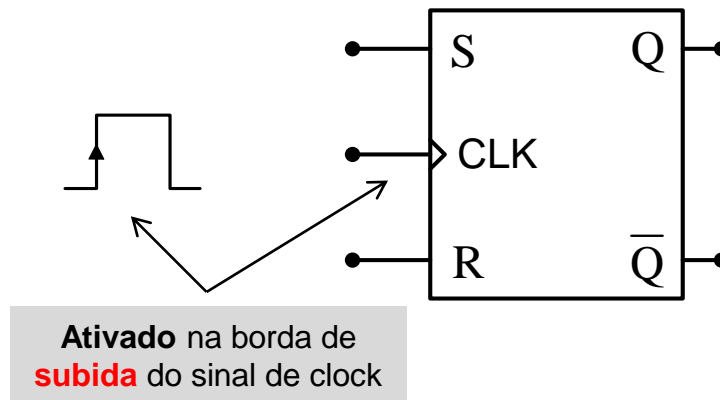
As saídas do flip-flop podem mudar apenas  
quando ocorre a borda ativa do sinal de clock.

↳ 

borda de <b>subida</b>	}	Depende do Flip-flop
borda de <b>descida</b>		

# Flip-flop SR

- Representação usual do **flip-flop SR**

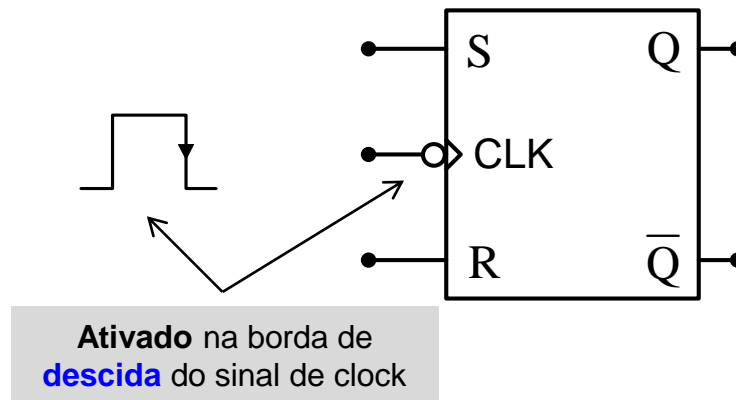


S	R	CLK	Saída Q
0	0	↑	$Q_0$
1	0	↑	1
0	1	↑	0
1	1	↑	Proibido

← estado anterior

# Flip-flop SR

- Representação usual do **flip-flop SR**



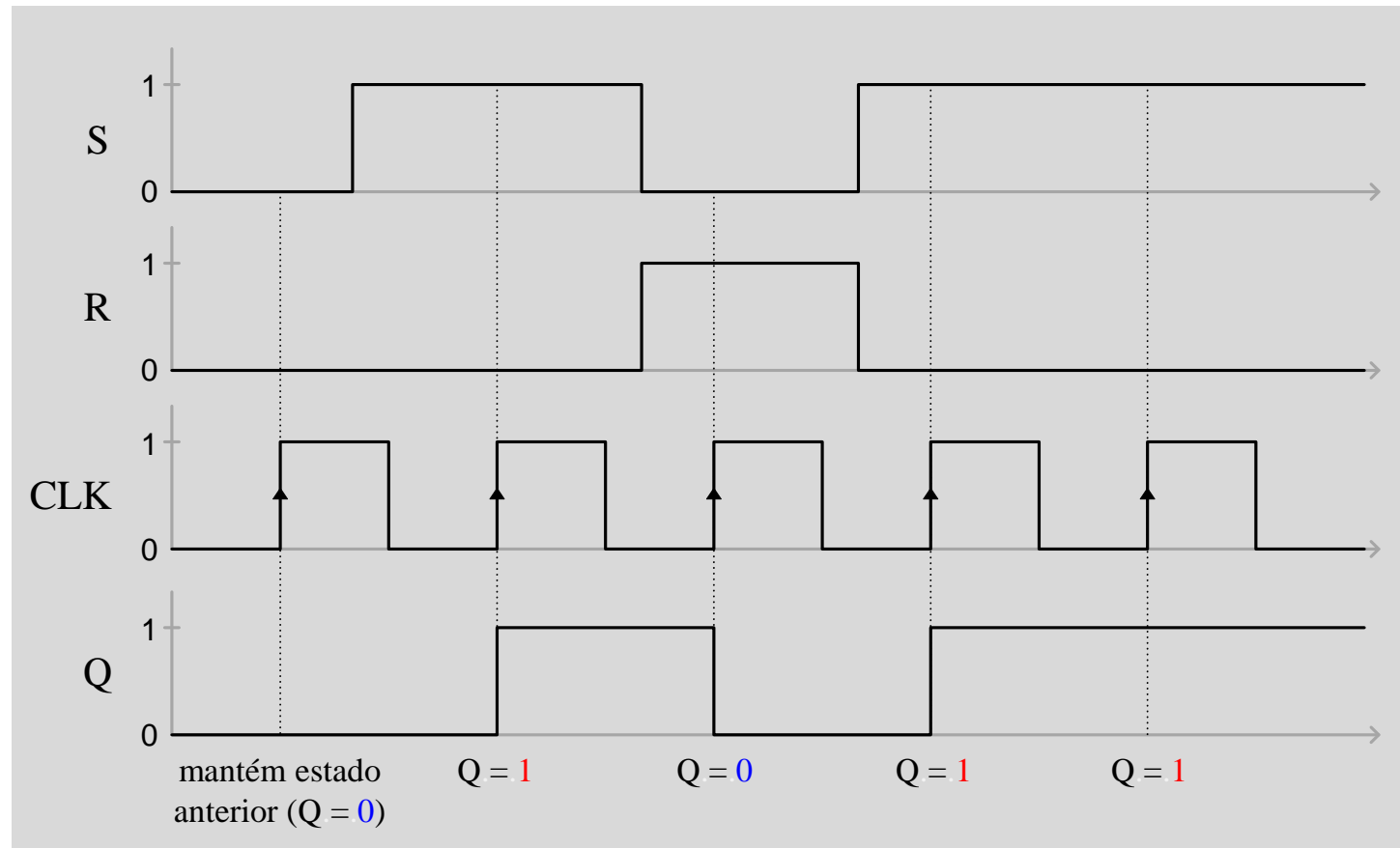
S	R	CLK	Saída Q
0	0	↓	$Q_0$
1	0	↓	$Q = 1$
0	1	↓	$Q = 0$
1	1	↓	Proibido

← estado anterior

# Flip-flop SR

## Exemplo de funcionamento

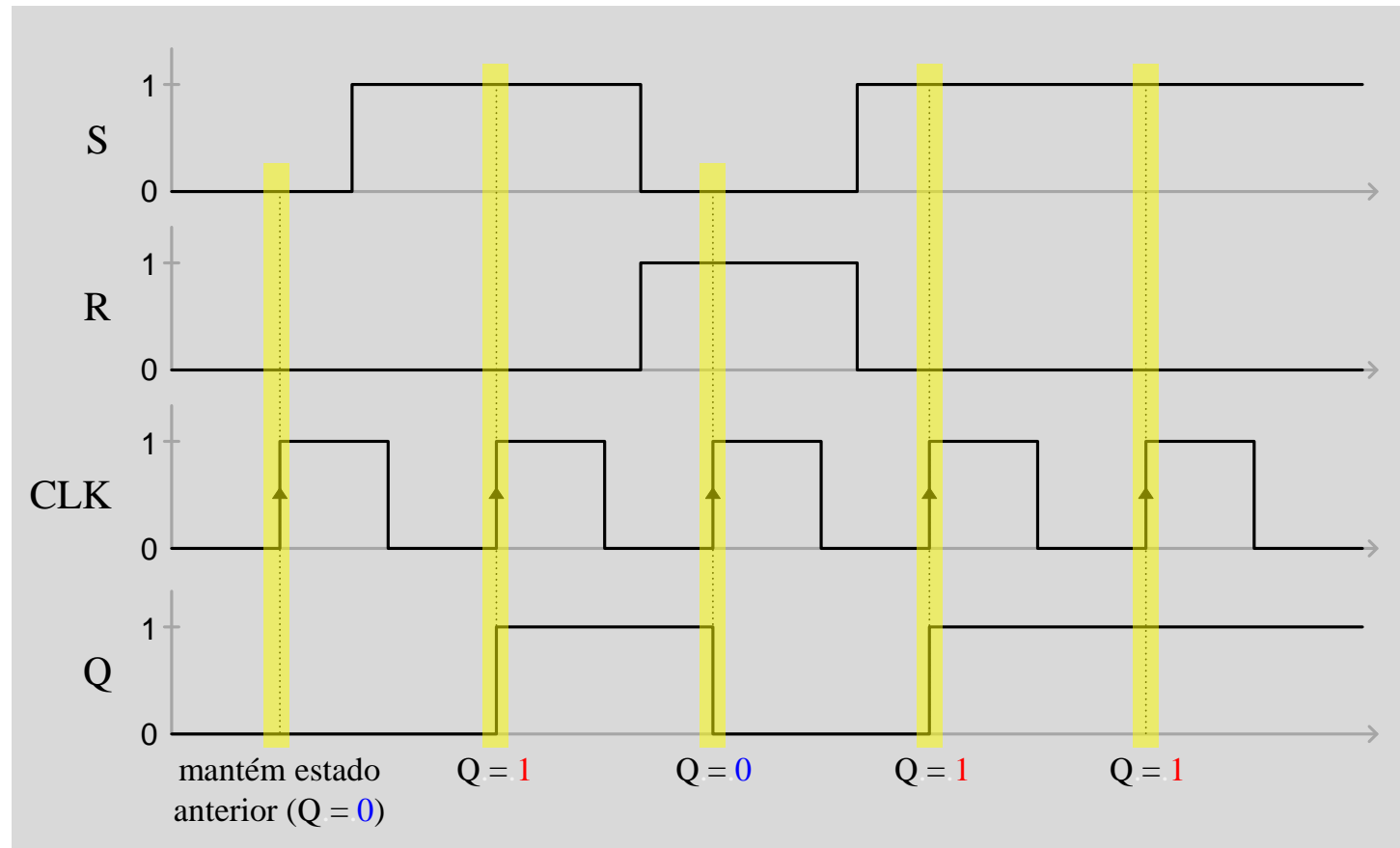
- Diagrama de tempo



# Flip-flop SR

## Exemplo de funcionamento

- Diagrama de tempo

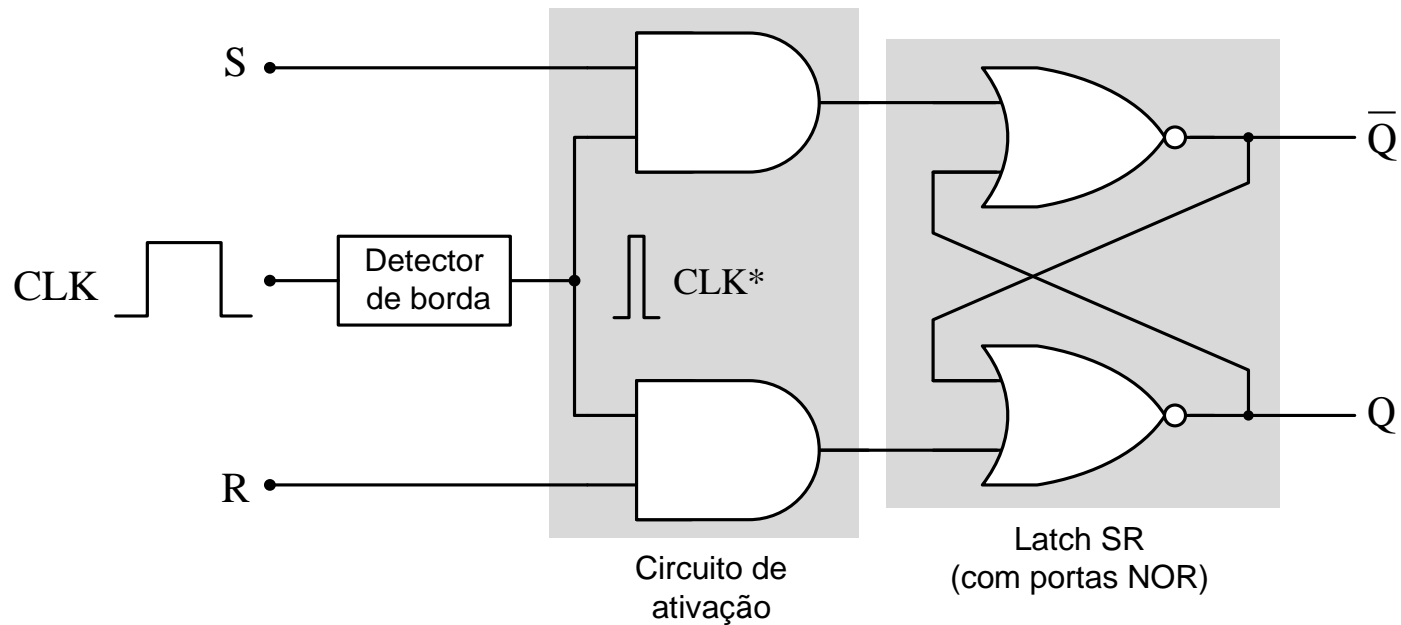




# Flip-flop SR

## Circuito interno

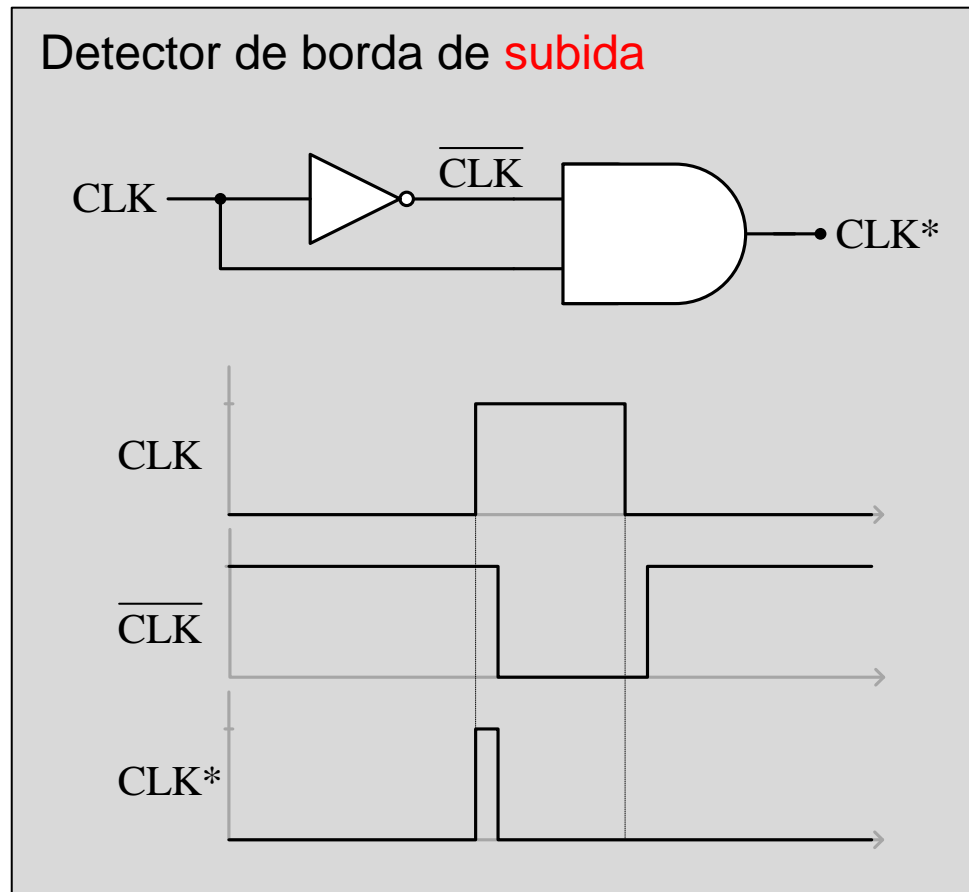
- Diagrama simplificado do circuito interno de um flip-flop **SR**



# Flip-flop SR

## Circuito interno

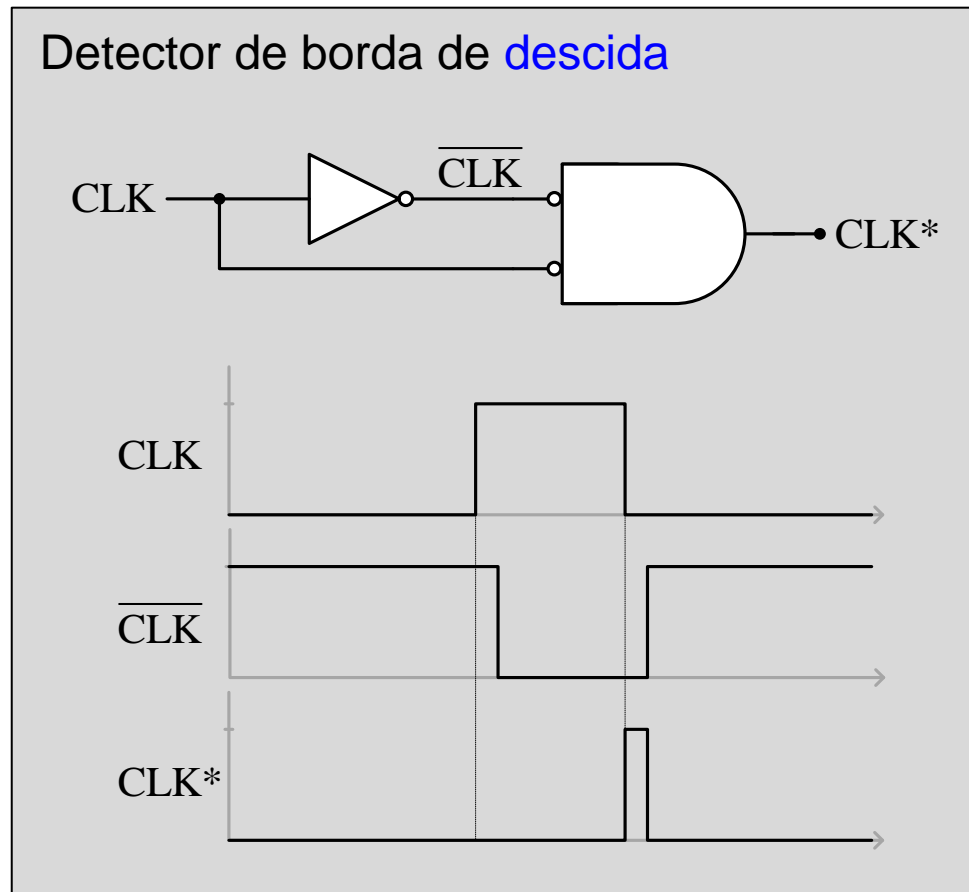
- Diagrama simplificado do circuito interno de um flip-flop **SR**



# Flip-flop SR

## Circuito interno

- Diagrama simplificado do circuito interno de um flip-flop **SR**

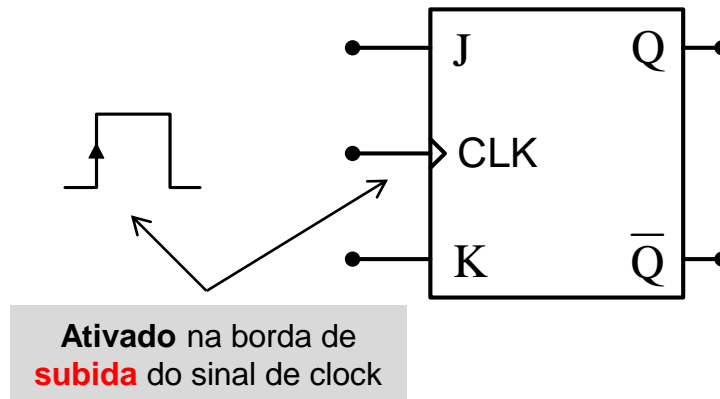


- Sequencial x combinacional
- Circuitos sequenciais assíncronos e síncronos
- Latches e flip-flops
- Latch SR
- Flip-flop SR
- **Flip-flop JK**
- Flip-flop D
- Flip-flop T
- Entradas assíncronas

# Flip-flop JK

## Tabela verdade

- Representação usual do **flip-flop JK**



J	K	CLK	Estado
0	0	↑	$Q_0$
1	0	↑	$Q = 1$
0	1	↑	$Q = 0$
1	1	↑	$\bar{Q}_0$

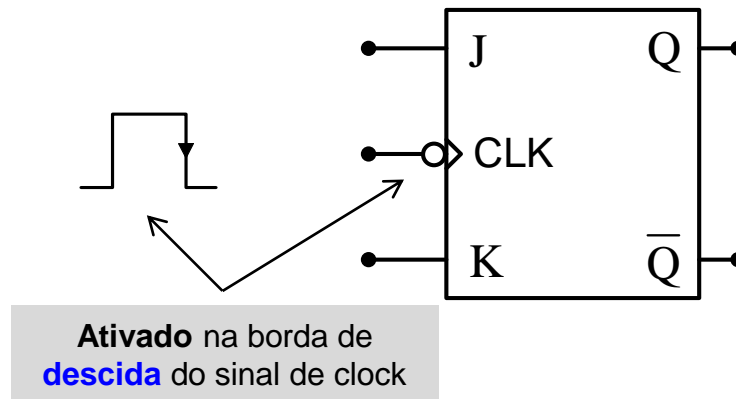
← estado anterior

← Oposto do estado anterior

# Flip-flop JK

## Tabela verdade

- Representação usual do **flip-flop JK**



J	K	CLK	Estado
0	0	↓	$Q_0$
1	0	↓	$Q = 1$
0	1	↓	$Q = 0$
1	1	↓	$\bar{Q}_0$

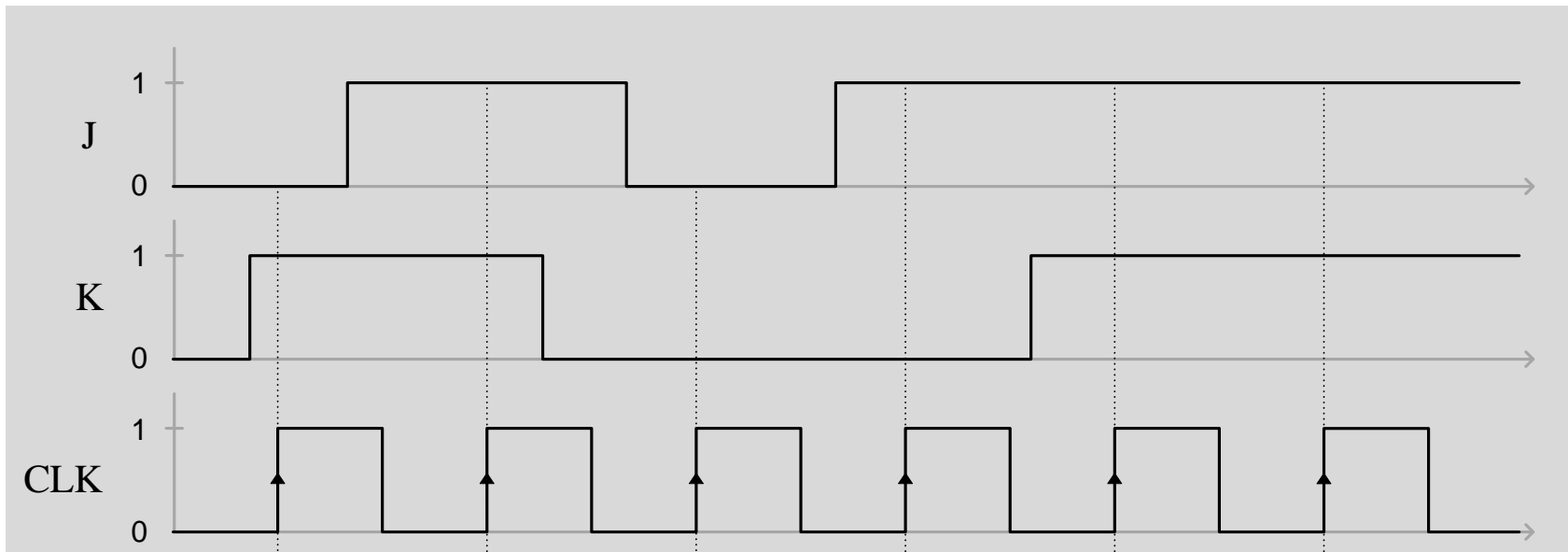
← estado anterior

← Oposto do estado anterior

# Flip-flop JK

## Exemplo de funcionamento

- Diagrama de tempo

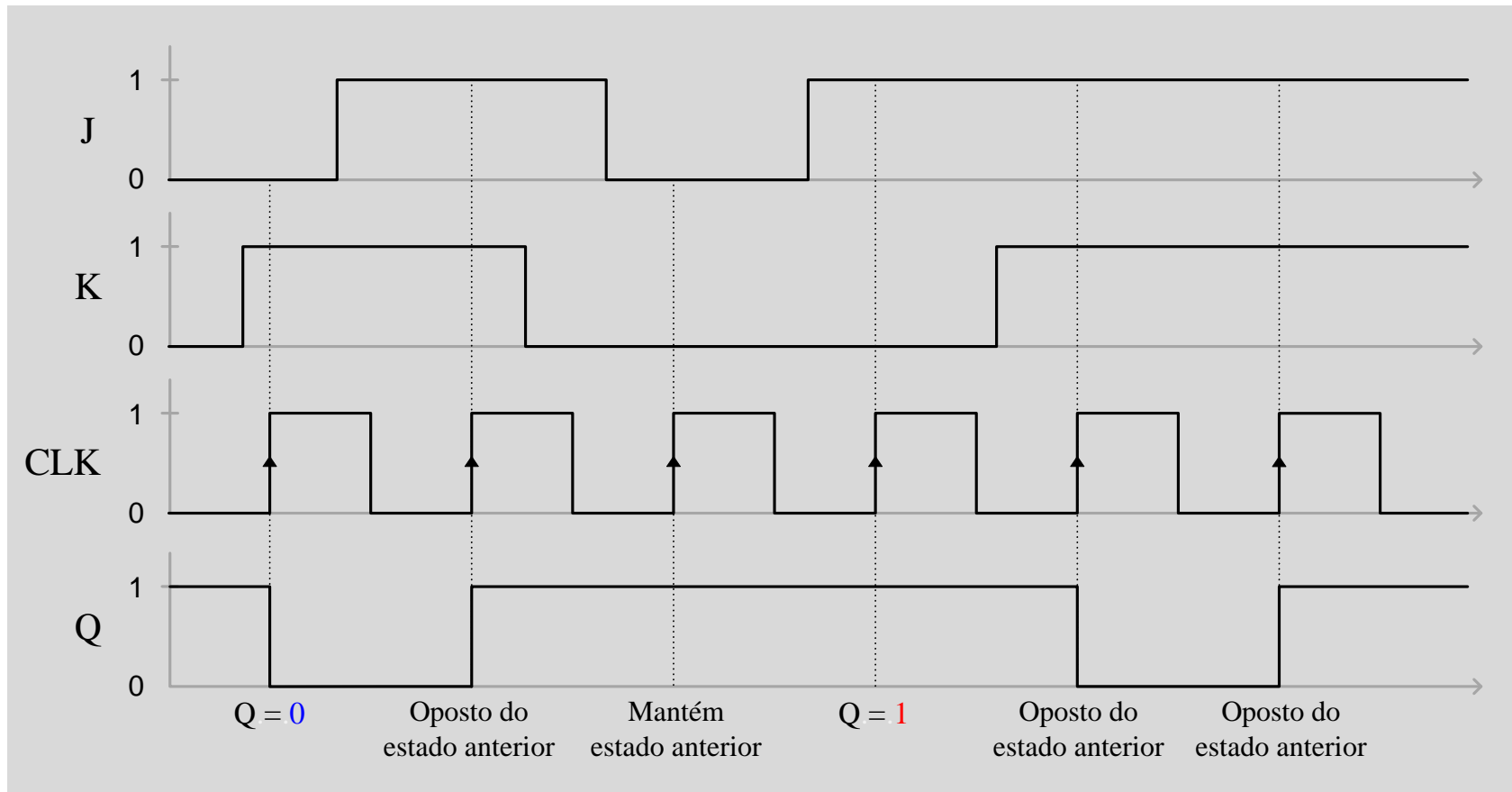


Atividade: obter a forma de onda da saída Q.

# Flip-flop JK

## Exemplo de funcionamento

- Diagrama de tempo

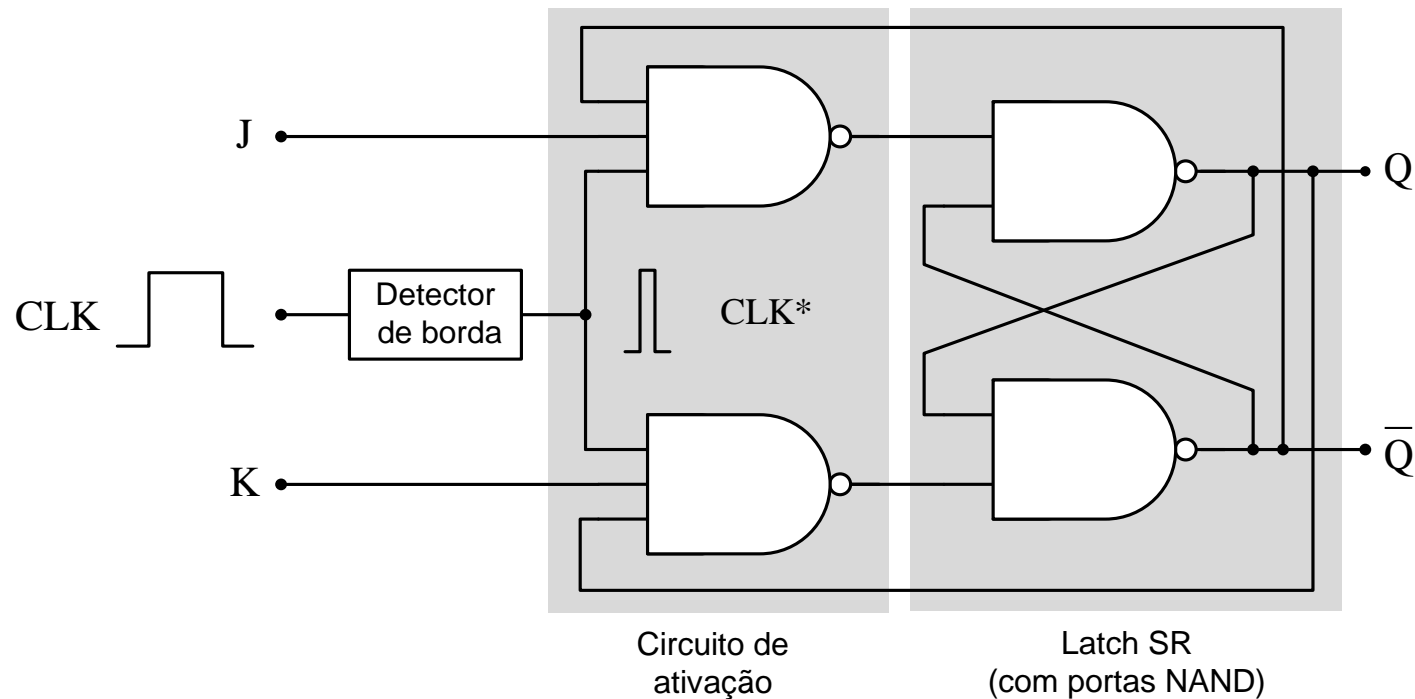




# Flip-flop JK

## Circuito interno

- Diagrama simplificado do circuito interno de um flip-flop **JK**

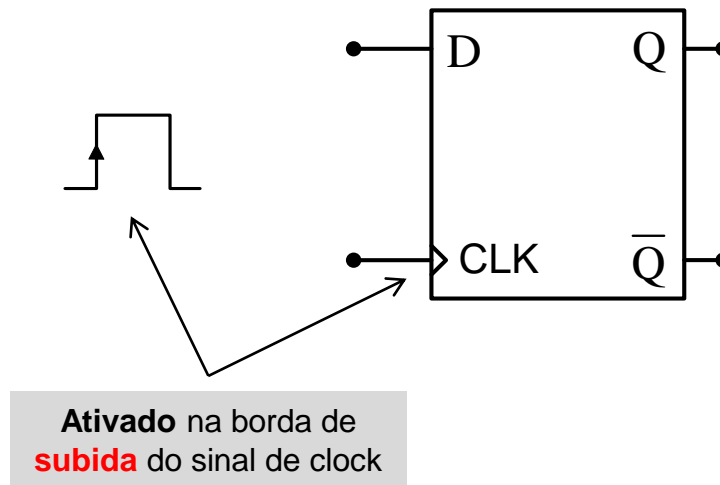


- Sequencial x combinacional
- Circuitos sequenciais assíncronos e síncronos
- Latches e flip-flops
- Latch SR
- Flip-flop SR
- Flip-flop JK
- **Flip-flop D**
- Flip-flop T
- Entradas assíncronas

# Flip-flop D

## Tabela verdade

- Representação usual do **flip-flop D**

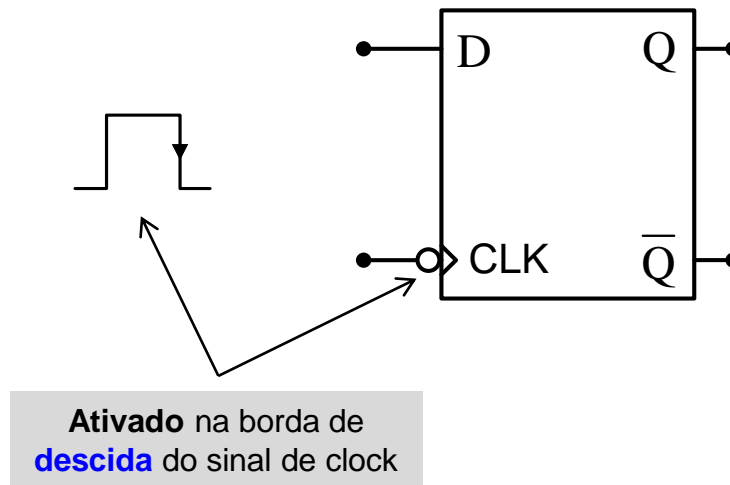


D	CLK	Estado
0	↑	$Q = 0$
1	↑	$Q = 1$

# Flip-flop D

## Tabela verdade

- Representação usual do **flip-flop D**

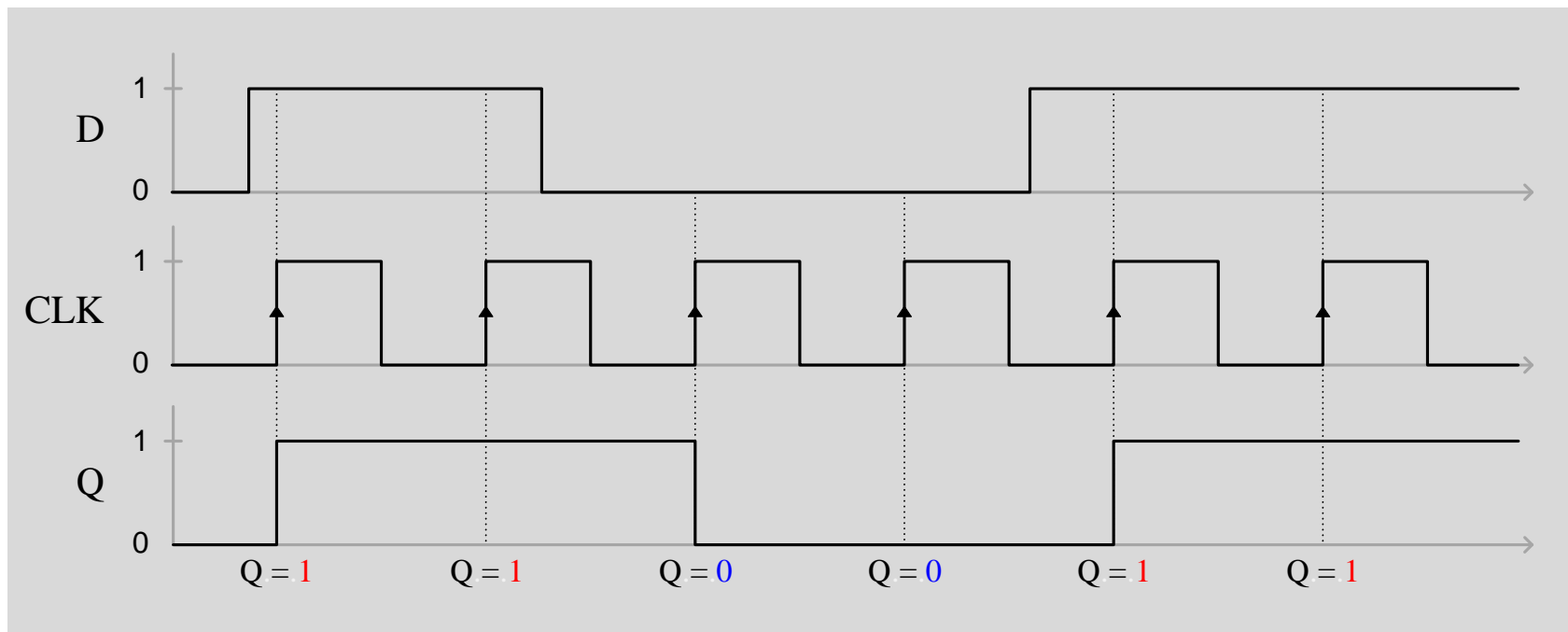


D	CLK	Estado
0	↓	$Q = 0$
1	↓	$Q = 1$

# Flip-flop D

## Exemplo de funcionamento

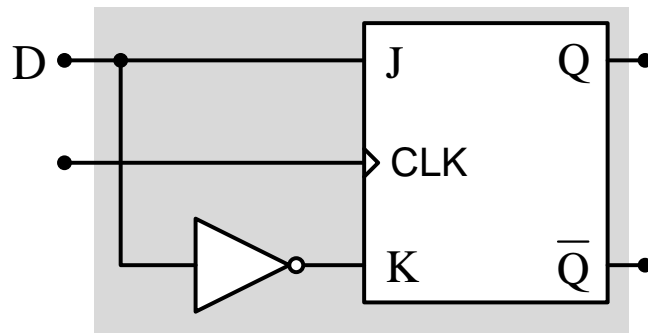
- Diagrama de tempo



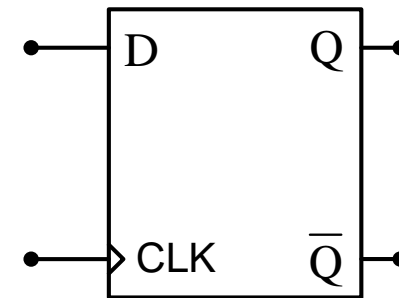
# Flip-flop D

## Implementação

- Implementação de um **flip-flop D** utilizando um flip-flop JK



$\equiv$



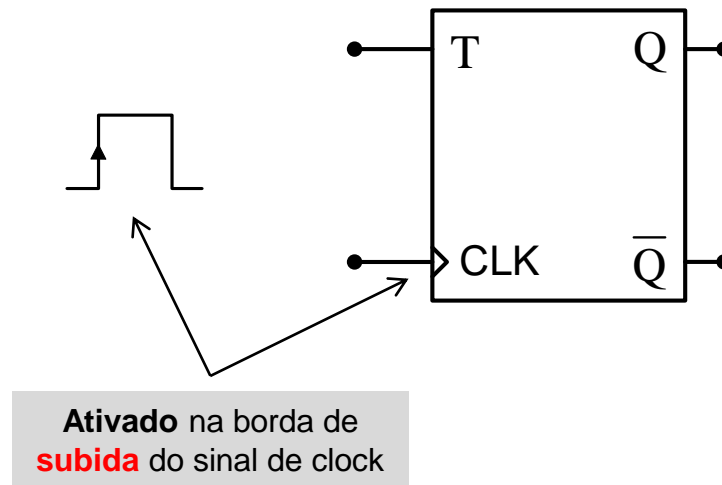
J	K	CLK	Estado
0	0	$\uparrow$	$Q_0$
1	0	$\uparrow$	$Q = 1$
0	1	$\uparrow$	$Q = 0$
1	1	$\uparrow$	$\bar{Q}_0$

D	CLK	Estado
0	$\uparrow$	$Q = 0$
1	$\uparrow$	$Q = 1$

- Sequencial x combinacional
- Circuitos sequenciais assíncronos e síncronos
- Latches e flip-flops
- Latch SR
- Flip-flop SR
- Flip-flop JK
- Flip-flop D
- **Flip-flop T**
- Entradas assíncronas

# Flip-flop T

- Representação usual do **flip-flop T**



T	CLK	Estado
0	↑	$Q_0$
1	↑	$\overline{Q_0}$

← estado anterior

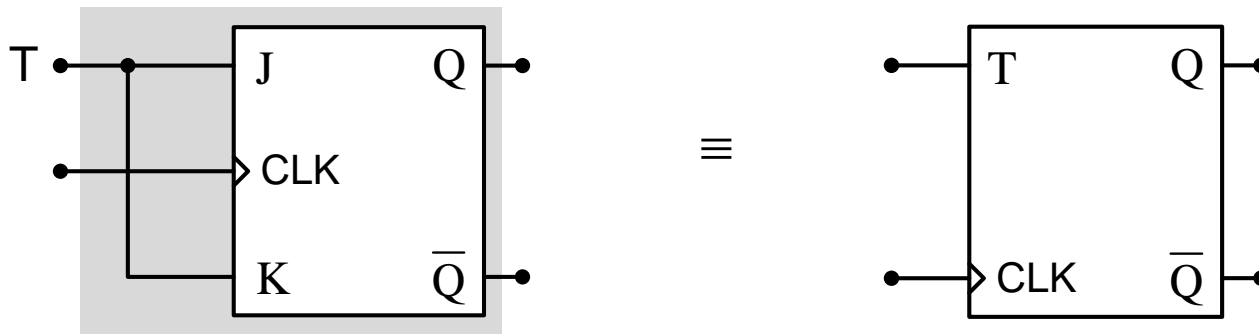
← Oposto do estado anterior



# Flip-flop T

## Implementação

- Implementação de um **flip-flop T** utilizando flip-flop JK



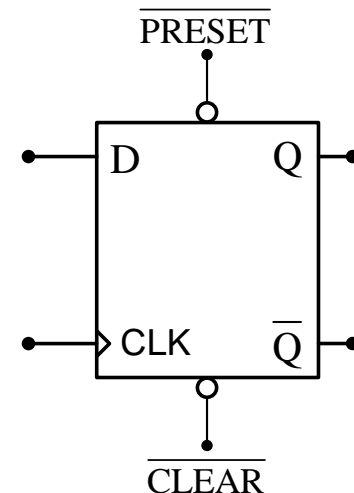
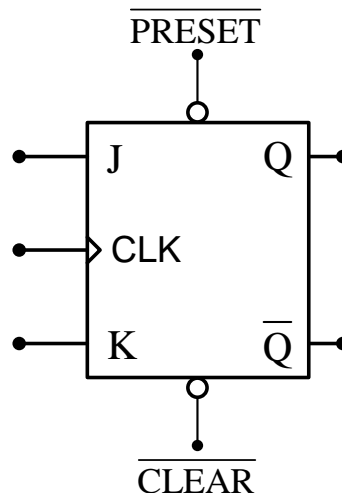
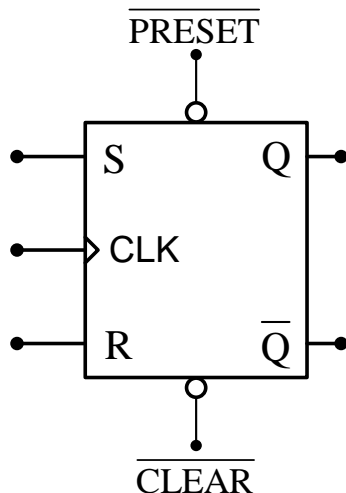
J	K	CLK	Estado
0	0	↑	$Q_0$
1	0	↑	$Q = 1$
0	1	↑	$Q = 0$
1	1	↑	$\bar{Q}_0$

T	CLK	Estado
0	↑	$Q_0$
1	↑	$\bar{Q}_0$

- Sequencial x combinacional
- Circuitos sequenciais assíncronos e síncronos
- Latches e flip-flops
- Latch SR
- Flip-flop SR
- Flip-flop JK
- Flip-flop D
- Flip-flop T
- Entradas assíncronas

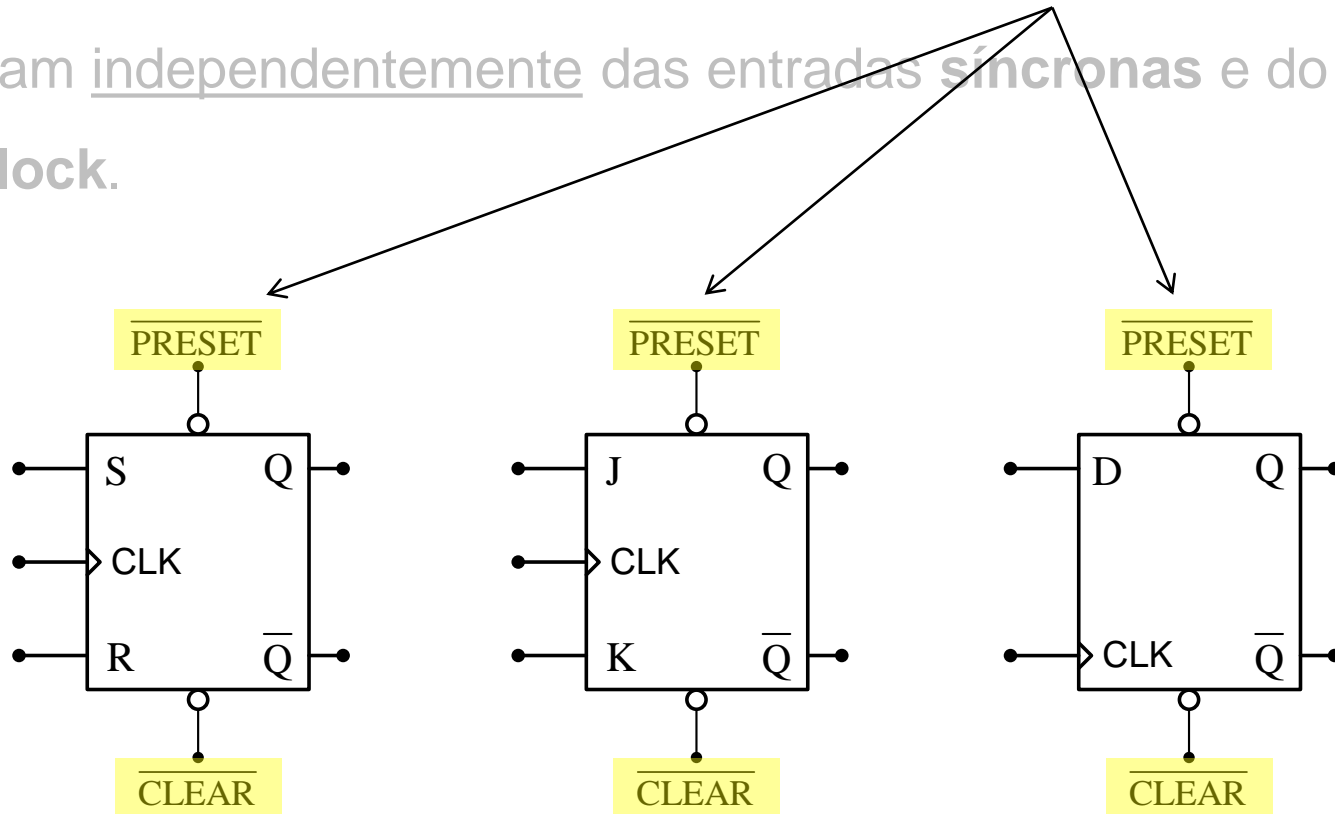
# Entradas assíncronas

- A maioria dos flip-flops possuem entradas **assíncronas**, que operam independentemente das entradas **síncronas** e do sinal de **clock**.



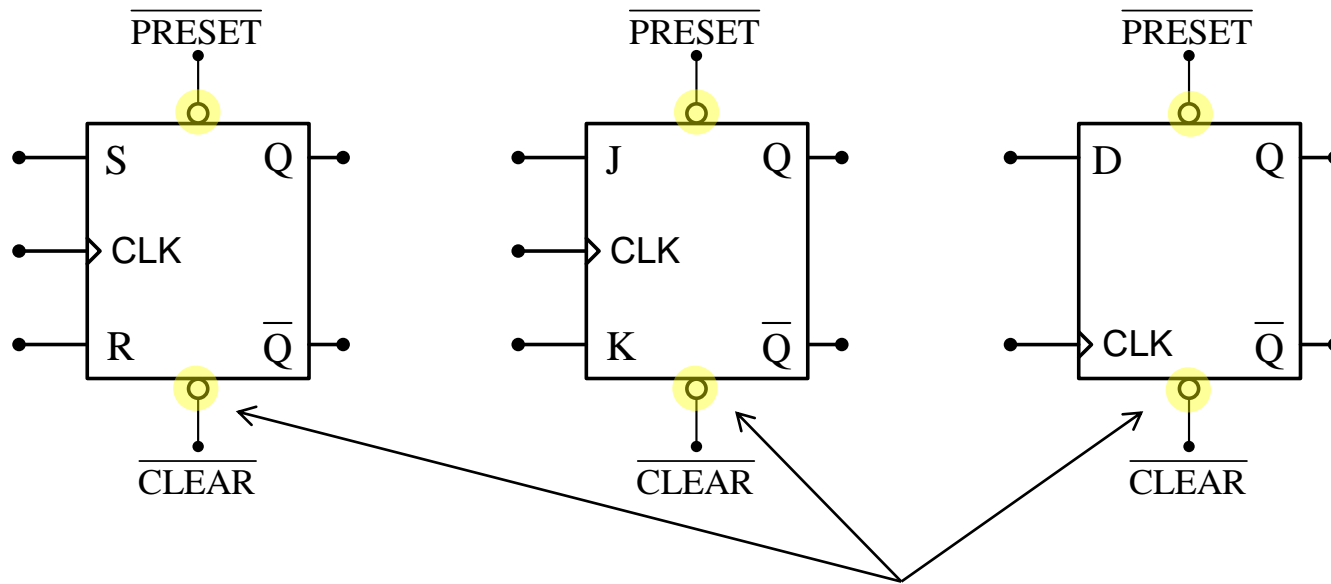
# Entradas assíncronas

- A maioria dos flip-flops possuem entradas **assíncronas**, que operam independentemente das entradas **síncronas** e do sinal de **clock**.



# Entradas assíncronas

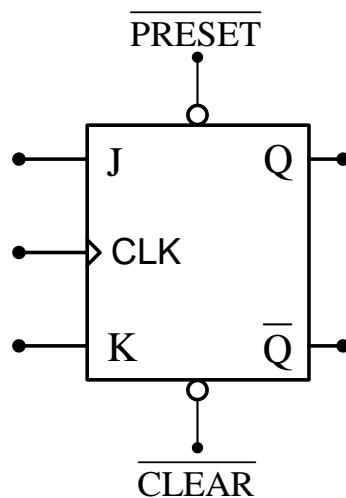
- A maioria dos flip-flops possuem entradas **assíncronas**, que operam independentemente das entradas **síncronas** e do sinal de **clock**.



Usualmente, as entradas assíncronas são ativadas em nível lógico **baixo**.

# Entradas assíncronas

- Entradas **assíncronas** são usadas para levar o estado do flip-flop (FF) para nível lógico **alto** ou **baixo** a qualquer momento.



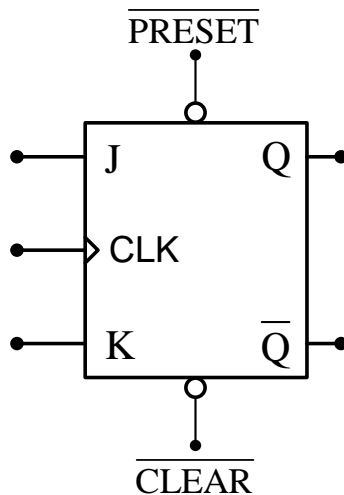
$\overline{\text{PRESET}}$	$\overline{\text{CLEAR}}$	Resposta do FF
1	1	Operação normal
1	0	Força Q = 0
0	1	Força Q = 1
0	0	Não utilizado

Responde as entradas  
síncronas e ao sinal de clock.

# Entradas assíncronas

- **Entradas assíncronas**

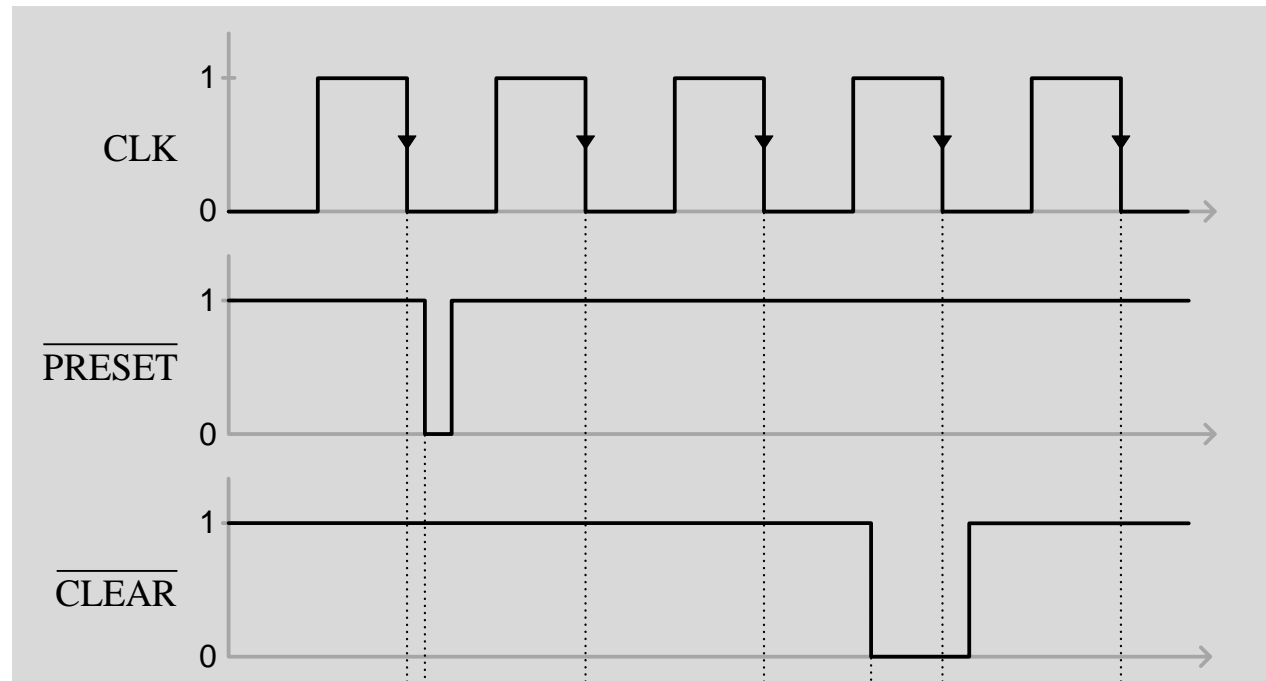
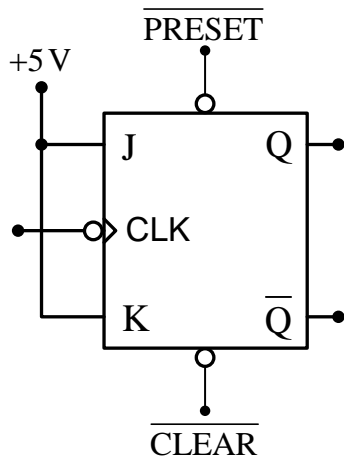
- Podem ser utilizadas para segurar o estado do flip-flop em um estado particular.
- Usualmente, são utilizadas para “**setar**” ou “**resetar**” a saída do flip-flop, aplicando um pulso de nível lógico baixo na entrada apropriada.



$\overline{\text{PRESET}}$	$\overline{\text{CLEAR}}$	Resposta do FF
1	1	Operação normal
1	0	Força Q = 0
0	1	Força Q = 1
0	0	Não utilizado

# Entradas assíncronas

## Exemplo de operação com entradas assíncronas

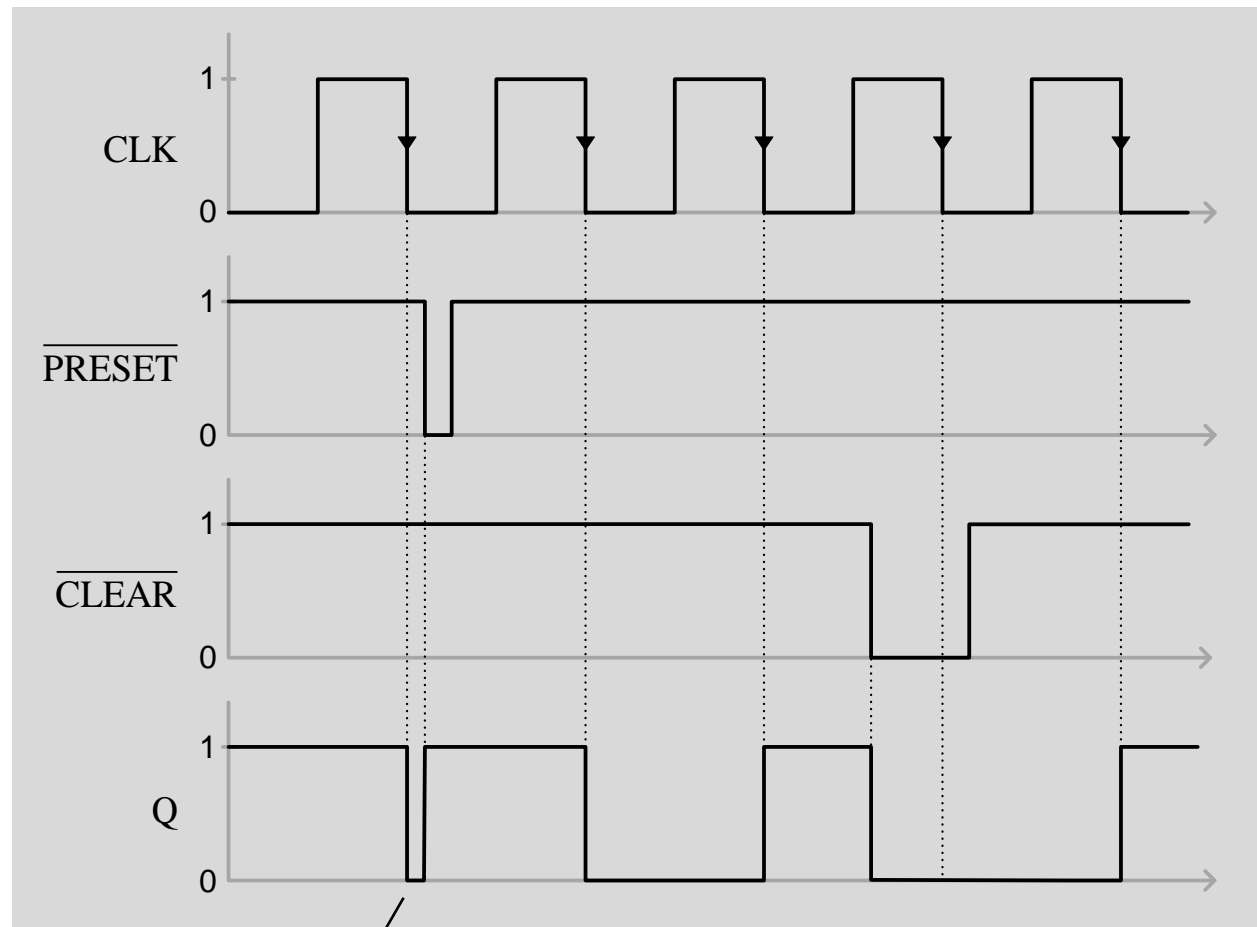
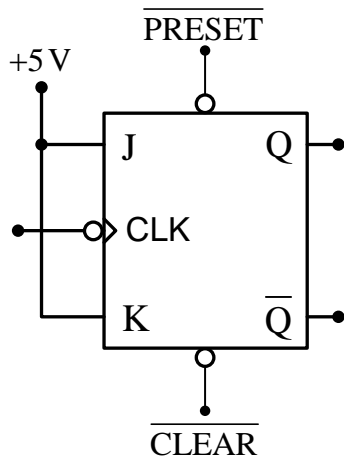


Atividade: obter a forma de onda da saída Q.



# Entradas assíncronas

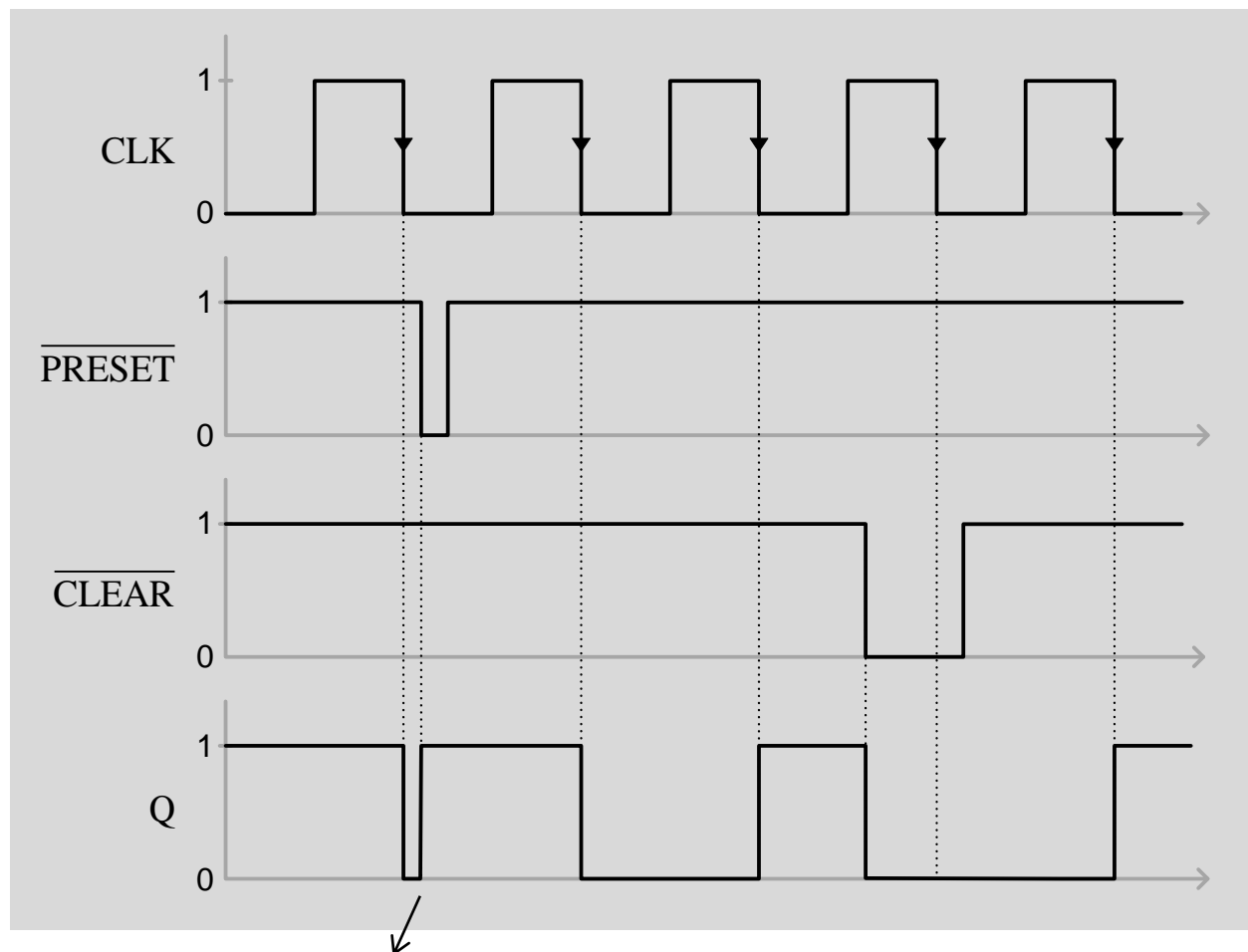
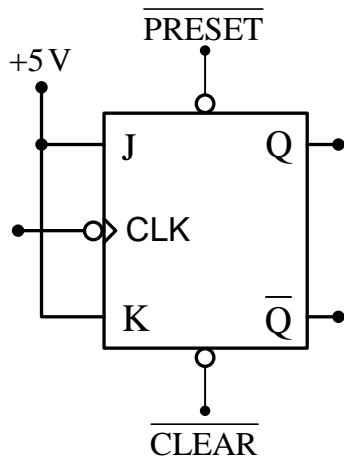
## Exemplo de operação com entradas assíncronas



Operação normal (inverte estado anterior)

# Entradas assíncronas

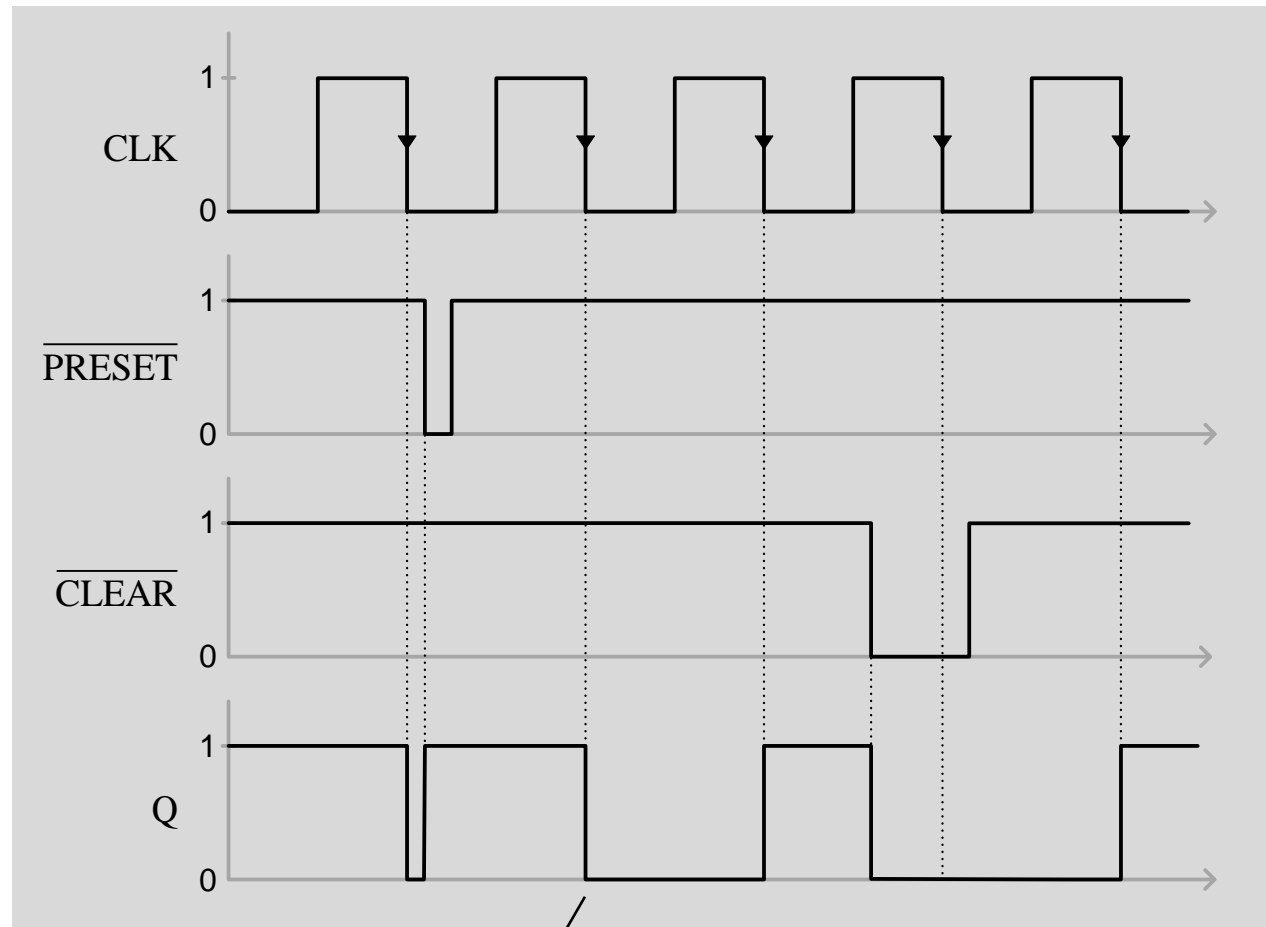
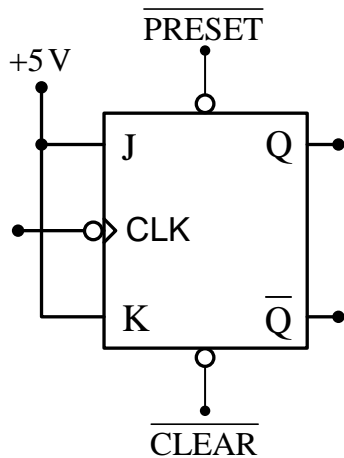
## Exemplo de operação com entradas assíncronas



Entrada assíncrona leva estado do  
FF para nível lógico **alto**

# Entradas assíncronas

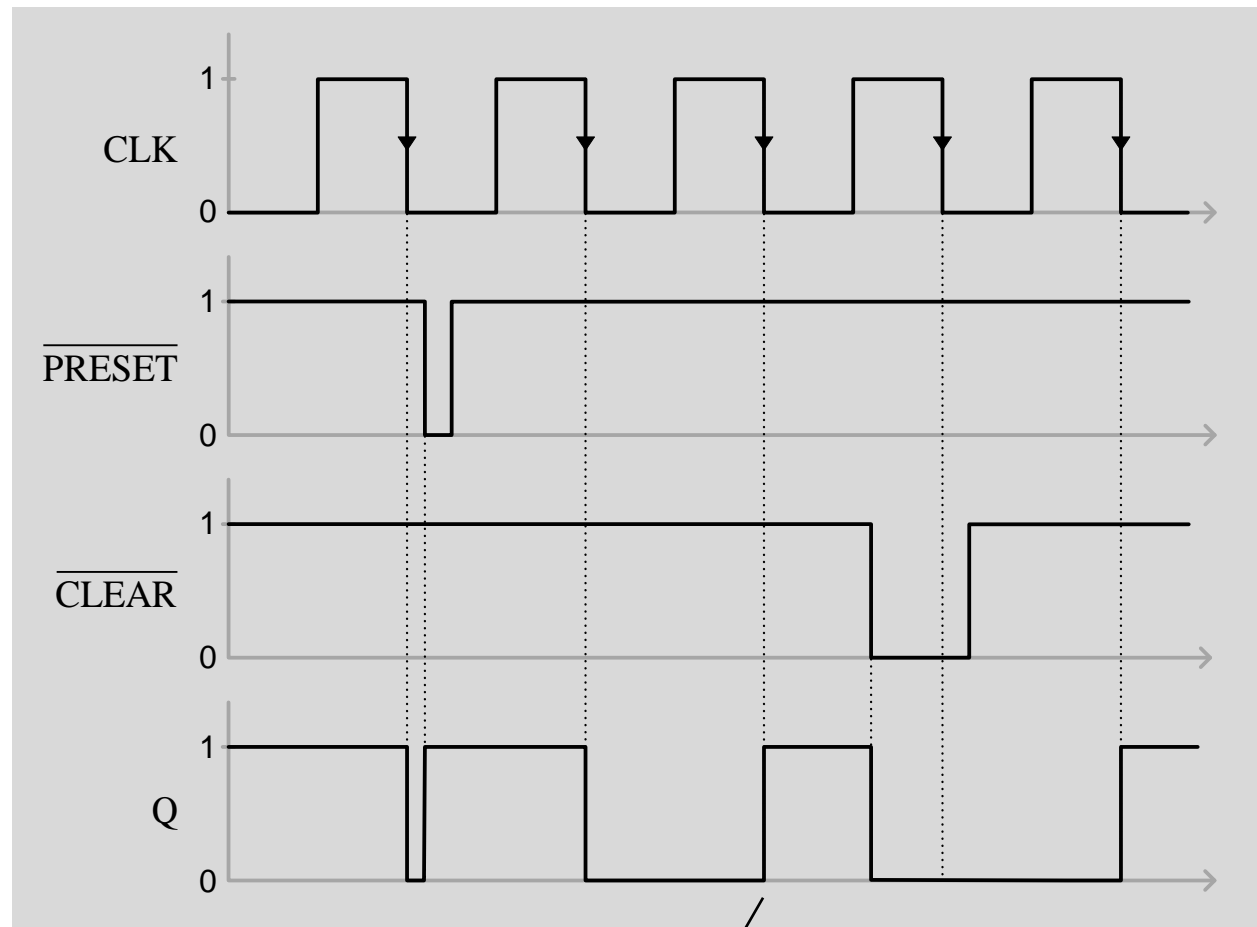
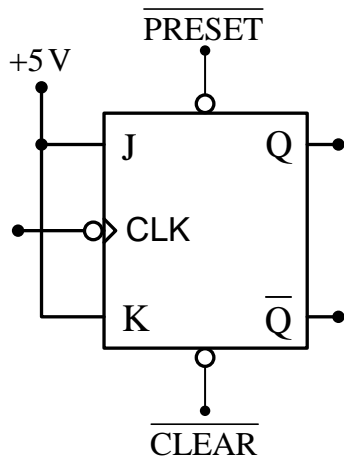
## Exemplo de operação com entradas assíncronas



Operação normal (inverte estado anterior)

# Entradas assíncronas

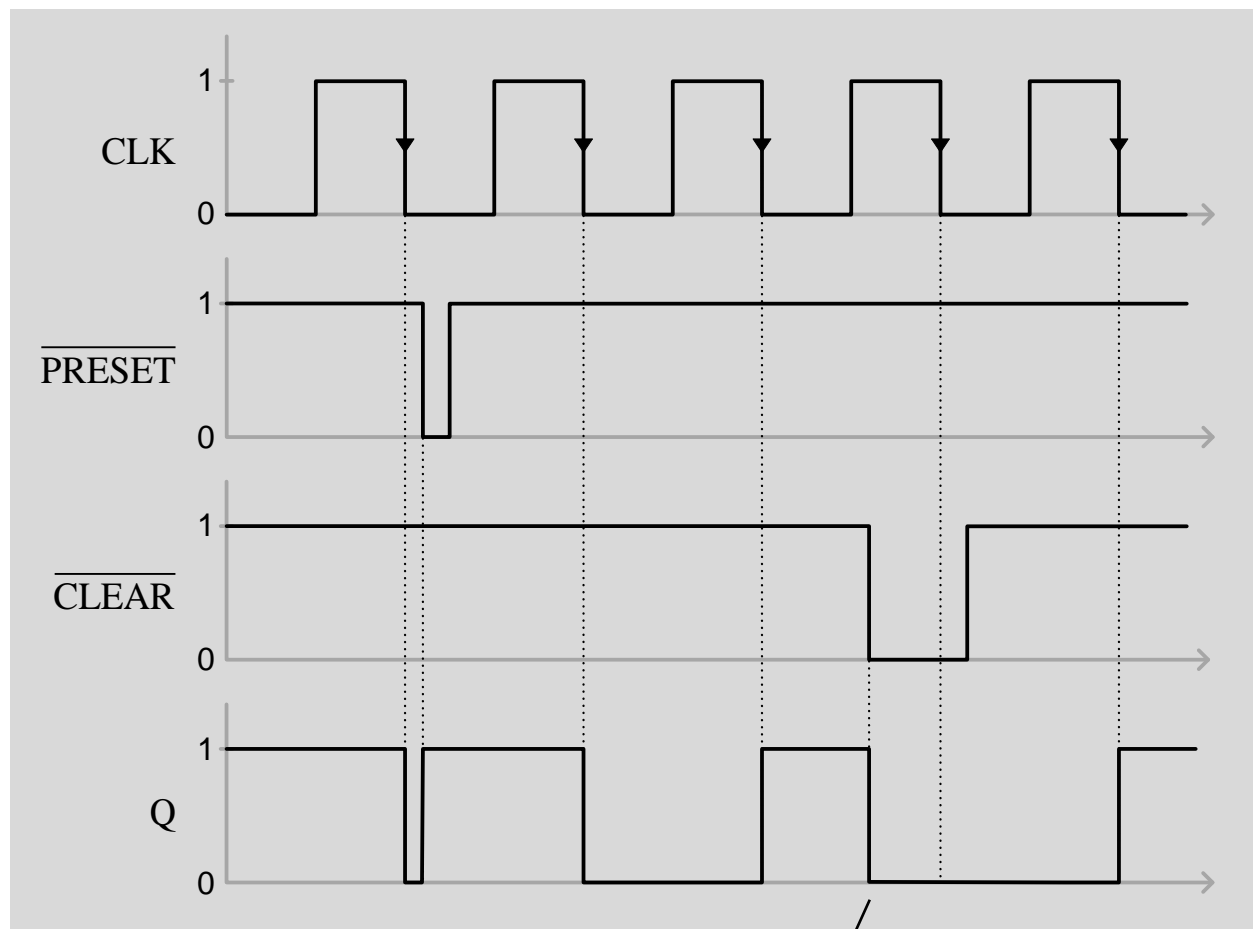
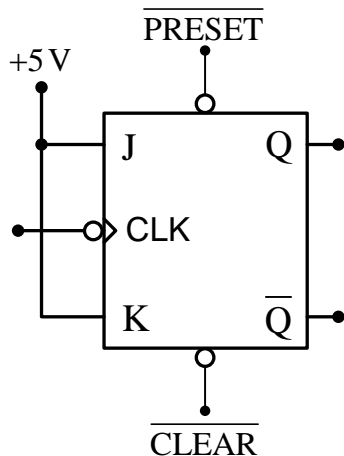
## Exemplo de operação com entradas assíncronas



Operação normal (inverte estado anterior)

# Entradas assíncronas

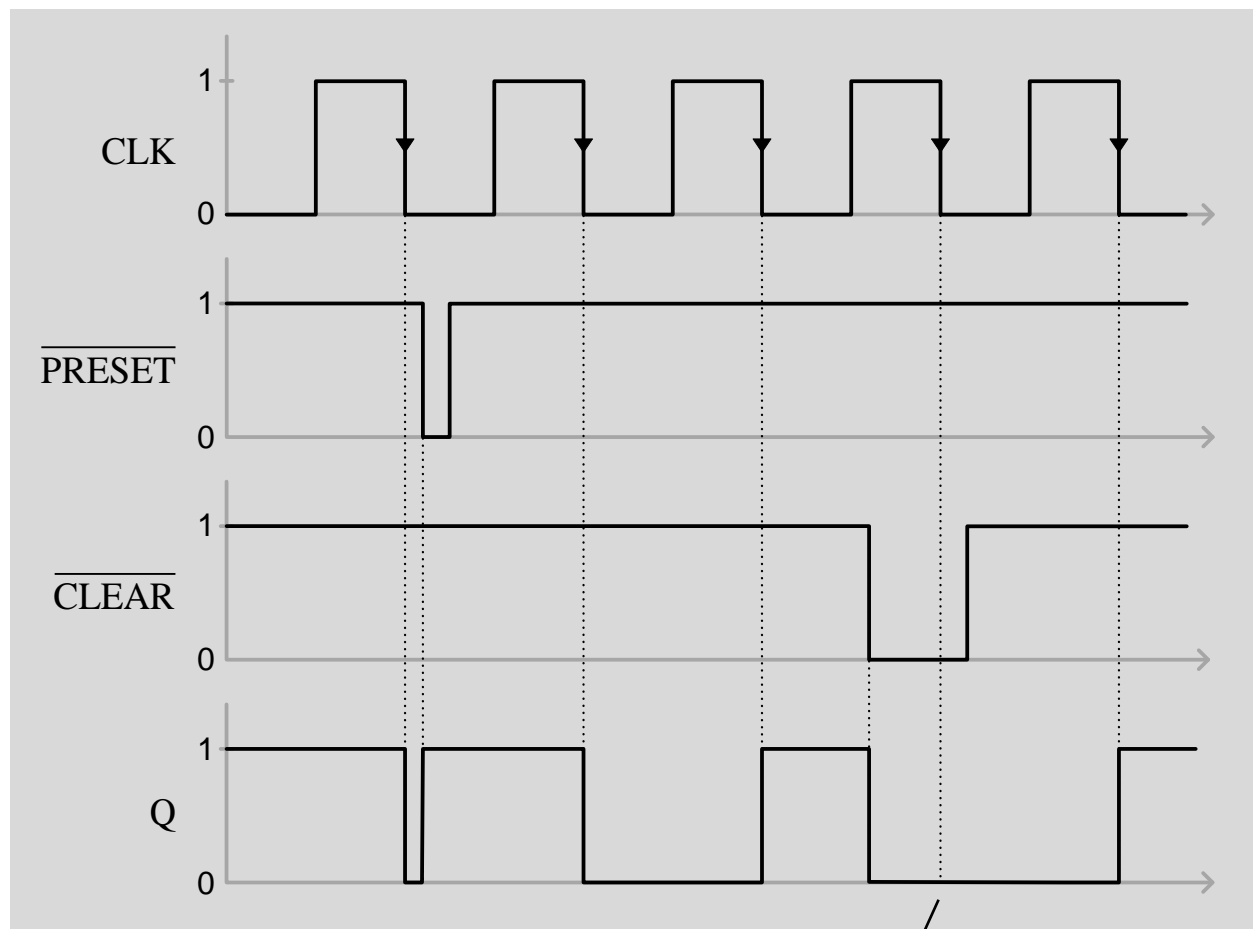
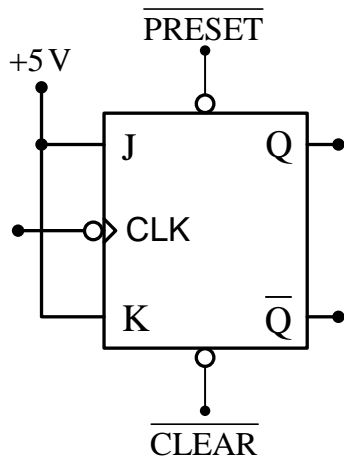
## Exemplo de operação com entradas assíncronas



Entrada assíncrona leva estado do  
FF para nível lógico **baixo**

# Entradas assíncronas

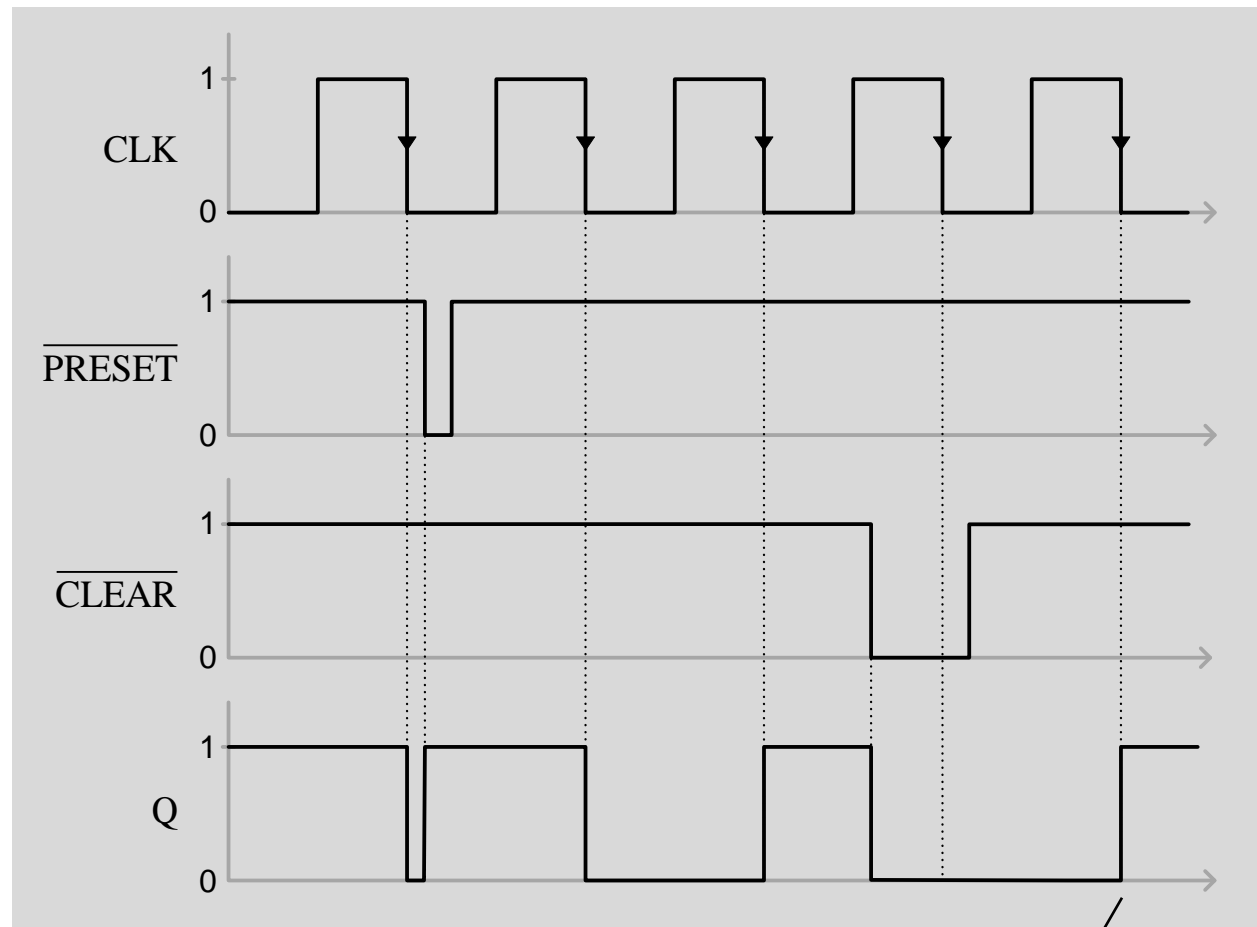
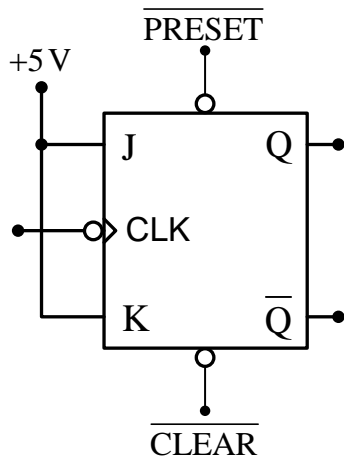
## Exemplo de operação com entradas assíncronas



Entradas síncronas e sinal de clock sem efeito  
(entrada **assíncrona** possui prioridade)

# Entradas assíncronas

## Exemplo de operação com entradas assíncronas



Operação normal (inverte estado anterior)

# **Latches e Flip-flops (Parte 1) – ELD22102**

**Engenharia Eletrônica**

Prof. Reginaldo Steinbach

[reginaldo.steinbach@ifsc.edu.br](mailto:reginaldo.steinbach@ifsc.edu.br)