


Introdução aos circuitos sequenciais (Latch SR)



Introdução

- **Combinacional X Sequencial;**
- **Sinal de Clock;**
- **Diagrama de tempo;**
- **Latch com portas NOR e NAND;**
- **Exercícios**

Combinacional X Sequencial

Combinacional



Apresentam as saídas, únicas e exclusivamente, dependentes das combinações das entradas.

Circuitos combinacionais não possuem memória.

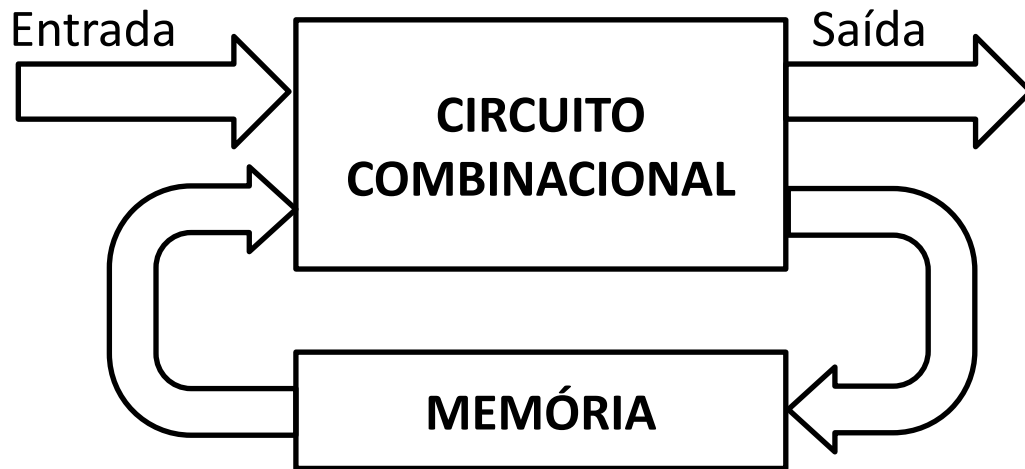


Combinacional X Sequencial

Sequencial



Saída é uma combinação das entradas e de uma saída anterior, operaram geralmente sob o comando de uma sequência de pulsos denominadas **clock**.

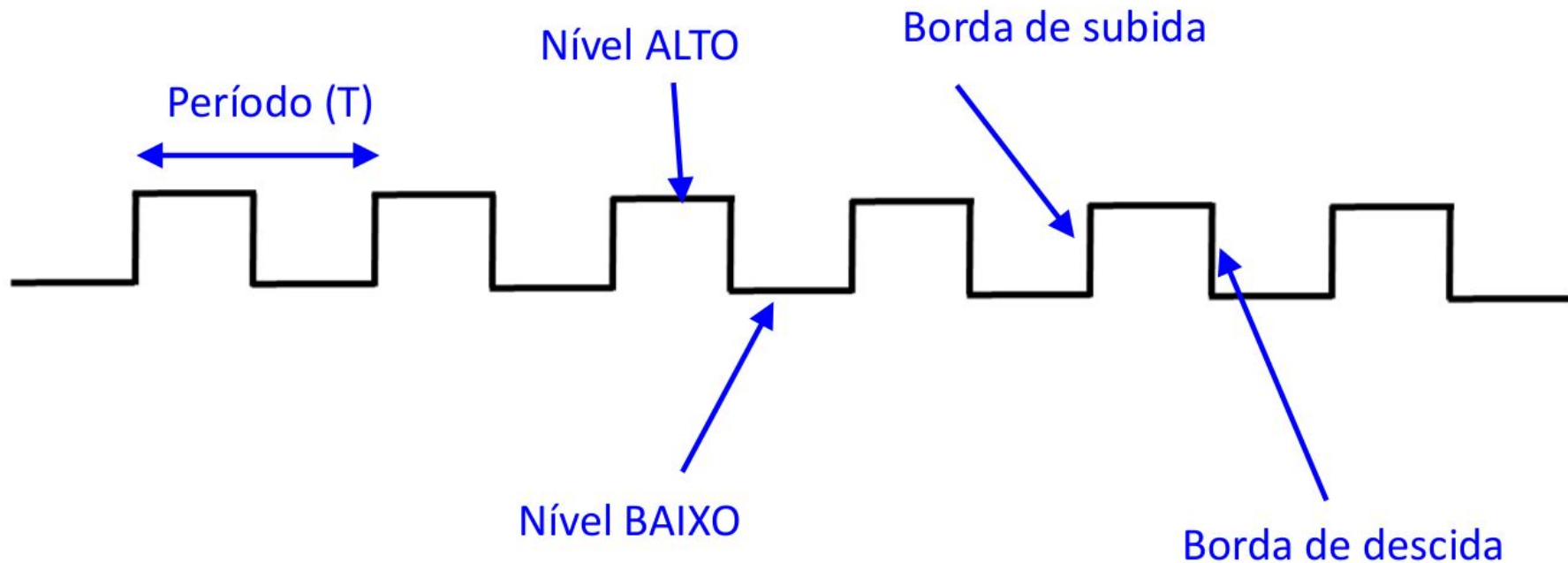


Sinal de Clock

O **clock** é o sinal de sincronismo de um sistema digital. Serve para controlar de quanto em quanto tempo, os elementos de **memória** podem **armazenar** um valor diferente, para que todos mudem de valor ao mesmo tempo.



Características do Clock



Características do Clock

- Período (T): é o tempo em que dura um ciclo do sinal antes de se repetir (segundos).
- Frequência (f): quantas vezes o sinal se repete por segundo (Hz).
- A frequência f é o inverso do período T:

$$f = \frac{1}{T}$$

Clock na prática

O sinal de **clock** pode ser gerado pelos seguintes componentes eletrônicos:

- **Oscilador à cristal**

- Formado por um cristal ressonador (geralmente piezoelétrico) e um circuito oscilador
- Utilizado em altas frequências.

- **Oscilador RC (Resistivo-Capacitivo)**

- Utilizados em baixas frequências

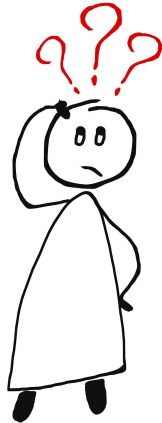
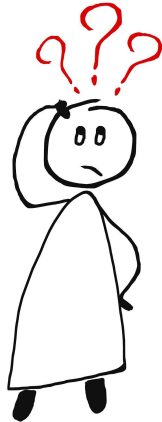
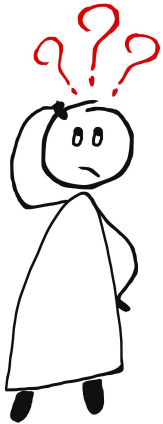


Clock e análise de um sistema digital

- Nos **circuitos combinacionais** a análise de um sistema digital se dava através de seu **circuito**, **expressão booleana** e **tabela verdade**.
- Nos **circuitos sequenciais**, o sinal de clock (sincronismo) exige uma análise das formas de onda dos sinais digitais.
 - Essa análise é realizada através dos **diagramas de tempo**.

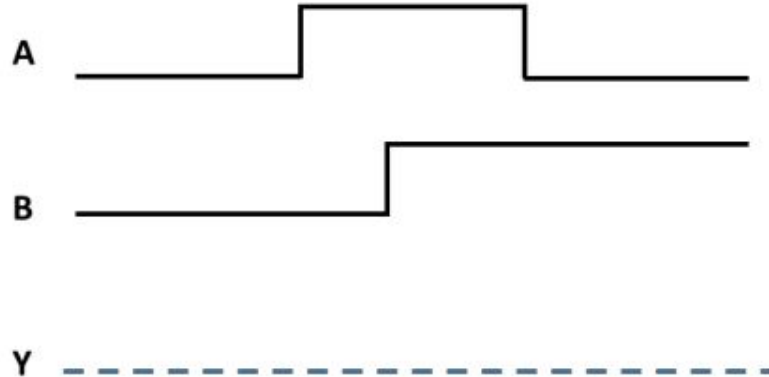
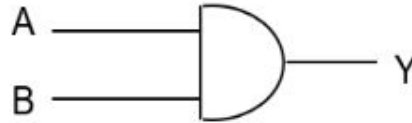
Diagrama de tempo

É uma representação gráfica da evolução dos sinais de entrada e saída de um sistema digital ao longo do tempo.



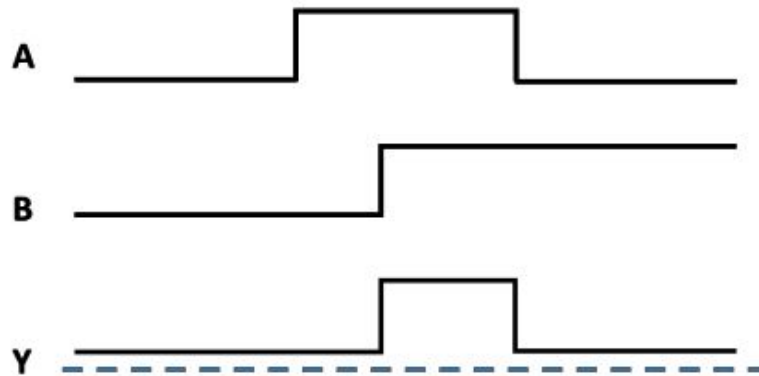
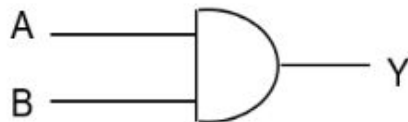
Exemplo de Diagrama de tempo

■ Exemplo:



Exemplo de Diagrama de tempo

- Exemplo:



Exemplo de Diagrama de tempo

■ Exemplo:

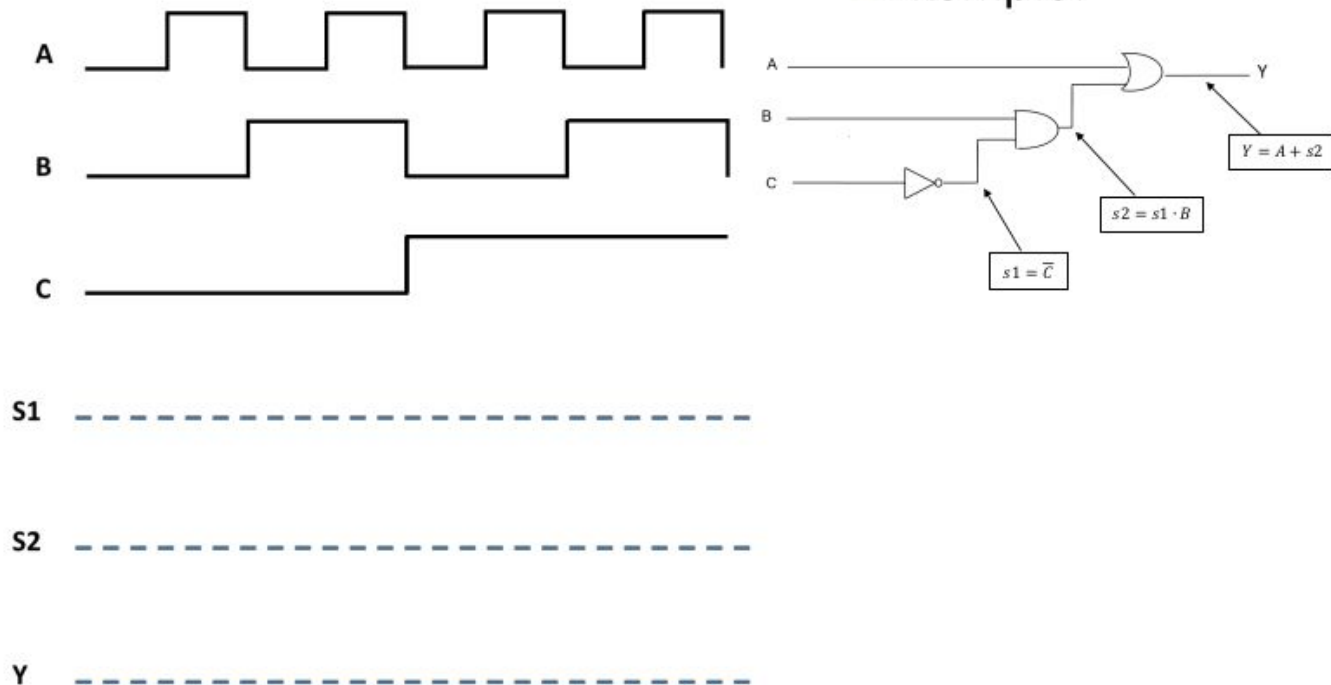
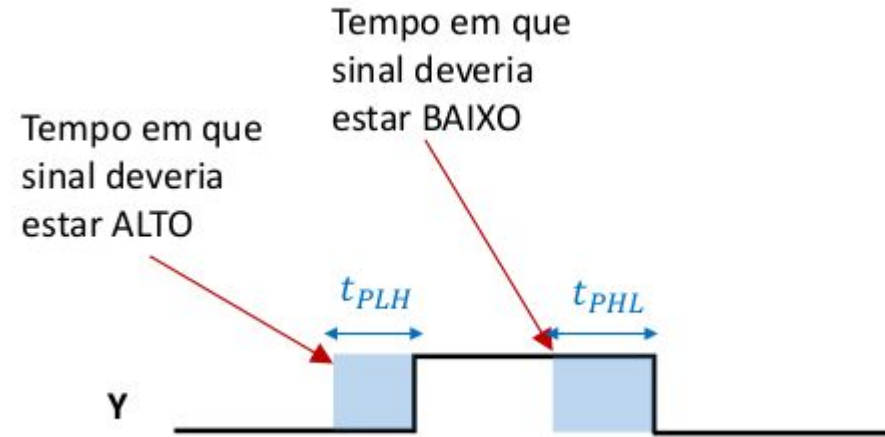
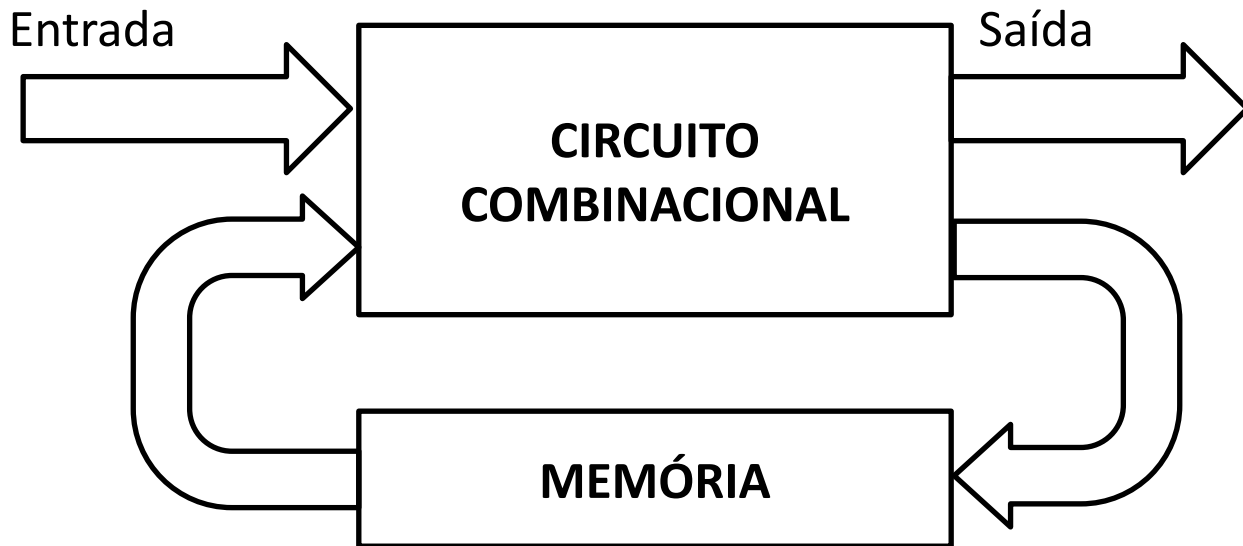


Diagrama de tempo

- Portas lógicas possuem atrasos de propagação, devido às limitações físicas dos componentes de circuitos integrados.
- Dessa forma, quando um valor lógico de saída deve mudar, devido a uma nova entrada, há uma janela de tempo até que o novo valor seja atualizado



Circuitos sequenciais



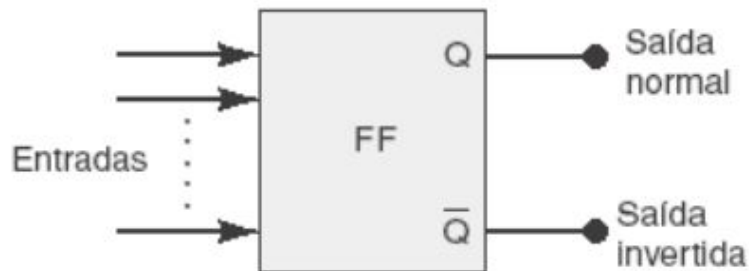
Circuitos sequenciais

- São construídos a partir de portas lógicas.
- Possuem SEMPRE apenas duas saídas opostas (Q e Q').
- O objetivo é forçar as saídas assumirem os seguintes níveis lógicos:
 - $Q = 1$ (gravar o bit 1)
 - $Q = 0$ (gravar o bit 0)
 - $Q = Q_a$ (mantém o estado anterior - armazena)

Circuitos sequenciais

- Possuem no mínimo 1 e no máximo 5 entradas. Geralmente chamadas de S (ou J), R (ou K), CLK (ou ENB), CLR, PRE.
- A saída (**Q**) é alterada através das **entradas**:
 - Liga **SET** → grava a saída $Q = 1$
 - Liga **RESET** → grava a saída $Q = 0$
 - Desliga **SET** e **RESET** → mantém o bit
- Podem operar sem sinal de sincronismo ou com sinal de sincronismo (pelo nível ou pela borda).

Circuitos sequenciais



Estados de saída

$$\underline{Q = 1, \bar{Q} = 0:}$$

chamado estado ALTO ou 1;
também chamado estado SET

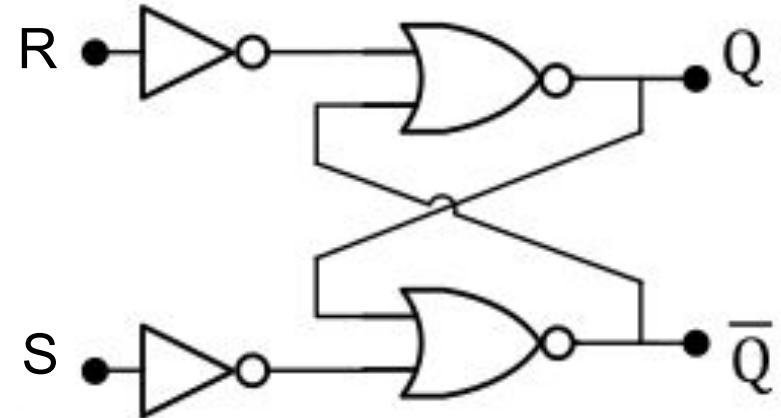
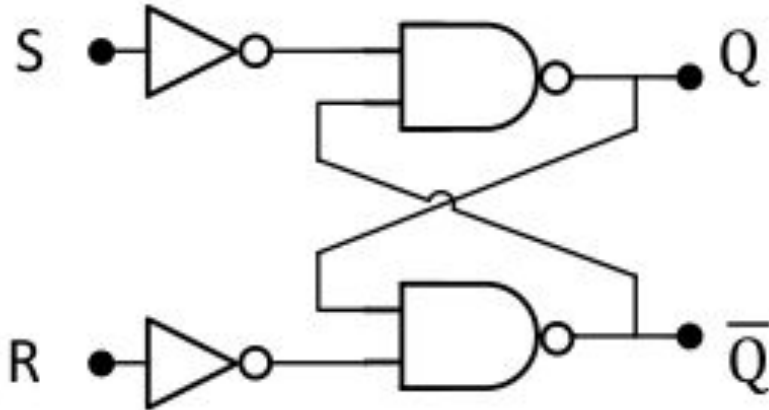
$$\underline{Q = 0, \bar{Q} = 1:}$$

chamado estado BAIXO ou 0;
também chamado estado
CLEAR ou RESET

SET	RESET	Q	\bar{Q}
DESLIGA	DESLIGA	MANTEM	
DESLIGA	LIGA	0	1
LIGA	DESLIGA	1	0
LIGA	LIGA	PROIBIDO	

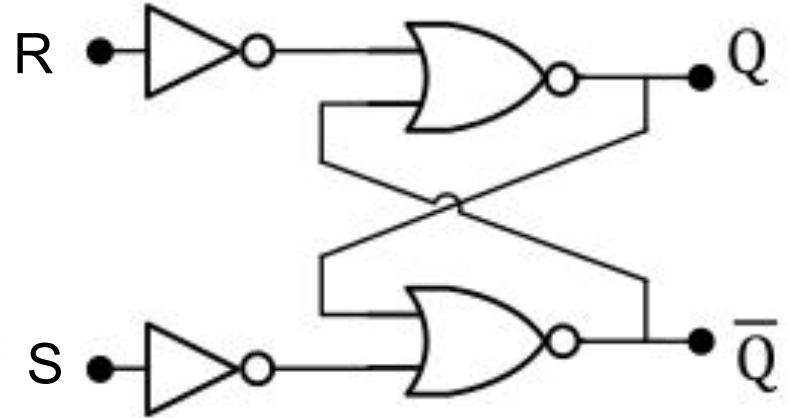
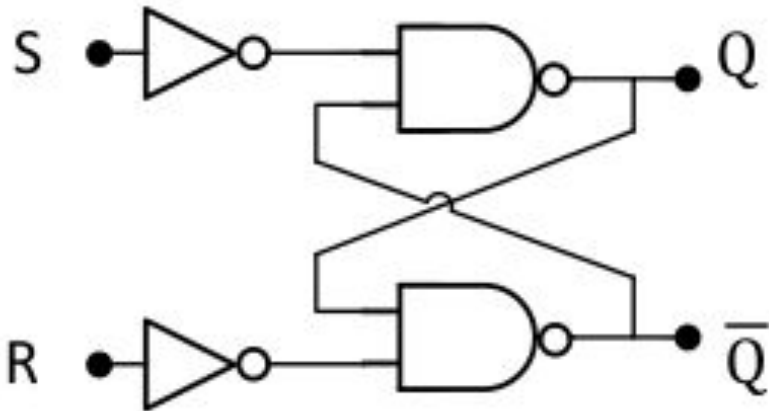
O latch RS

- O latch RS (RESET/SET), ou SR (SET/RESET) é o elemento de memória mais básico possível.
- Estes circuitos podem ser implementados utilizando portas NAND ou portas NOR.

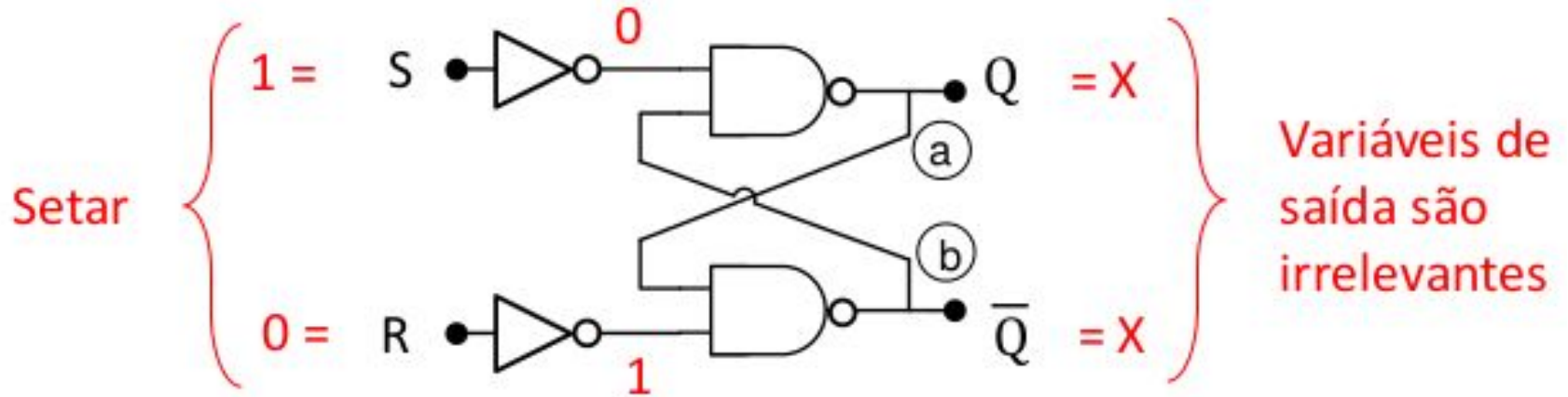


O latch RS

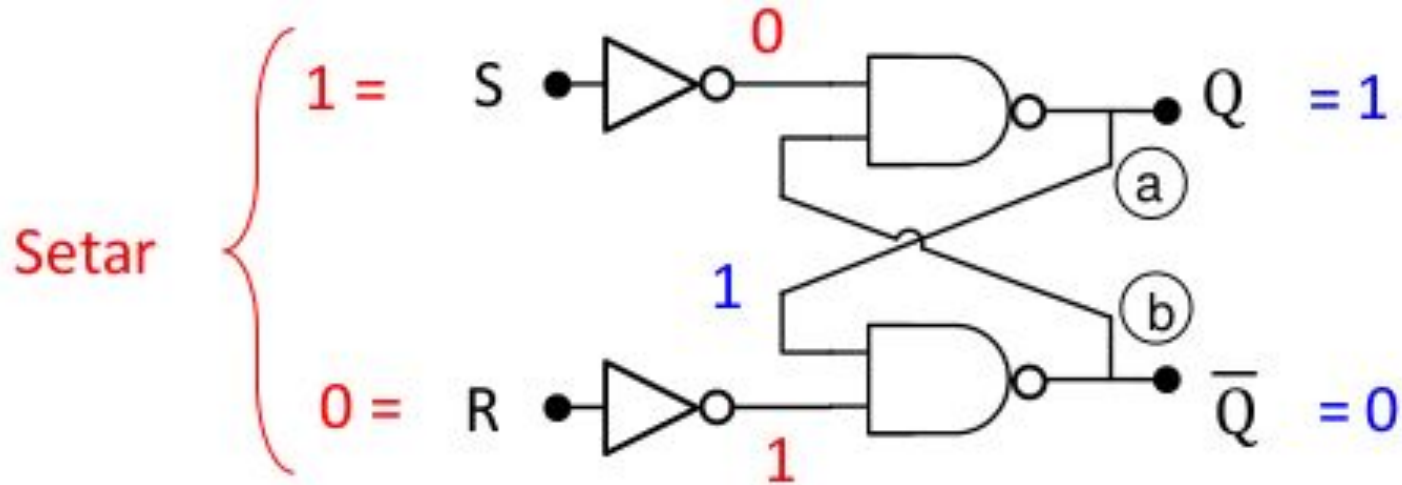
- As realimentações garantem que o latch mantenha o valor na saída Q e \bar{Q} , enquanto as entradas estiverem “DESLIGADAS”.



O latch RS - Liga SET \rightarrow grava a saída $Q = 1$

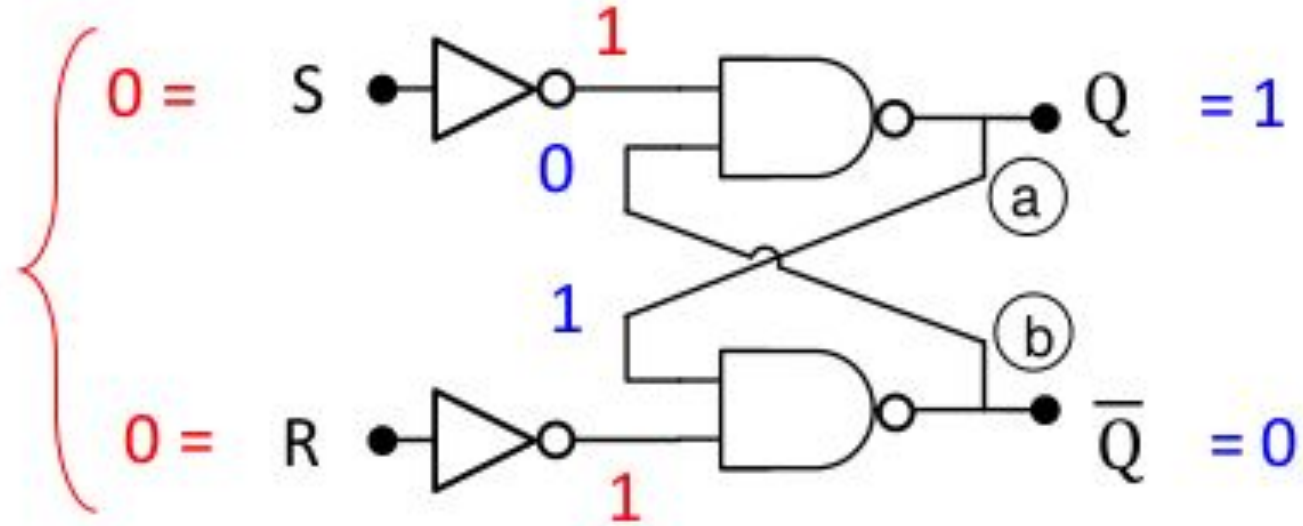


O latch RS - Liga **SET** → grava a saída $Q = 1$

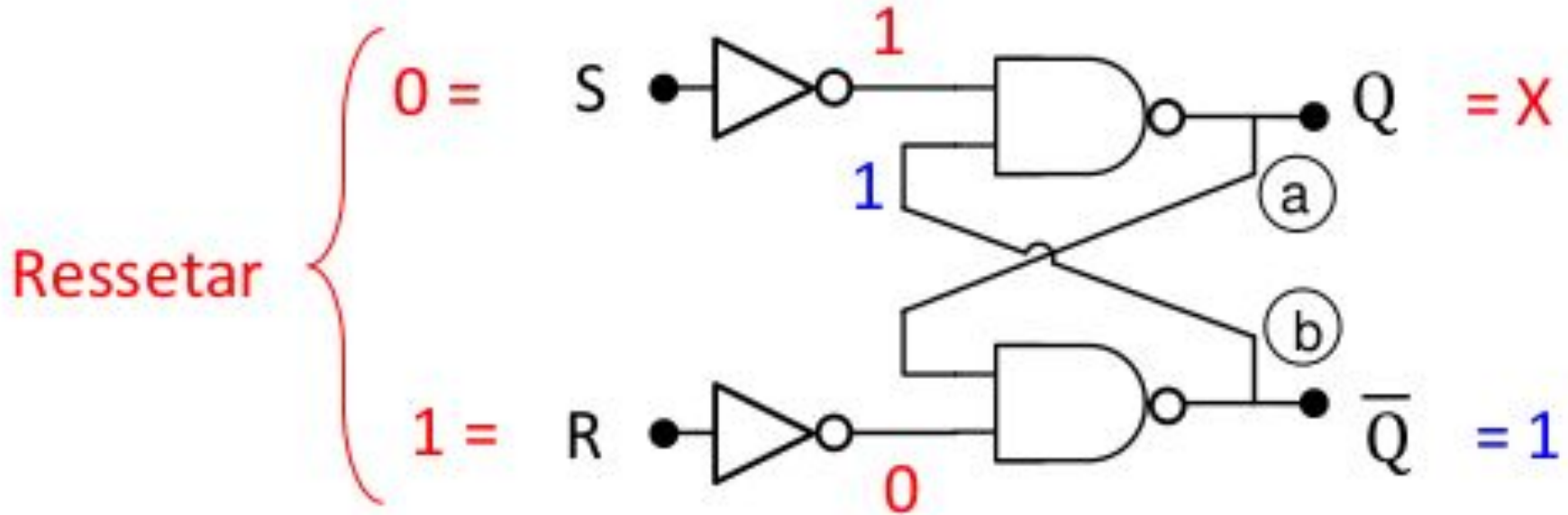


O latch RS - Desliga SET e RESET → mantém o bit

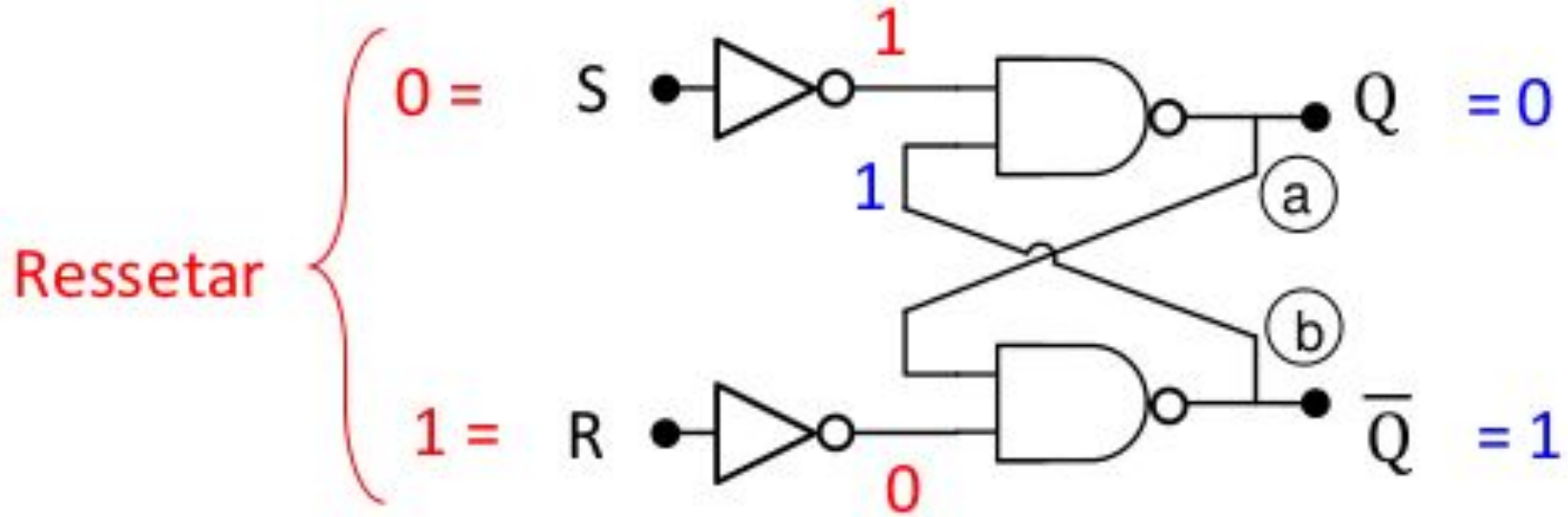
Manter



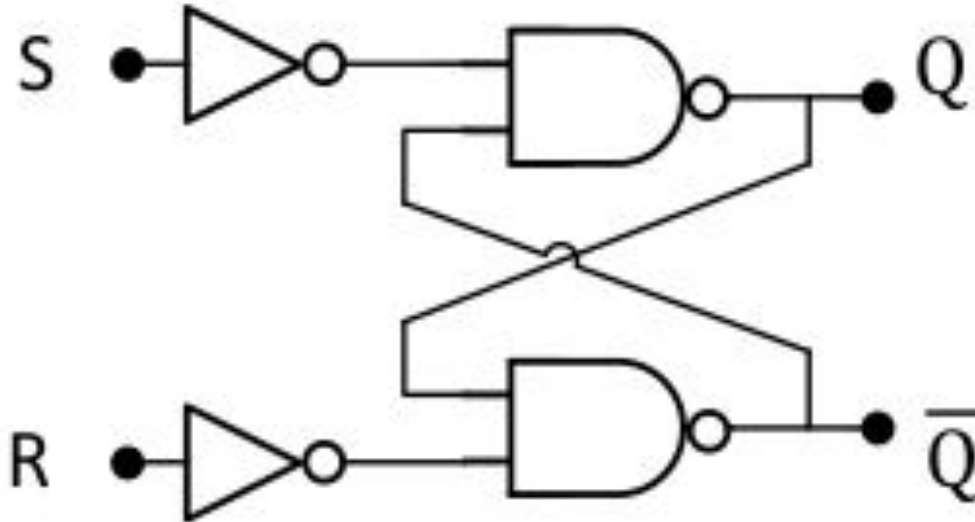
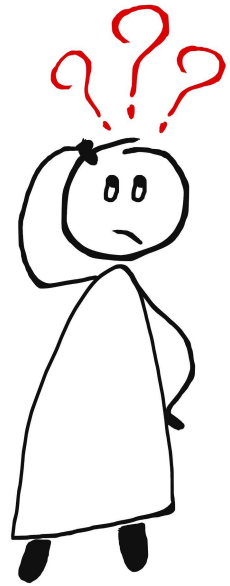
O latch RS - Liga **RESET** → grava a saída $Q = 0$



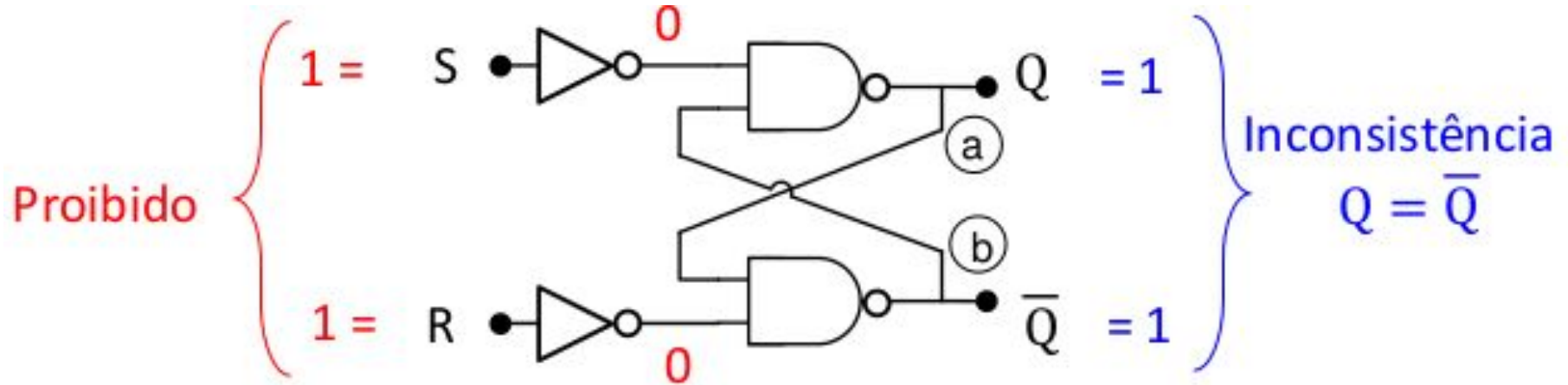
O latch RS - Liga **RESET** → grava a saída $Q = 0$



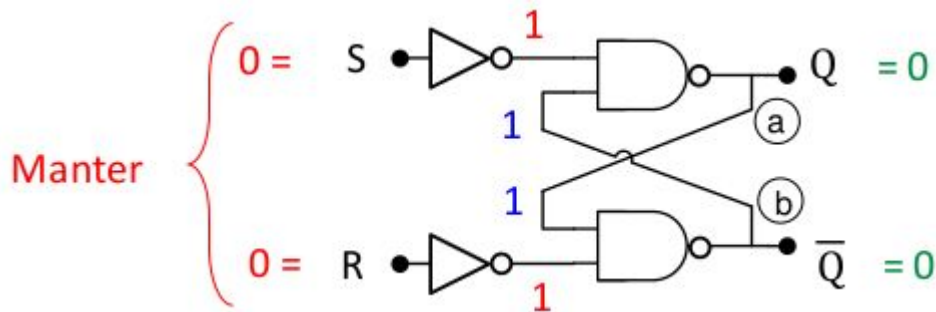
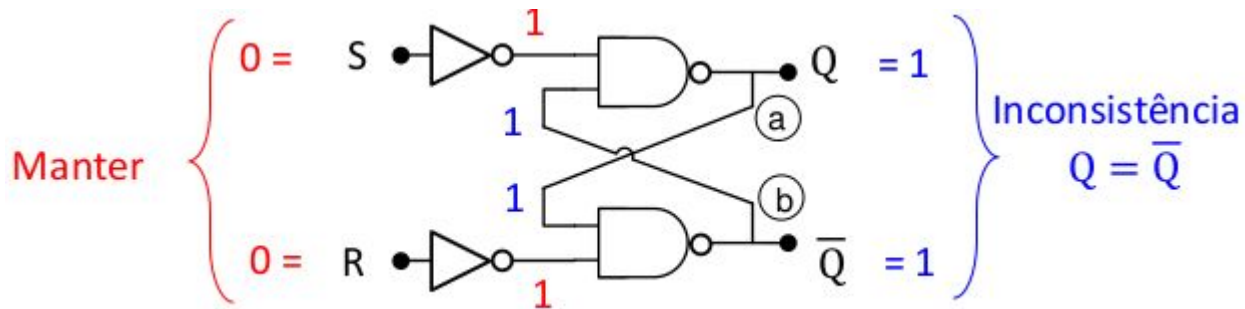
O latch RS - Liga SET e RESET ??????



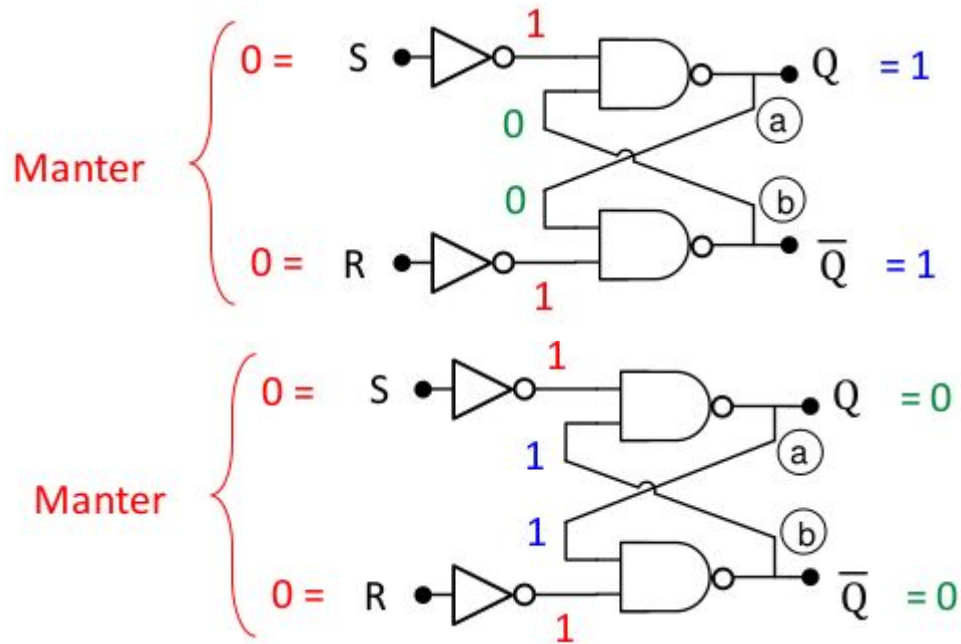
O latch RS - Liga **SET** e **RESET** → Estado proibido



O latch RS - Desliga SET e RESET → mantém o bit

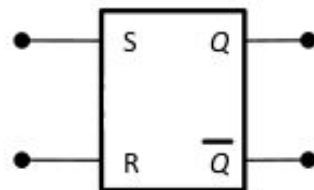
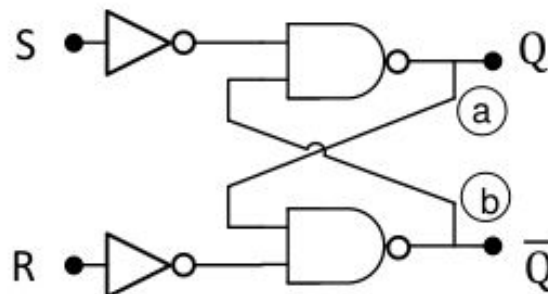


O latch RS - Desliga SET e RESET → mantém o bit



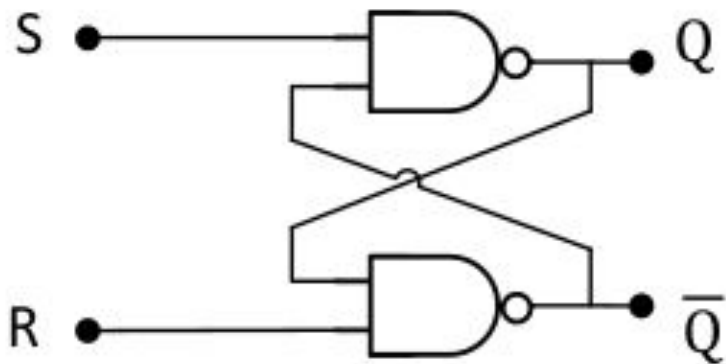
O latch RS

S	R	Q_P	\overline{Q}_P	Ação
0	0	Q_A	\overline{Q}_A	Não muda
0	1	0	1	Desativa (Resseta)
1	0	1	0	Ativa (Seta)
1	1	?	?	Proibida



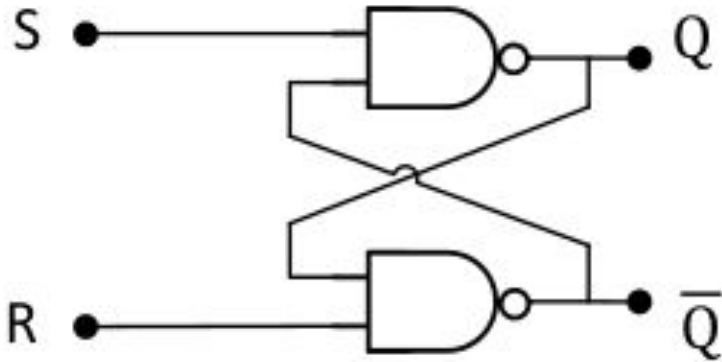
- Q_P indica qual será o próximo valor de Q , e Q_A é valor anterior de Q . O mesmo é válido para \overline{Q} .
- Teste você mesmo as combinações de entrada no circuito apresentado e avalie a tabela verdade.

O que ocorre se o inversor for retirado do latch SR?



SET	RESET	Q	Q'
DESLIGA	DESLIGA	MANTEM	
DESLIGA	LIGA	0	1
LIGA	DESLIGA	1	0
LIGA	LIGA	PROIBIDO	

O que ocorre se o inversor for retirado do latch SR?



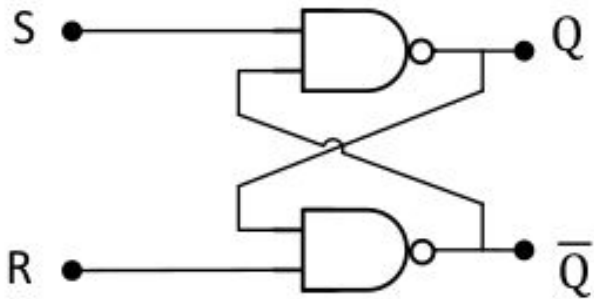
SET'	RESET'	Q	Q'
1	1	MANTEM	
1	0	0	1
0	1	1	0
0	0	PROIBIDO	

O latch RS

- Se tirarmos os inversores das entradas RS, o latch irá ativar em lógica inversa



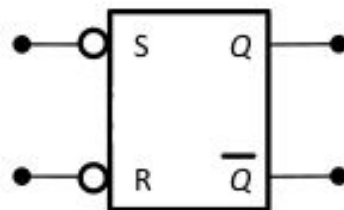
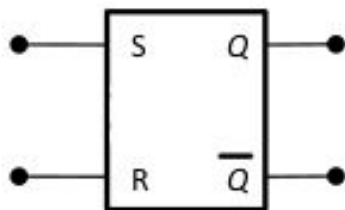
Lógica inversa: entrada ativa em nível BAIXO.



O latch RS



Note que na simbologia, a lógica inversa possui inversores em suas entradas.

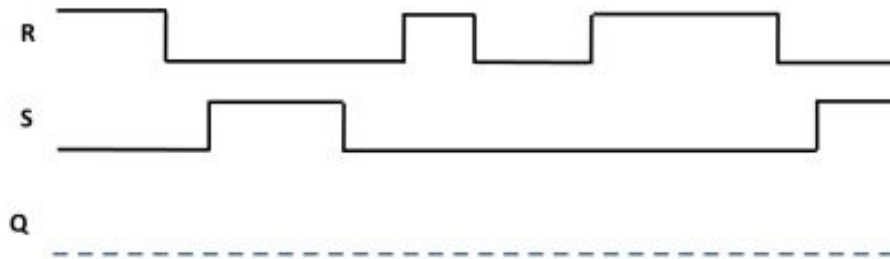
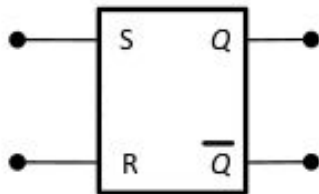


S	R	Q_P	$\overline{Q_P}$	Ação
0	0	Q_A	$\overline{Q_A}$	Não muda
0	1	0	1	Desativa (Resseta)
1	0	1	0	Ativa (Seta)
1	1	?	?	Proibida

S	R	Q_P	$\overline{Q_P}$	Ação
0	0	?	?	Proibida
0	1	1	0	Ativa (Seta)
1	0	0	1	Desativa (Resseta)
1	1	Q_A	$\overline{Q_A}$	Não muda

O latch RS - Exercício

Exemplo de formas de onda:



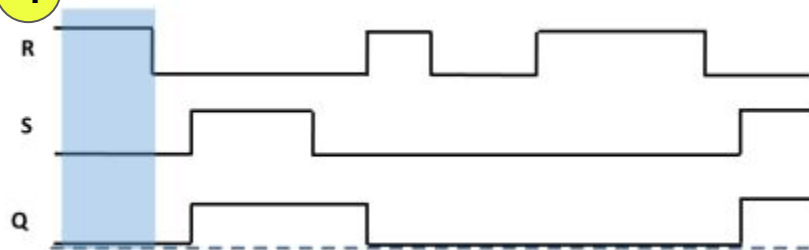
S	R	Q_P	$\overline{Q_P}$	Ação
0	0	Q_A	$\overline{Q_A}$	Não muda
0	1	0	1	Desativa (Reseta)
1	0	1	0	Ativa (Seta)
1	1	?	?	Proibida



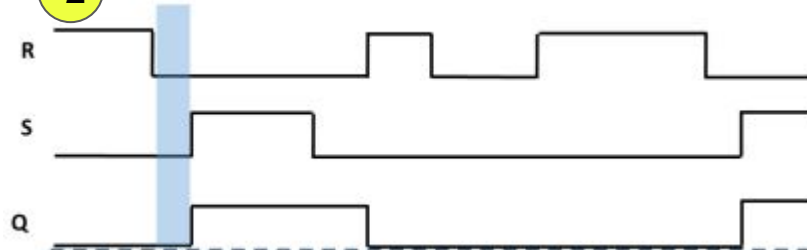
INSTITUTO
FEDERAL
Santa Catarina

O latch RS - Exercício

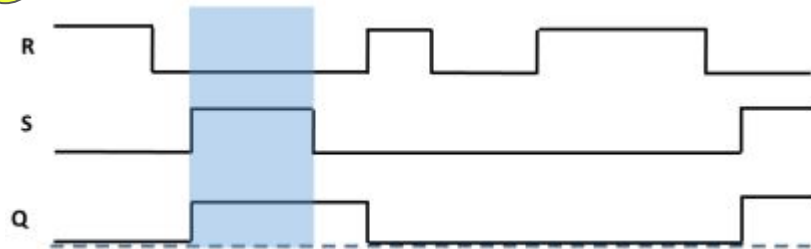
1



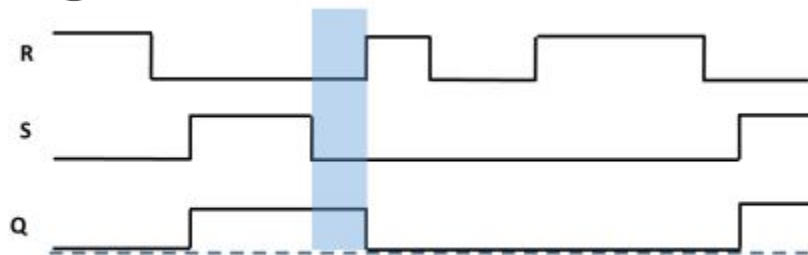
2



3



4

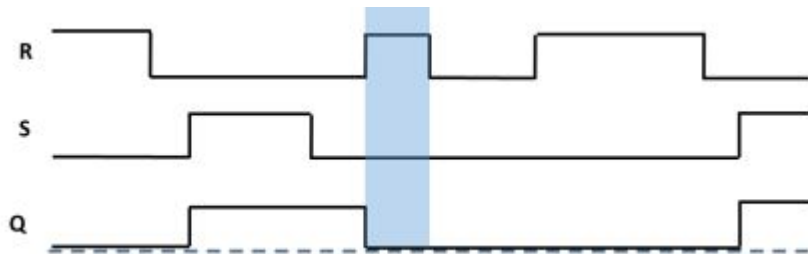




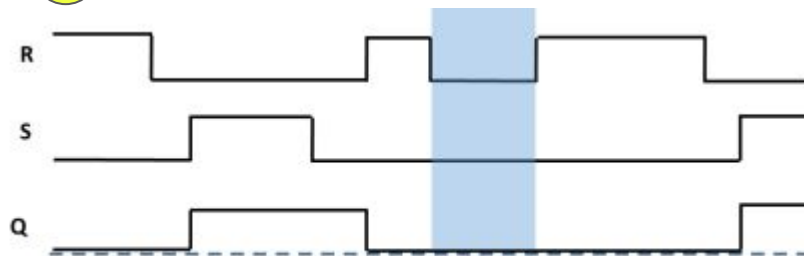
INSTITUTO
FEDERAL
Santa Catarina

O latch RS - Exercício

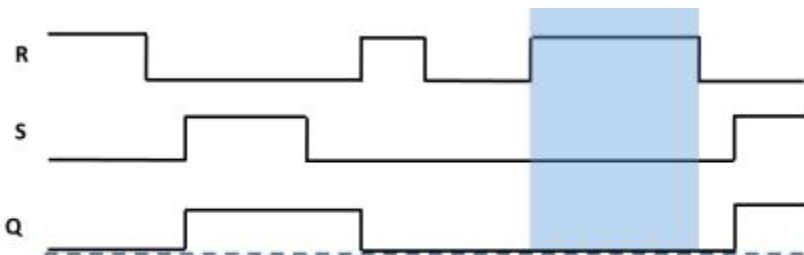
5



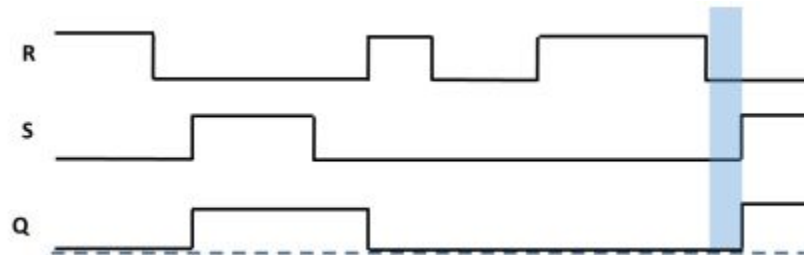
6



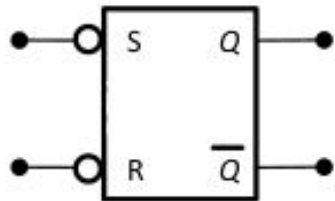
7



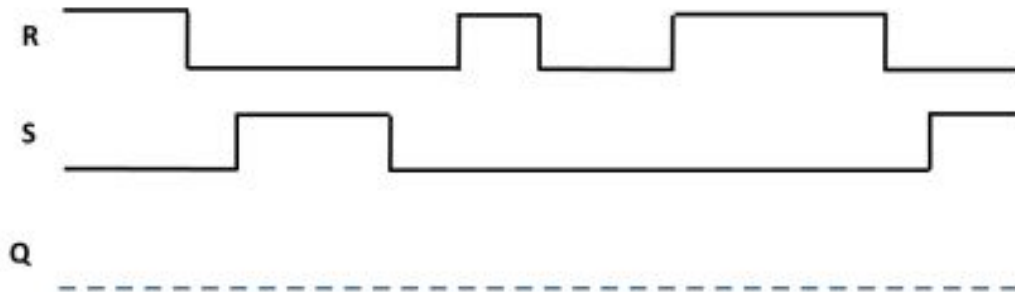
8



O latch RS - Exercício

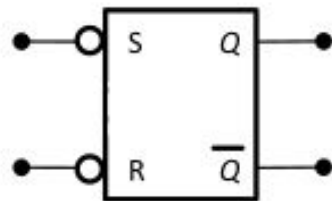


Exemplo de formas de onda:

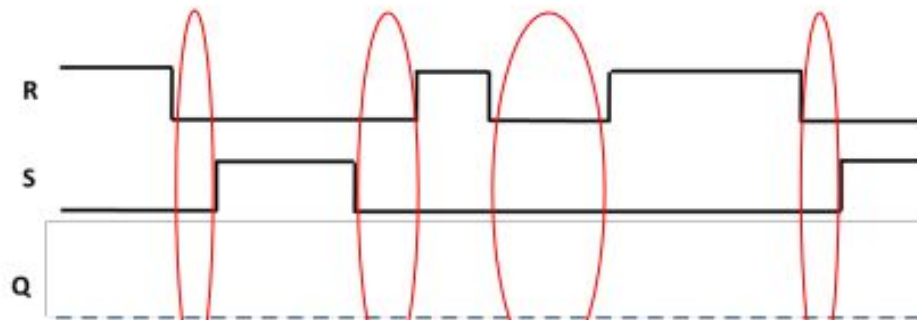


S	R	Q_P	$\overline{Q_P}$	Ação
0	0	?	?	Proibida
0	1	1	0	Ativa (Seta)
1	0	0	1	Desativa (Reseta)
1	1	Q_A	$\overline{Q_A}$	Não muda

O latch RS - Exercício



Exemplo de formas de onda:

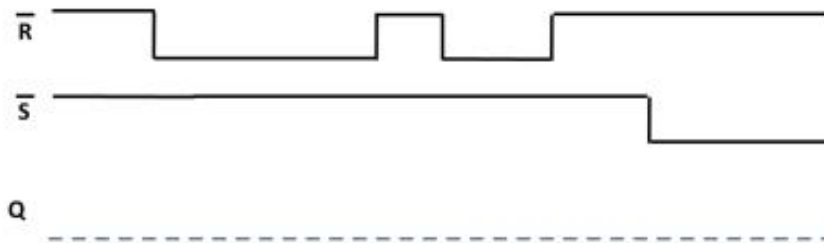
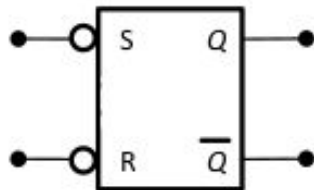


S	R	Q_p	$\overline{Q_p}$	Ação
0	0	?	?	Proibida
0	1	1	0	Ativa (Seta)
1	0	0	1	Desativa (Reseta)
1	1	Q_A	$\overline{Q_A}$	Não muda

Condições proibidas, e portanto, intratáveis!

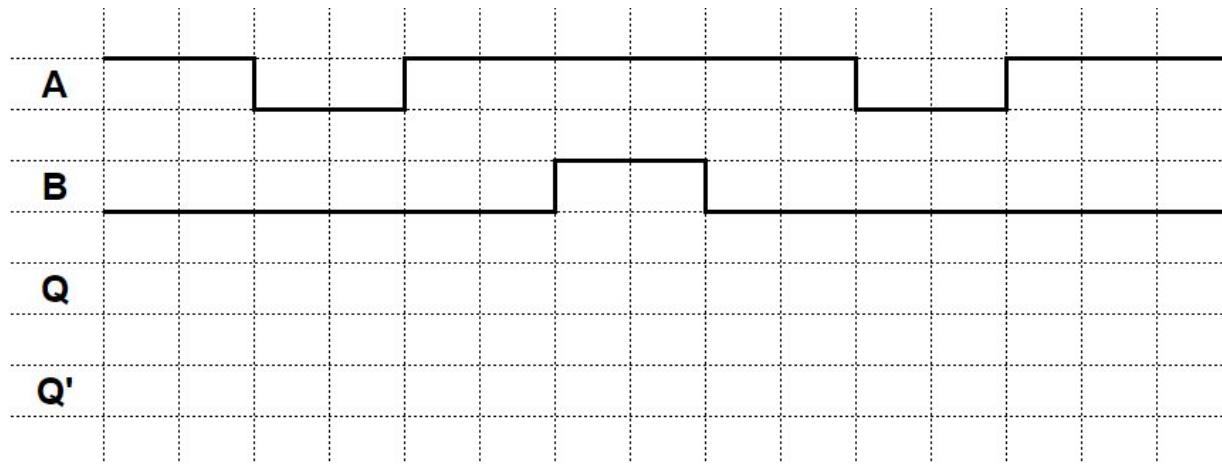
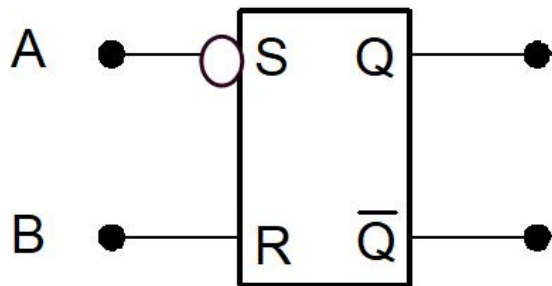
O latch RS - Exercício

Exemplo de formas de onda:



S	R	Q_P	$\overline{Q_P}$	Ação
0	0	?	?	Proibida
0	1	1	0	Ativa (Seta)
1	0	0	1	Desativa (Resseta)
1	1	Q_A	$\overline{Q_A}$	Não muda

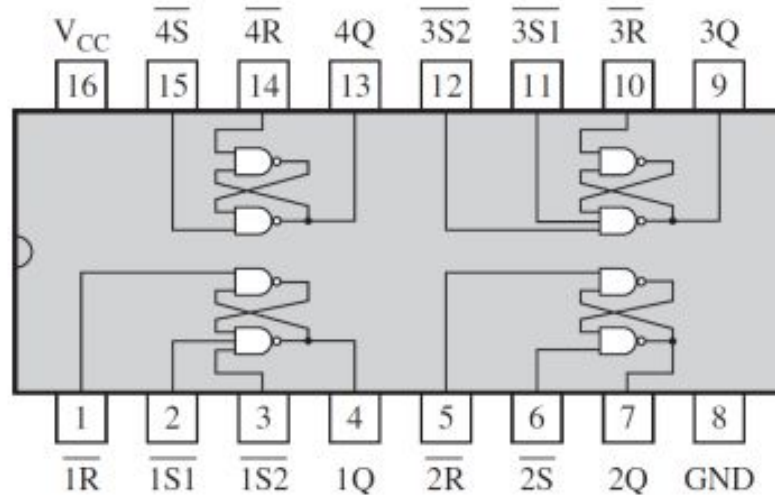
O latch RS - Exercício



S	R	Q	\bar{Q}

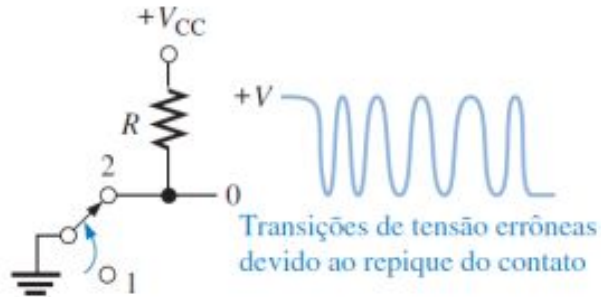
O latch RS - Circuito Integrado

- O CI 74LS279.

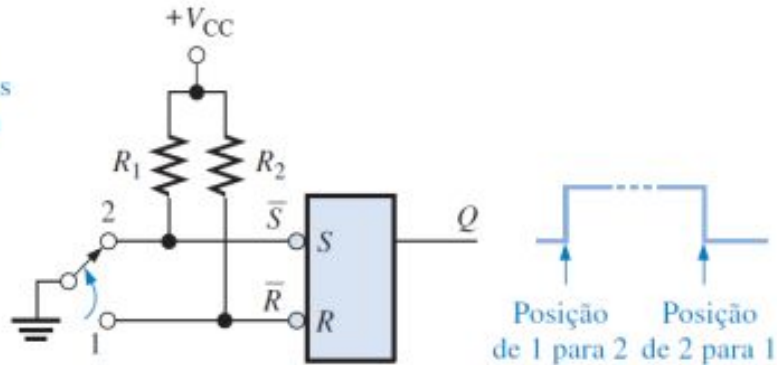


O latch RS - Uma aplicação

Latch usado como eliminador de trepidação de contato.



(a) Repique do contato de uma chave



(b) Circuito eliminador de repique de contato

Fonte: FLOYD (2007)