



数字电路与逻辑设计

第 7 章 半导体存储器

张江山
zhangjs@hust.edu.cn
信息工程系

7 半导体存储器



7.1 只读存储器

7.2 随机存取存储器

教学要求

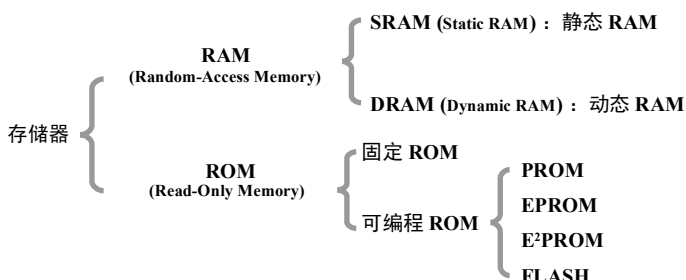
1. 掌握半导体存储器字、位、存储容量、地址、等基本概念
2. 理解半导体存储器芯片的关键引脚的意义，掌握典型应用
3. 掌握半导体存储器的扩展方法
4. 了解存储器的组成及工作原理



概述



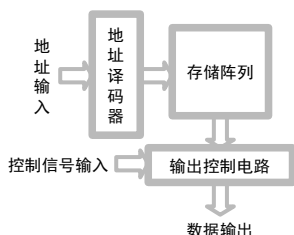
- 半导体存储器是数字系统不可缺少的组成部分
- 用来存放大量二值数据
- 属于大规模集成电路



7.1.1 ROM 的基本结构

存储器由存储阵列、地址译码器、输出控制电路三部分组成

- 存储阵列：多位存储单元排列成矩阵
- 字：按位组，每次可读出一组
- 字长：字的位数
- 地址：每个字的编号



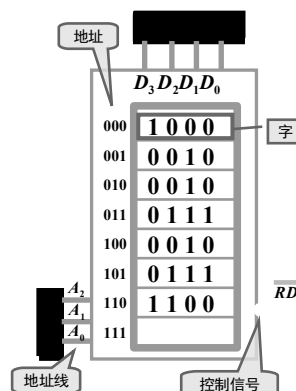
- 地址译码器：将输入的地址码译成相应的字单元控制信号，从存储矩阵中选出指定的存储单元组（字），将其数据送到输出控制电路
- 输出控制电路：通过三态缓冲器与数据总线连接，在控制信号作用下，将地址信号指定的存储单元组的数据输出



7.1.1 ROM 的基本结构

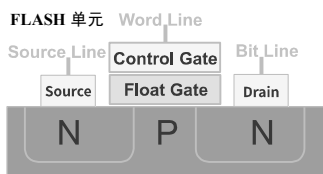
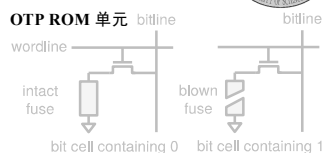
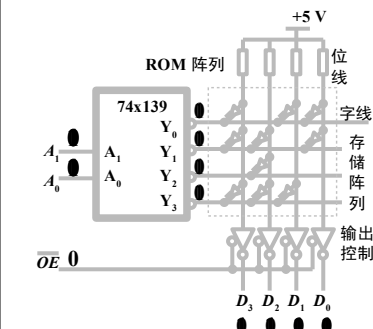
基本概念

- 字数：字的总量
- n 位地址，可寻址的字数为 2^n
- 存储容量 (M)：存储二值信息总量
 - ◆ $M = \text{字数} \times \text{位数}$
 - ◆ 如字长为 4，地址线的线数 $n = 3$ ，字数 $= 2^3 = 8$ 的存储器
 - ◆ $M = \text{字数} \times \text{位数} = 2^3 \times 4 = 32$



7.1.1 ROM 的基本结构

- 存储单元 (Cell)：字线与位线的交点
- 2 位地址，可寻址的 4 个字
- 若字长为 4，则容量为 16



浮栅管 (Float-gate)

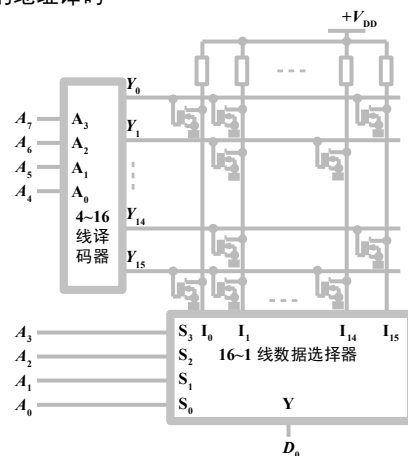
- 写：浮栅极充电， $I_{DS} = 0$ ，置 1
- 擦：浮栅极放电， $I_{DS} > 0$ ，置 0

7.1.2 二维译码与存储阵列

- 二维译码，如 $2^8 \times 1$ ROM 的地址译码

◆ 行译码器：4-16 译码器

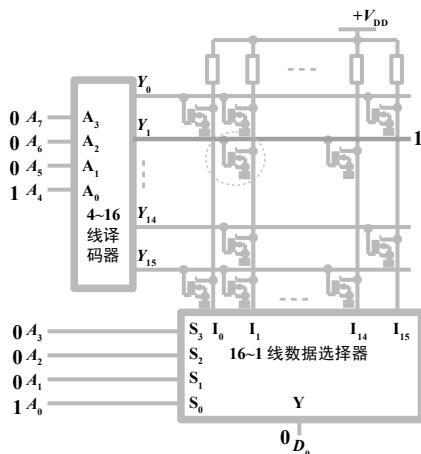
◆ 列译码器：16-1 选择器



7.1.2 二维译码与存储阵列

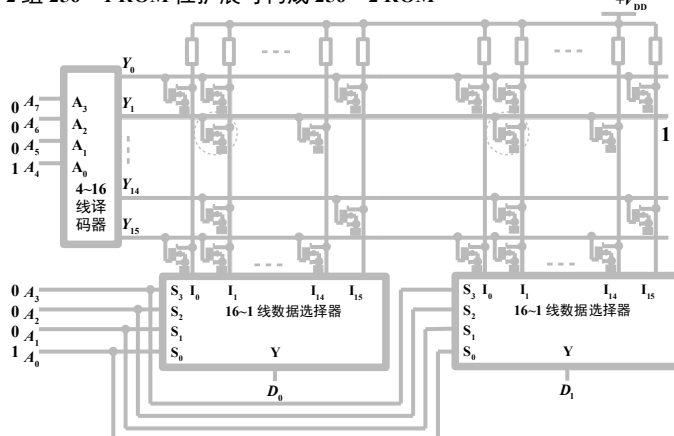
- 存储阵列的交点处有 MOS 管相当存储 0，无 MOS 管相当存储 1

如： $A_7A_6A_5A_4A_3A_2A_1A_0$
= 00010001



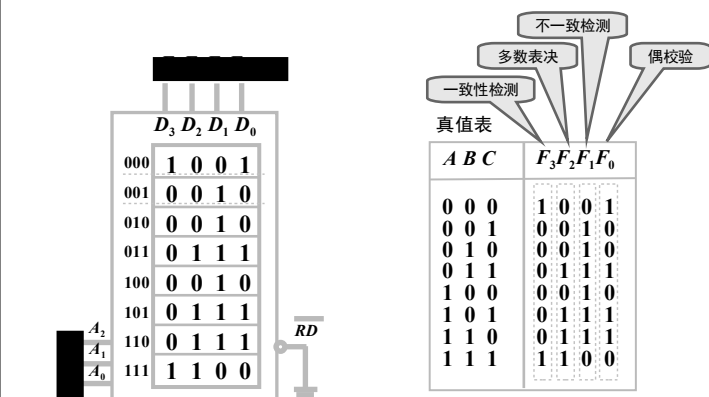
7.1.2 二维译码与存储阵列

2 组 256×1 ROM 位扩展可构成 256×2 ROM



7.1.5 ROM 应用举例

ROM 可实现组合逻辑电路功能



7.1.5 ROM 应用举例

例：用 ROM 实现二进制码与格雷码相互转换

采用 $2^5 \times 4 = 32 \times 4$ 的 ROM

5 根地址线，转换方向控制信号 C 由地址端最高位 A_4 输入

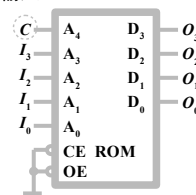
设： $C = 0$ ：二进制码 \rightarrow 格雷码转换

$C = 1$ ：格雷码 \rightarrow 二进制码转换

待转换码 $I_3I_2I_1I_0$ 由地址输入端 $A_3A_2A_1A_0$ 输入

输出码 $O_3O_2O_1O_0$ 由数据输出端 $D_3D_2D_1D_0$ 输出

使片选信号和使能信号保持有效



7.2 随机存取存储器 7.2.1 静态随机存取存储器

RAM 与 ROM 的最大区别是随机读写和掉电即失

RAM 又分为静态 SRAM 和动态 DRAM

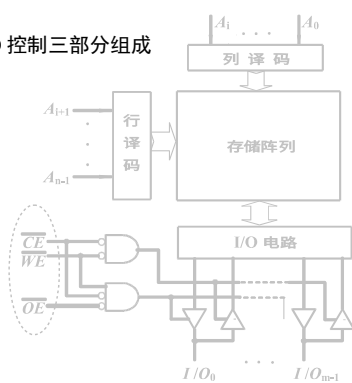
1. SRAM 基本结构和输入输出

SRAM 由存储阵列、地址译码、I/O 控制三部分组成

OE：读使能信号

CE：片选信号（多片选择其一）

WE：写使能信号

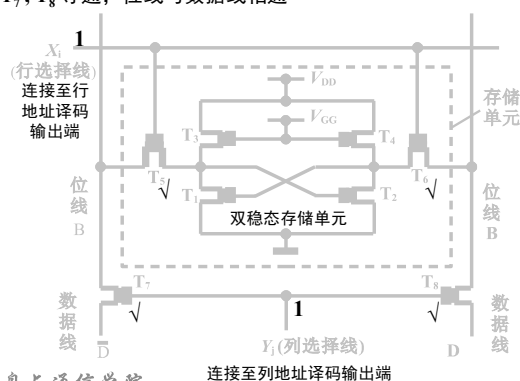


7.2.1 静态随机存取存储器

2. RAM 存储单元

$X_i = 1$ ： T_5, T_6 导通，存储单元与位线相通

$Y_j = 1$ ： T_7, T_8 导通，位线与数据线相通



7.2.2 同步静态随机存取存储器

●SSRAM 的读写操作是在时钟脉冲同步控制下进行的

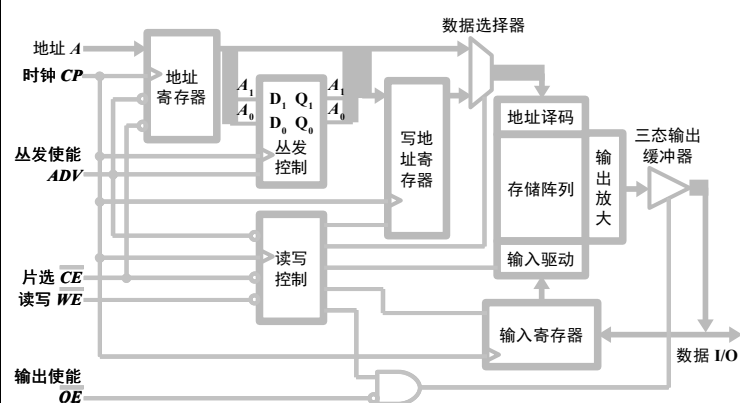
●SSRAM 增加了地址和输入寄存器、读写和丛发控制逻辑电路

●SSRAM 的丛发功能：

- ◆锁存首地址后，在同步时钟作用下，由内部计数器产生连续的偏移地址
- ◆在连续读写多字时，可减少外部地址总线占用时间，提高读写效率
- ◆比如：内部的 2 位二进制计数器可产生连续 4 个低 2 位的偏移地址

7.2.2 同步静态随机存取存储器

ADV 低电平时，使用一般模式读写，反之用丛发模式



7.2.3 动态随机存取存储器

1. DRAM 存储单元

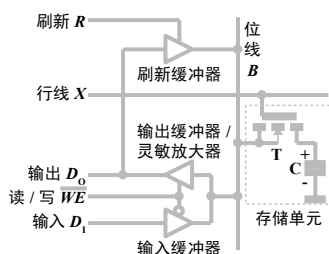
●静态随机存取存储器 SRAM 存储单元需 6 个 MOS 管，集成度受到限制

●动态随机存取存储器 DRAM 存储单元需 1 个 MOS 管和 1 个小容量电容

●DRAM 是利用电容电荷存储效应

- ◆电容充有电荷时，存储 1
- ◆反之存储数据 0

●电容上电荷易失，须定期刷新



7.2.3 动态随机存取存储器

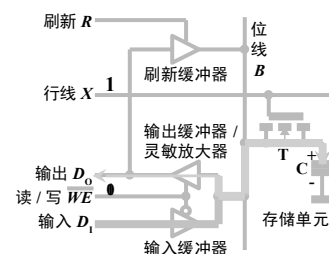
写操作 $WE = 0$

$X = 1, T$ 导通， C 与位线 B 连通，输入缓冲器选通， D_1 写入存储单元

读操作 $WE = 1$

$X = 1, T$ 导通， C 与位线 B 连通，输出缓冲器选通，数据从 D_0 输出

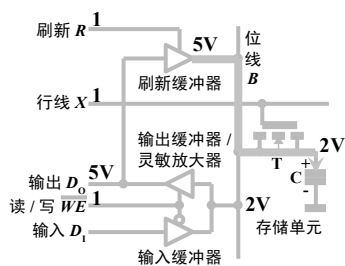
由于读操作会消耗 C 中电荷，每次读后需要刷新



7.2.3 动态随机存取存储器

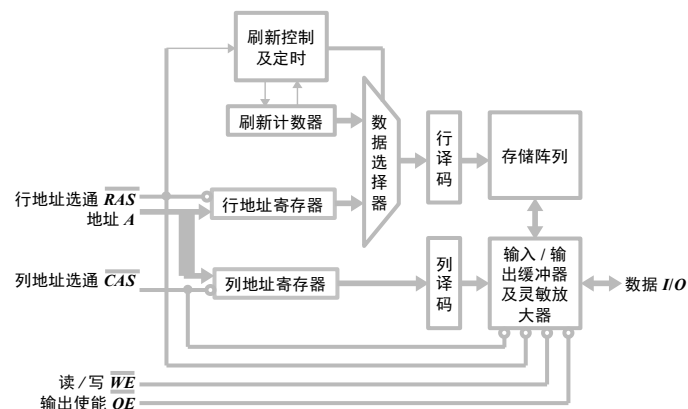
刷新操作可只选通行线实现

例如当 $X=1$, $WE=1$, $R=1$, 进行刷新, 这种刷新是整行刷新



7.2.3 动态随机存取存储器

DRAM 集成度高, 容量大, 为减少地址位, 用行、列地址分时共享



7.2.4 存储器容量扩展

● 系统内存一般是由多个 RAM 芯片扩展而成的

● 存储容量的扩展:

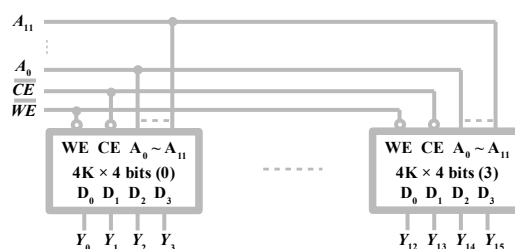
- ◆ 字长扩展 (位扩展), 通常 RAM 芯片字长为 1、4、8、16 和 32 位, 当设计的存储器位数超过 RAM 芯片字长时, 要进行位扩展
- ◆ 字数扩展, 当 RAM 芯片的存储容量达不到设计存储器容量要求时, 要用多个 RAM 芯片进行字数扩展

7.2.4 存储器容量扩展

1. 字长 (位数) 的扩展

字长扩展可采用并联的方式实现, 即将 RAM 芯片的地址线、读/写控制线和片选信号线对应的并联在一起, 而各个芯片的数据输入/输出端作为字的各位

例: 用 $4K \times 4$ 位的 4 片芯片组成 $4K \times 16$ 位的存储系统



7.2.4 存储器容量扩展

2. 字数扩展

字数扩展即存储单元的扩展, 利用外加译码器控制存储器芯片的片选使能输入端实现, 要使各芯片的存储单元地址连续

例: 用 $8K \times 8$ 位的芯片组成 $32K \times 8$ 位的存储系统

$8K \times 8$ 芯片: 存储单元 $8K = 8 \times 1024 = 2^3 \times 2^{10} = 2^{13}$, 13 根地址线 $A_0 \sim A_{12}$

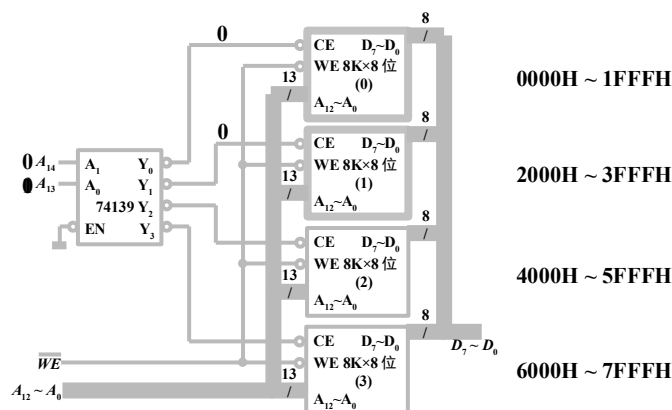
$32K \times 8$ 存储系统: 存储单元 $32K = 2^5 \times 2^{10} = 2^{15}$, 15 根地址线 $A_0 \sim A_{14}$

利用外加译码器对 A_{13}, A_{14} 译码, 即采用 2-4 线译码器, 译码器输出控制存储器芯片的片选使能输入端, 实现存储单元的扩展

芯片地址范围确定方法

片选信号确定后, 保持片选地址不变, 取芯片的地址最小和最大, 就确定了该芯片的地址范围

7.2.4 存储器容量扩展





康华光教材 7 版：

7.1.1 指出下列存储系统各具有多少个存储单元,至少需要几根地址线 and 数据线。

(1) $64\text{K} \times 1$ (2) $256\text{K} \times 4$ (3) $1\text{M} \times 1$ (4) $128\text{K} \times 8$

7.1.3 试确定用 ROM 实现下列逻辑函数时所需的容量:(1)实现两个 3 位二进制数相乘的乘法器;(2)将 8 位二进制数转换成十进制数(用 BCD 码表示)的转换电路。

7.2.5 试用具有片选使能 \overline{CE} 、输出使能 \overline{OE} 、读/写控制 \overline{WE} 、容量为 $8\text{K} \times 8$ 位的 SRAM 芯片,设计一个 $16\text{K} \times 16$ 位的存储器系统,试画出其逻辑图。