



数字电路与逻辑设计

第 8 章 CPLD 和 FPGA

张江山
zhangjs@hust.edu.cn
信息工程系

了解 CPLD 和 FPGA 的基本结构及实现逻辑功能的原理

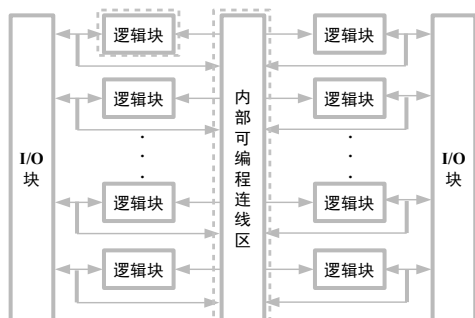


8.1 复杂可编程逻辑器件 (CPLD)



1. 可编程逻辑块

- CPLD 内含多个逻辑块, 各逻辑块相当于一个 GAL 器件
- 各块之间可用可编程内部连线 (或称可编程的开关矩阵) 实现互连



8.1 复杂可编程逻辑器件 (CPLD)

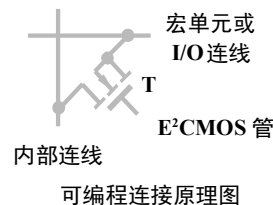


2. 可编程内部连线

可编程内部连线实现了逻辑块之间、逻辑块与 I/O 块之间以及全局信号到逻辑块和 I/O 块之间的连接

可编程连接可由 E²CMOS 管实现

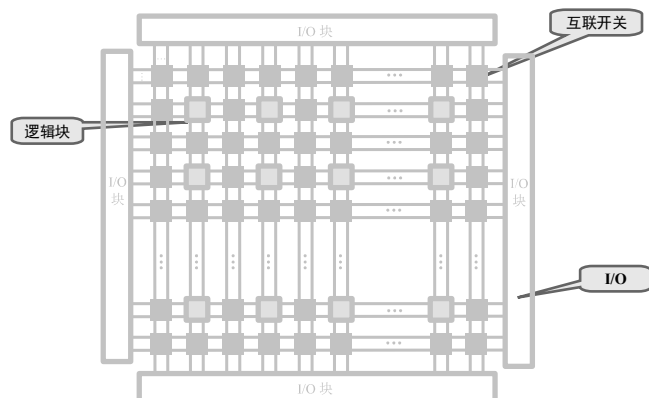
当 E²CMOS 管被编程为导通时, 纵线和横线连通



8.2 现场可编程门阵列 (FPGA)



FPGA 包括: 可编程逻辑块、可编程互联开关、可编程 I/O 模块

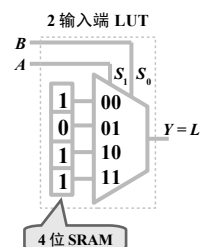


8.2.1 FPGA 中编程实现逻辑功能的基本原理



- 可编程逻辑块采用 LUT 和数据选择器实现组合逻辑功能
- 采用触发器实现时序逻辑功能
- 例如: 2 输入 LUT 可实现任意 2 变量组合逻辑函数

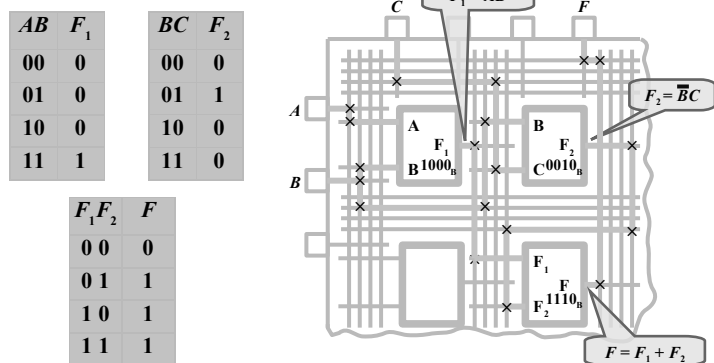
AB	L
00	1
01	0
10	1
11	1



8.2.1 FPGA 中编程实现逻辑功能的基本原理



例：用 2 输入 LUT 实现函数 $F = AB + BC = F_1 + F_2$



在 LUT 的基础上增加触发器便可实现时序电路

8.2.1 FPGA 中编程实现逻辑功能的基本原理



例：用可编程逻辑块实现 2 位二进制计数器

2 位二进制状态转换表

$Q_1^n Q_0^n$	$Q_1^{n+1}(D_1)$	$Q_0^{n+1}(D_0)$
0 0	0	1
0 1	1	0
1 0	1	1
1 1	0	0

$$D_1 = Q_1 Q_0 + Q_1 Q_0 = m_1 + m_2$$

$$D_0 = \bar{Q}_0 = m_0$$

