

第四章 组合逻辑电路（二）

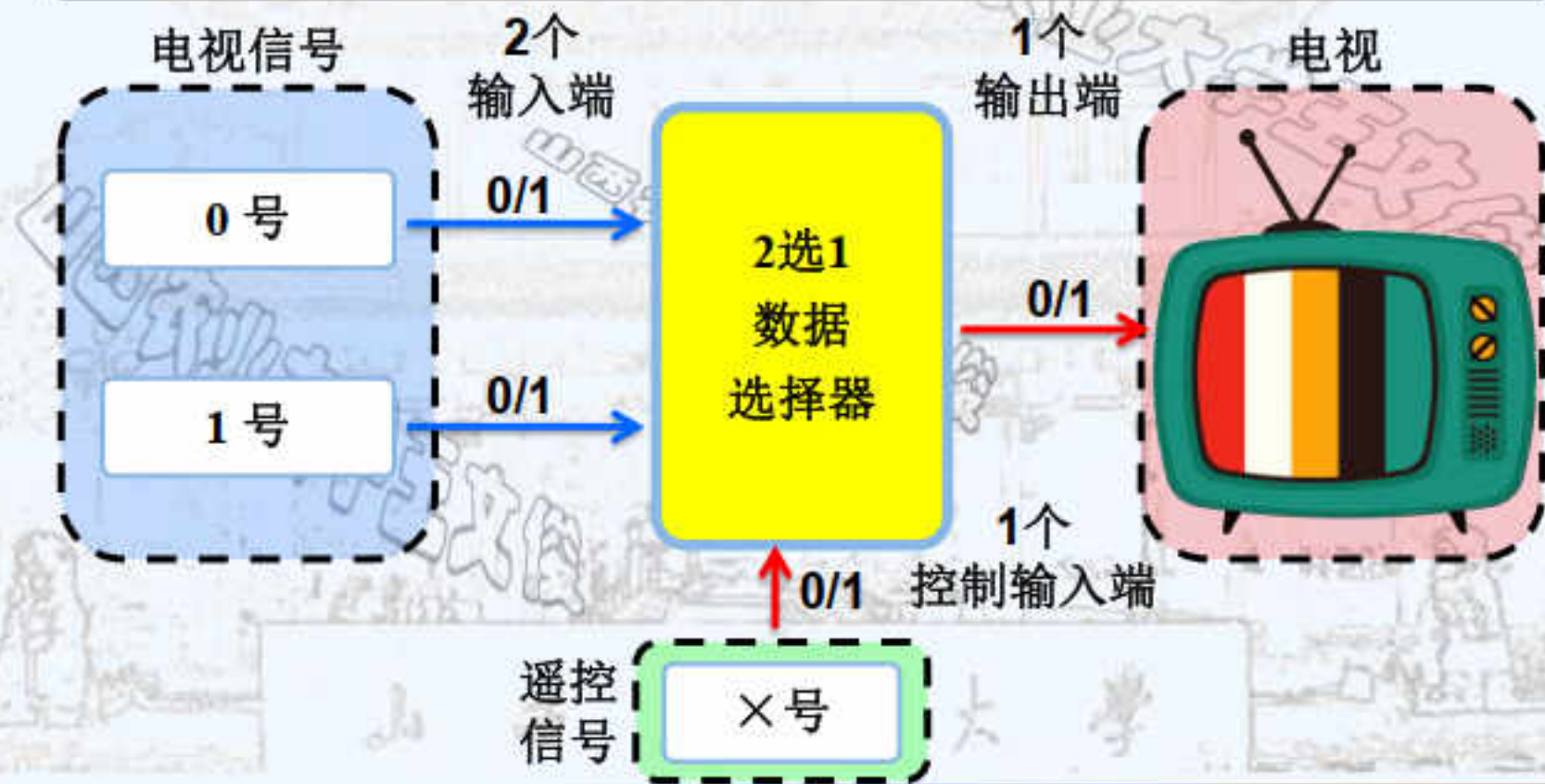
——王文俊

山西农业大学

十、数据选择器

• 1、引言

从一组数据中**选出某一个**，称为数据选择器或者多路开关。



• 2、二选一数据选择器的设计

定变量

- 输入变量: D_1 (1号)、 D_0 (0号)、 A (选择信号)
- 输出变量: Y

明含义

- 输入变量: 原码输入
- 输出变量: 原码输出

列表格

A	D_1	D_0	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

$A = 0$
选择 D_0

$A = 1$
选择 D_1

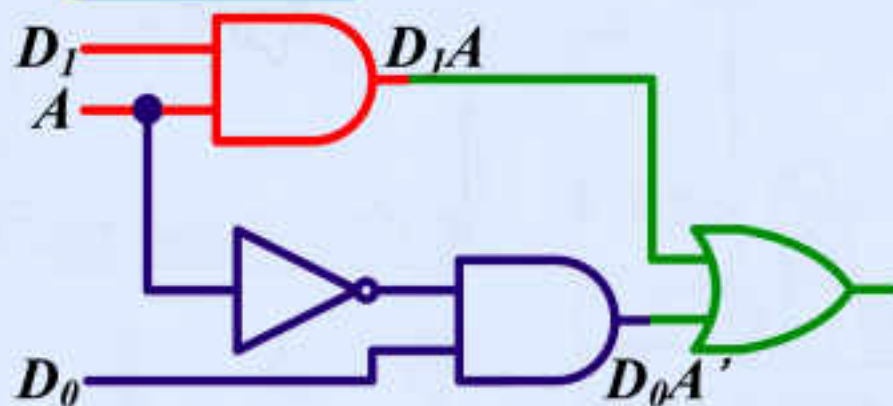
写函数

$$Y = \overline{D_0}A' + D_1A$$

地址0
选择 D_0

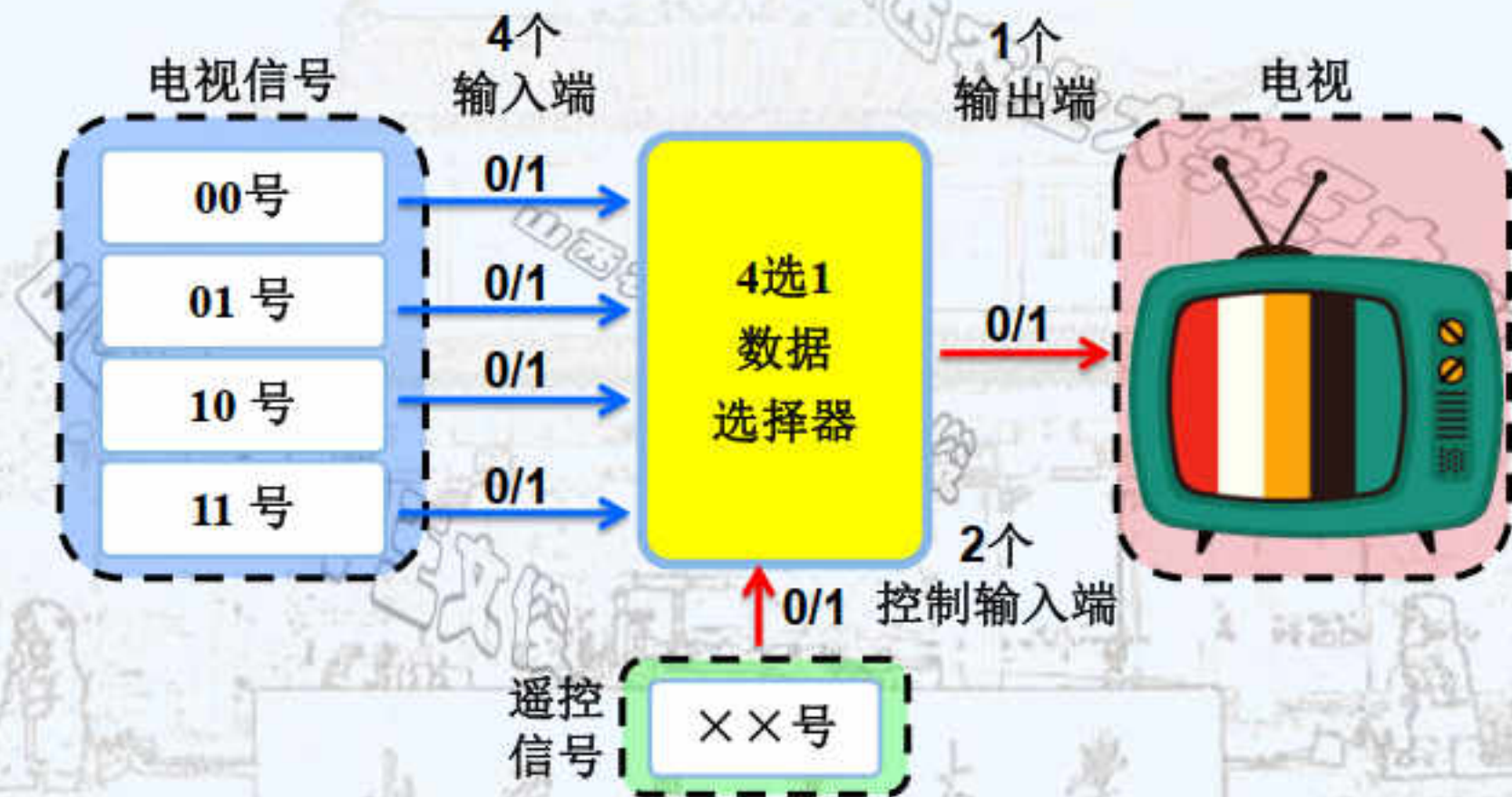
地址1
选择 D_1

画电路



3、四选一数据选择器的设计

从四组数据中**选出某一个**，称为四选一数据选择器。



定变量

- 输入变量: D_0 (00号)、 D_1 (01号)、 D_2 (10号)、 D_3 (11号)
- 选择信号: A_1 、 A_0
- 输出变量: Y

明含义

- 输入变量: 原码输入
- 输出变量: 原码输出

列表格

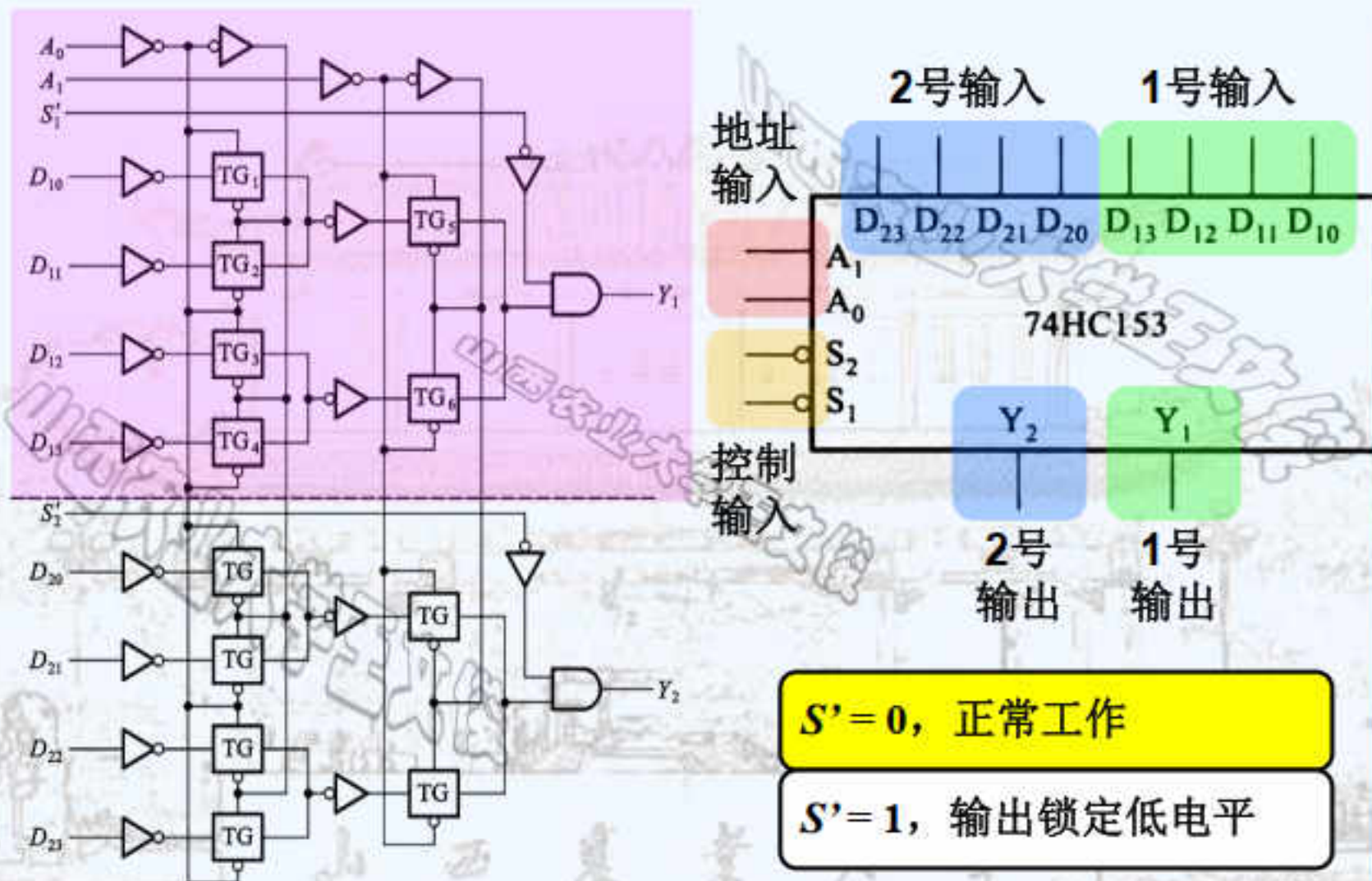
输入		输出
A_1	A_0	Y
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

$D_0(A_1'A_0')$
$D_1(A_1'A_0)$
$D_2(A_1A_0')$
$D_3(A_1A_0)$

写函数

$$Y = \underbrace{D_0(A_1'A_0')}_{\substack{\text{地址00} \\ \text{选择}D_0}} + \underbrace{D_1(A_1'A_0)}_{\substack{\text{地址01} \\ \text{选择}D_1}} + \underbrace{D_2(A_1A_0')}_{\substack{\text{地址10} \\ \text{选择}D_2}} + \underbrace{D_3(A_1A_0)}_{\substack{\text{地址11} \\ \text{选择}D_3}}$$

4、双四选一数据选择器74HC153



• 5、数据选择器的逻辑函数

二选一

$$Y = D_0 A' + D_1 A$$

四选一

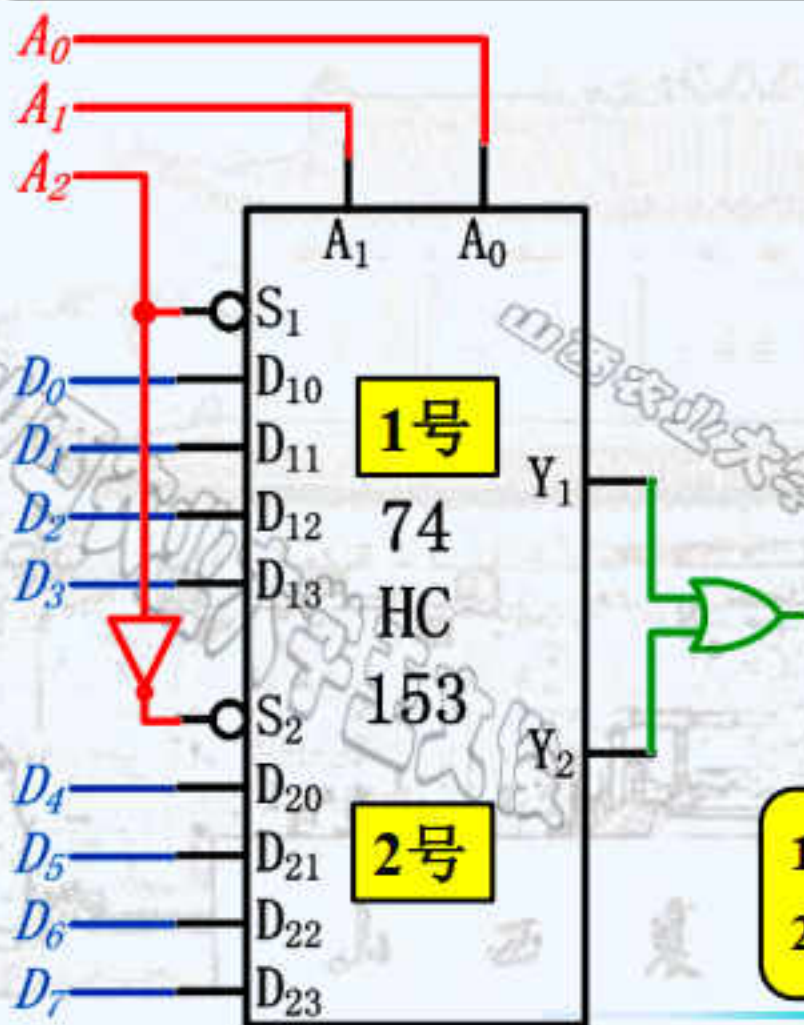
$$Y = S(D_0(A_1' A_0') + D_1(A_1' A_0) + D_2(A_1 A_0') + D_3(A_1 A_0))$$

八选一

$$Y = \underbrace{D_0(A_2' A_1' A_0')}_{\substack{\text{地址000} \\ \text{选择} D_0}} + \underbrace{D_1(A_2' A_1' A_0)}_{\substack{\text{地址001} \\ \text{选择} D_1}} + \underbrace{D_2(A_2' A_1 A_0')}_{\substack{\text{地址010} \\ \text{选择} D_2}} + \underbrace{D_3(A_2' A_1 A_0)}_{\substack{\text{地址011} \\ \text{选择} D_3}} \\ + \underbrace{D_4(A_2 A_1' A_0')}_{\substack{\text{地址100} \\ \text{选择} D_4}} + \underbrace{D_5(A_2 A_1' A_0)}_{\substack{\text{地址101} \\ \text{选择} D_5}} + \underbrace{D_6(A_2 A_1 A_0')}_{\substack{\text{地址110} \\ \text{选择} D_6}} + \underbrace{D_7(A_2 A_1 A_0)}_{\substack{\text{地址111} \\ \text{选择} D_7}}$$

例8：用双四选一74HC153接成八选一数据选择器

8个输入 $D_0 \sim D_7$ ，3个地址输入 $A_2 A_1 A_0$ ，8选1输出



$A_2 = 0$ ，从 $D_3 \sim D_0$ 中选择

1号工作， $S_1' = 0$ ， $Y = Y_1$
2号截止， $S_2' = 1$ ， $Y_2 = 0$

$A_2 = 1$ ，从 $D_7 \sim D_4$ 中选择

1号截止， $S_1' = 1$ ， $Y_1 = 0$
2号工作， $S_2' = 0$ ， $Y = Y_2$

1号： $S_1' = A_2$

2号： $S_2' = (A_2)'$

$$Y = Y_1 + Y_2$$

• 6、数据选择器设计组合逻辑电路

逻辑抽象

- 定变量、明含义、列表格

逻辑函数式

- 写函数

选器件

- 数据选择器地址输入端个数 $M \geq$ 逻辑函数变量个数 $n - 1$

函数的化简或变换

- 逻辑函数变换为**最小项之和**的形式
- 与数据选择器输出的逻辑函数对比，确定**地址**和**数据**变量

逻辑电路图

- 画电路

必须**同时存在**
不能单独出现

可原可反
可 0 可 1

- 例9：用4选1数据选择器74HC153实现交通信号灯监视



$$Z = R' A' G' + R' A G + R A' G + R A G' + R A G$$

$$Z = R' A' G' + \textcolor{red}{R' A G} + R A' G + R A G' + \textcolor{red}{R A G}$$

$$Z = R' A' G' + R A' G + R A G' + A G \quad \textcolor{red}{AG} \text{ 同时出现, 地址输入}$$

$$Z = R' (A' G') + R (A' G) + R (A G') + 1 (A G)$$

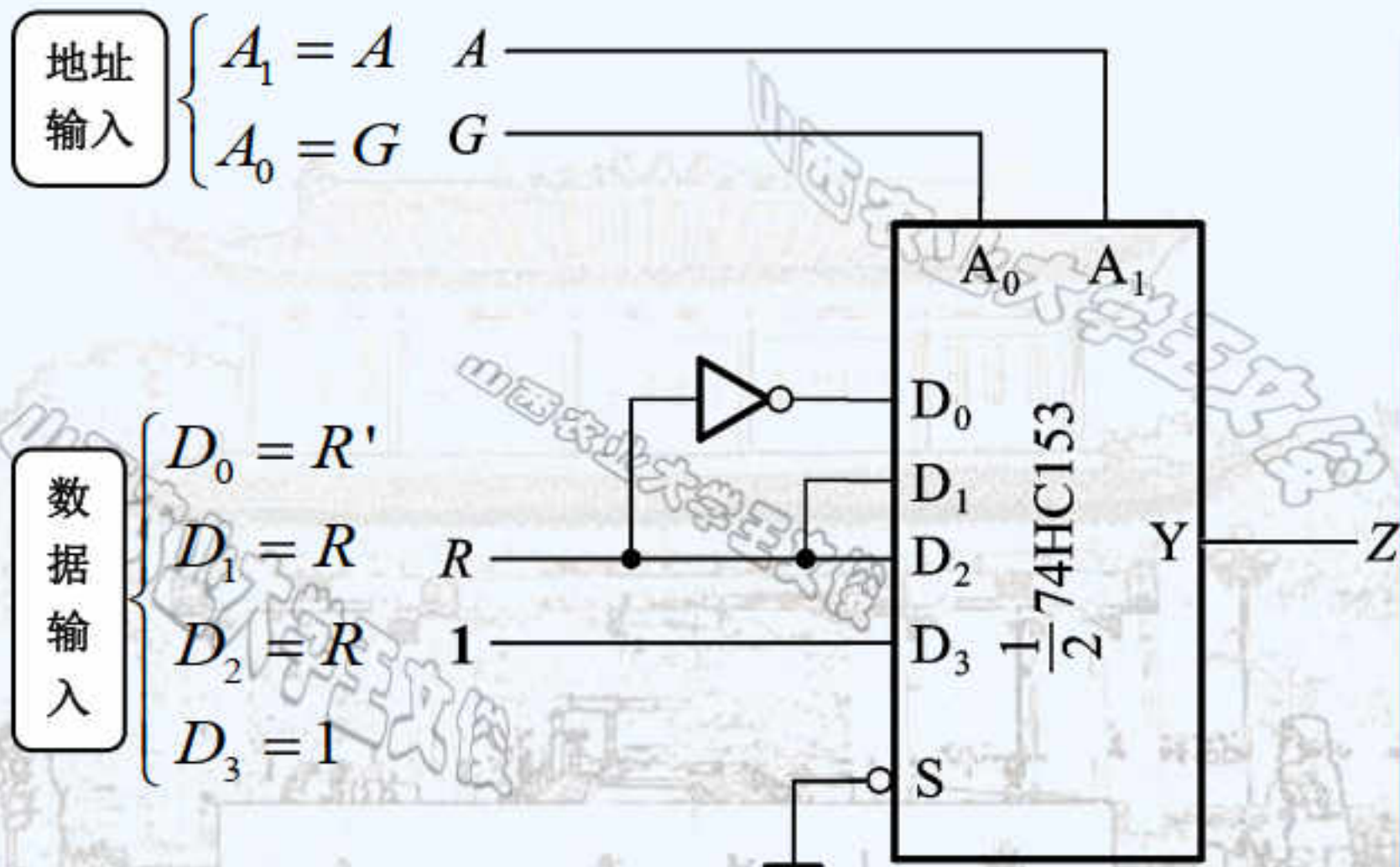
$$Y = D_0 (A_1' A_0') + D_1 (A_1' A_0) + D_2 (A_1 A_0') + D_3 (A_1 A_0)$$

地址
输入

$$\begin{cases} A_1 = A \\ A_0 = G \end{cases}$$

数
据
输
入

$$\begin{cases} D_0 = R' \\ D_1 = R \\ D_2 = R \\ D_3 = 1 \end{cases}$$





$$Z = R' A' G' + R' A G + R A' G + R A G' + R A G$$

$$Z = R' A' G' + R' A G + R A' G + R A G' + R A G$$

$$Z = R' A' G' + R' A G + R A' G + R A$$

RA 同时出现, 地址输入

$$Z = G'(R' A') + G(R' A) + G(R A') + 1(R A)$$

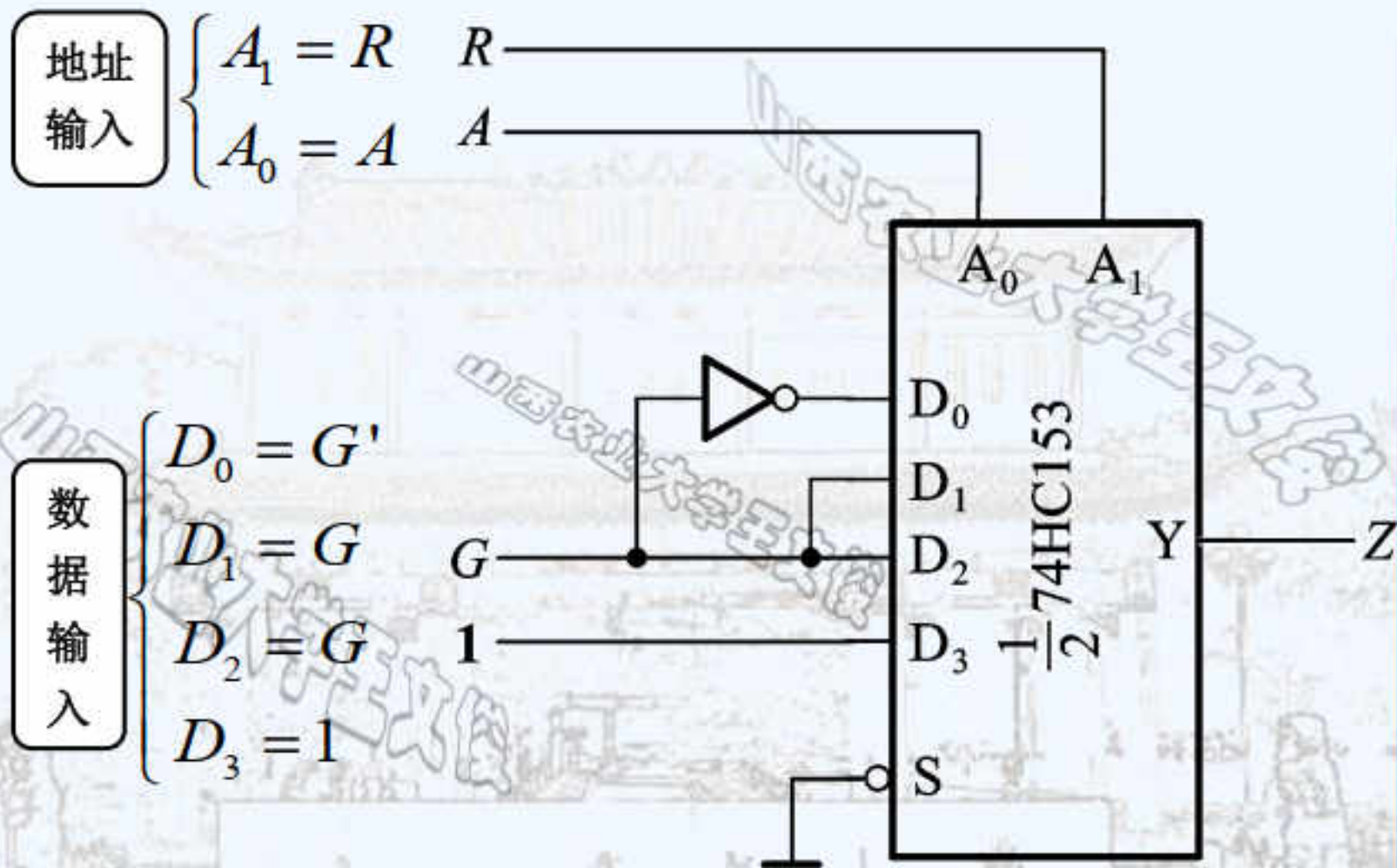
$$Y = D_0(A_1 A_0) + D_1(A_1 A_0) + D_2(A_1 A_0) + D_3(A_1 A_0)$$

地址
输入

$$\begin{cases} A_1 = R \\ A_0 = A \end{cases}$$

数
据
输
入

$$\begin{cases} D_0 = G' \\ D_1 = G \\ D_2 = G \\ D_3 = 1 \end{cases}$$



- 例10：设计一个三人表决电路。
 - 一般问题，多数同意为通过；重要问题，全部同意才能通过

定变量

- 输入变量： P (1号)、 Q (2号)、 R (3号)、 T (问题类型)
- 输出变量： Z (表决结果)

明含义

- 输入变量：1为同意，0为不同意；
- 问题类型：1为重要问题，0为一般问题
- 输出变量：1为通过，0为不通过

列表格

T	P	Q	R	Z
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1

T	P	Q	R	Z
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

写函数

$$Z = P'QRT' + PQ'RT' + PQR'T' + PQR'T + PQR$$

四变量输入，选择3位地址输入的8选1数据选择器

做化简

$$Z = P'QRT' + PQ'RT' + PQR'T' + PQRT' + PQRT$$

由于 $PQRT$ 均同时出现，因此可以任取三个作为地址输入端。
例如：选 QRT 为地址输入变量， P 为数据输入变量。

$$Z = P'QRT' + PQ'RT' + PQR'T' + PQRT' + PQRT$$

$$Z = (QRT') + P(Q'RT') + P(QR'T') + P(QRT)$$

$$Z = 0(Q'R'T') + 0(Q'R'T) + P(Q'RT') + 0(Q'RT) \\ + P(QR'T') + 0(QR'T) + 1(QRT) + P(QRT)$$

做化简

$$Z = 0(Q'R'T') + 0(Q'R'T) + P(Q'RT') + 0(Q'RT) \\ + P(QR'T') + 0(QR'T) + 1(QRT') + P(QRT)$$

$$Y = D_0(A_2'A_1'A_0) + D_1(A_2'A_1A_0) + D_2(A_2A_1'A_0) + D_3(A_2A_1A_0) \\ + D_4(A_2A_1'A_0) + D_5(A_2'A_1A_0) + D_6(A_2A_1A_0) + D_7(A_2'A_1'A_0)$$

地址 输入	{	$A_2 = Q$ $A_1 = R$ $A_0 = T$		数据 输入	{	$D_0 = 0$ $D_1 = 0$ $D_2 = P$ $D_3 = 0$	{	$D_4 = P$ $D_5 = 0$ $D_6 = 1$ $D_7 = P$
----------	---	-------------------------------------	--	----------	---	--	---	--

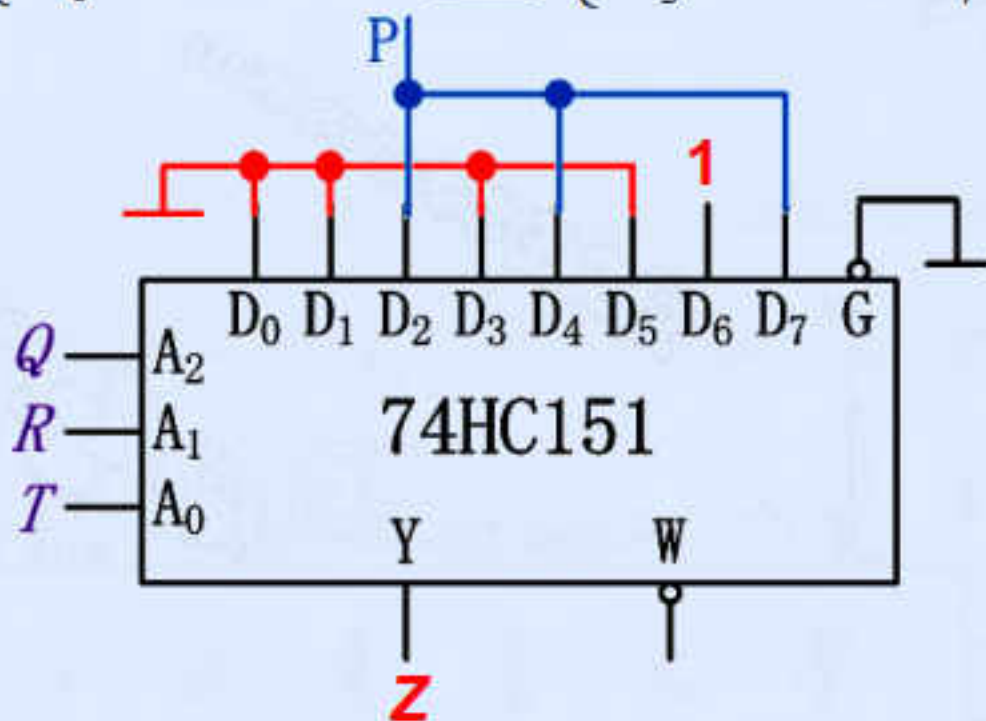
画电路

地址输入

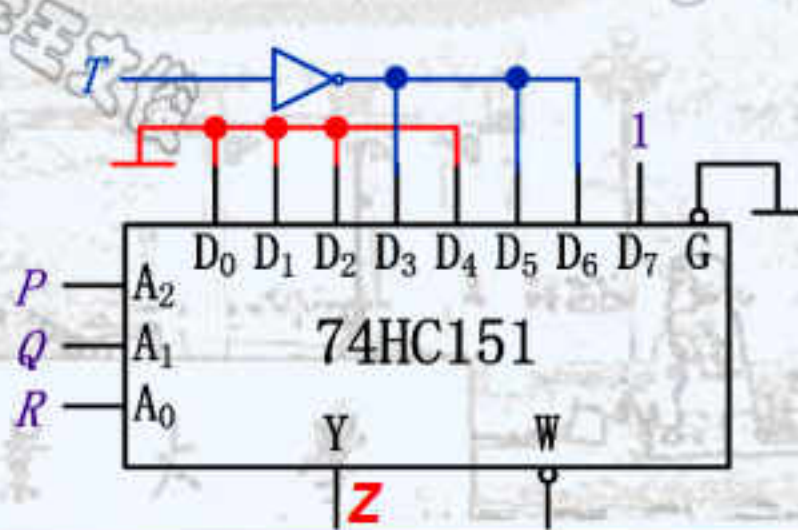
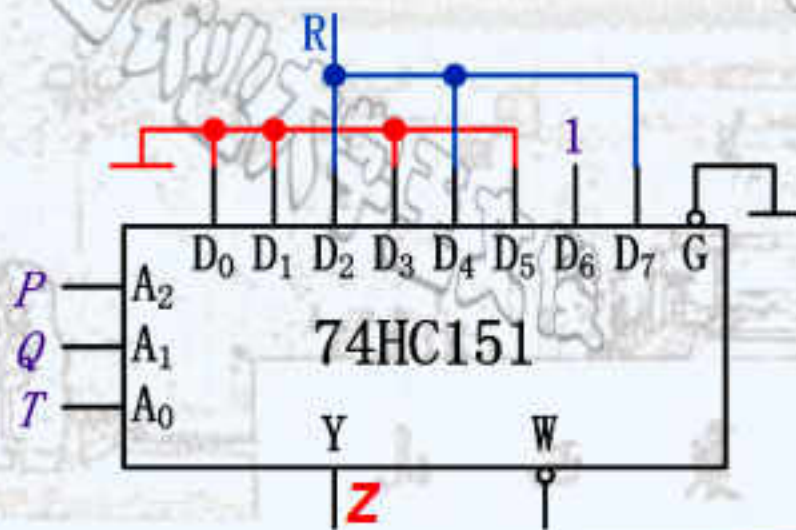
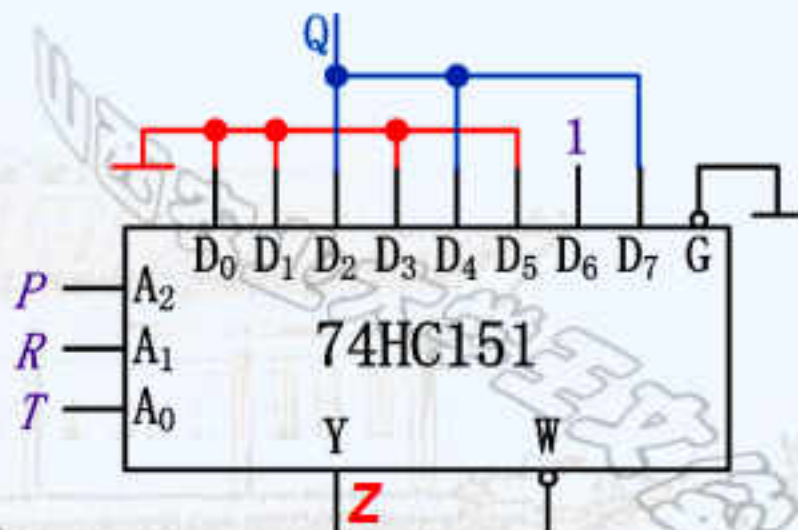
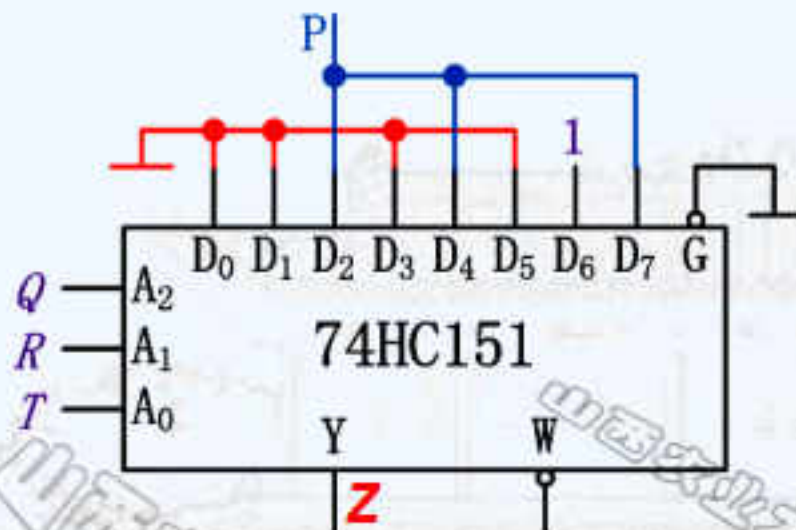
$$\begin{cases} A_2 = Q \\ A_1 = R \\ A_0 = T \end{cases}$$

数据输入

$$\begin{cases} D_0 = 0 & D_4 = P \\ D_1 = 0 & D_5 = 0 \\ D_2 = P & D_6 = 1 \\ D_3 = 0 & D_7 = P \end{cases}$$



不同地址输入变量的选取，最终绘制的逻辑电路图也不同。



十一、加法器

• 1、加法的类型

两个二进制数之间的算术运算都是化做若干步**加法**运算进行的。
实现加法运算的**加法器**是构成算术运算器的基本单元。

半加

- **不考虑**来自低位的**进位**，将两个**1**位二进制数相加
- 实现半加运算的电路称为**半加器**。

加数A	1
加数B	1
进位CI	1
结果	1 0

全加

- 将两个对应的加数和来自低位的进位，**3**个数相加
- 实现全加运算的电路称为**全加器**。

加数A	1
加数B	1
进位CI	1
结果	1 1



• 2、一位半加器的设计

定变量

- 输入变量: A (加数1)、 B (加数2)
- 输出变量: S (相加的和)、 CO (向高位的进位)

明含义

- 输入变量: 原码输入
- 输出变量: 原码输出

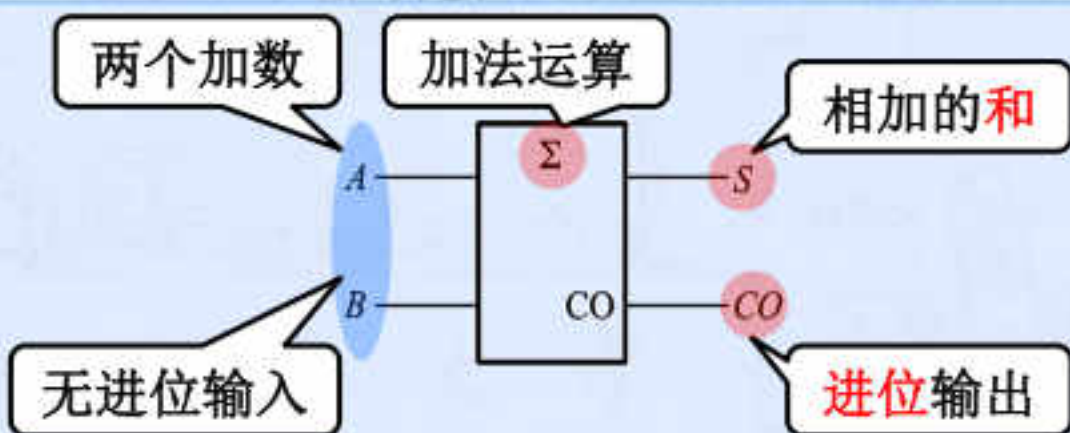
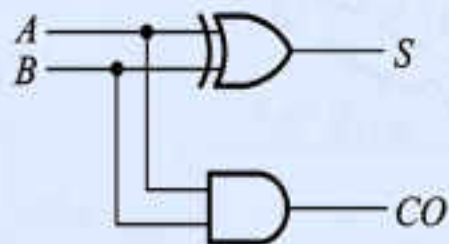
列表格

输入		输出	
A	B	S	CO
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

写函数

$$\begin{cases} S = AB' + A'B = A \oplus B \\ CO = AB \end{cases}$$

画电路



• 2、一位全加器的设计

定变量

- 输入变量: A (加数1)、 B (加数2)、 CI (来自低位的进位)
- 输出变量: S (相加的和)、 CO (向高位的进位)

明含义

- 输入变量: 原码输入
- 输出变量: 原码输出

列表格

输 入			输 出	
<i>A</i>	<i>B</i>	<i>CI</i>	<i>S</i>	<i>CO</i>
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

写函数

$$\Rightarrow A'B'CI$$

$$\Rightarrow A'BCI'$$

$$\Rightarrow A'BCI$$

$$\Rightarrow AB'CI'$$

$$\Rightarrow AB'CI$$

$$\Rightarrow ABCI'$$

$$\Rightarrow ABCI \quad \Rightarrow ABCI$$

$$S = A'B'CI + A'BCI' + AB'CI' + ABCI$$

$$CO = A'BCI + AB'CI + ABCI' + ABCI$$

做化简

与或非形式

$$S = \bar{A}\bar{B}CI + \bar{A}BC\bar{I} + A\bar{B}\bar{C}I + ABCI$$

$\begin{matrix} AB \\ CI \end{matrix}$	00	01	11	10
0	0	1	0	1
1	1	0	1	0

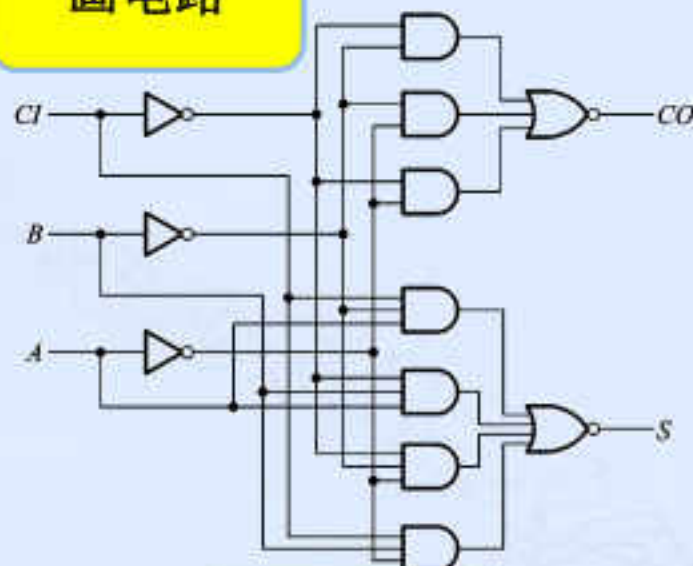
$$S = (\bar{A}\bar{B}CI + \bar{A}BC\bar{I} + A\bar{B}\bar{C}I + ABC\bar{I})'$$

$$CO = \bar{A}BCI + A\bar{B}CI + ABC\bar{I} + ABCI$$

$\begin{matrix} AB \\ CI \end{matrix}$	00	01	11	10
0	0	0	1	0
1	0	1	1	1

$$CO = (\bar{A}\bar{B} + BCI + A\bar{C}I)'$$

画电路



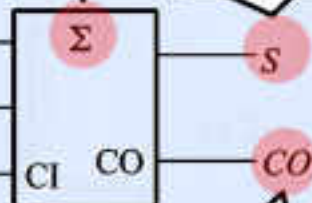
加法运算

两个加数

相加的和

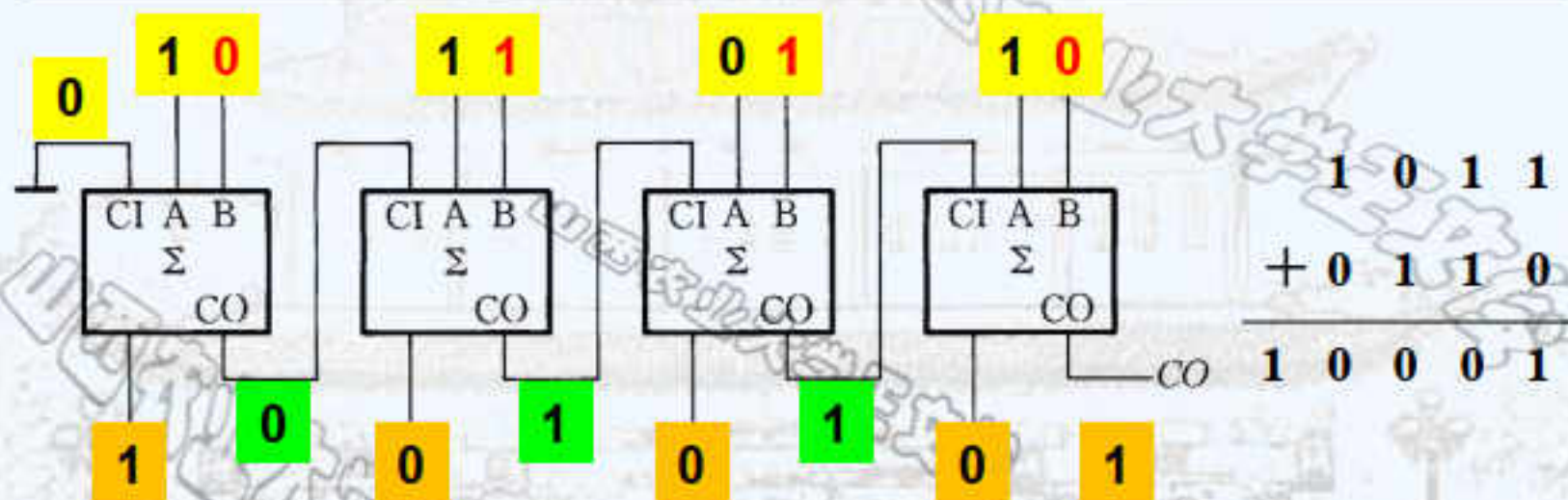
进位输入

进位输出



• 3、多位串行加法器

依次将低位全加器的进位输出端 CO 接到高位全加器的进位输入端 CI ，就可以构成多位串行加法器。



缺点

- 低位运算结束产生进位后，高位才能开始全加运算
- 运算速度慢

优点

- 电路结构简单
- 用于对运算速度要求不高的设备中

• 4、超前进位加法器（快速进位加法器）

为提高运算速度，必须减少由于进位信号逐级传递所耗费的时间。

加数 A 、 B 确定

加到第 i 位的进位输入信号 $(CI)_i$ ，一定能由 $A_{i-1}A_{i-2}\dots A_0$ 和 $B_{i-1}B_{i-2}\dots B_0$ 唯一确定

通过逻辑电路事先得得到每一位的进位输入信号，而无需从最低位开始向高位逐位传递进位信号。

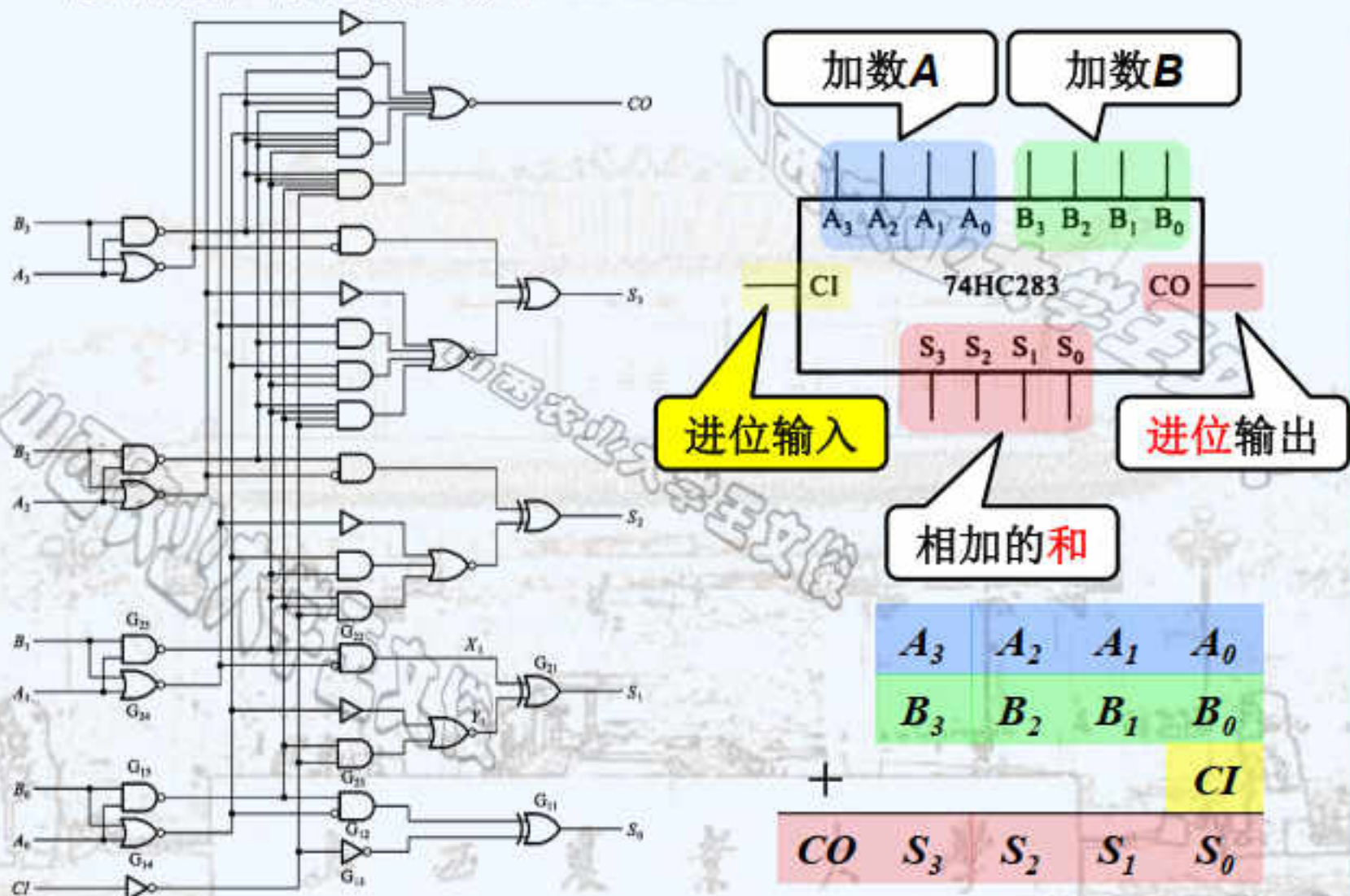
优点

- 运算速度快
- 全加器每一位的进位输入基本同时产生

缺点

- 电路结构复杂
- 当加法器位数增加时，电路复杂程度随之急剧上升

超前进位加法器实例74HC283



• 5、加法器设计组合逻辑电路

逻辑抽象

- 定变量、明含义、列表格

逻辑函数式

- 写函数

选器件

- 若逻辑函数可化为两部分数值相加的形式，则可选加法器

函数的化简或变换

- 逻辑函数变换为两部分数值相加的形式
- 将这两部分数值作为加法器的两个输入

逻辑电路图

- 画电路



- 例11：用双全加器74LS283将BCD的8421码转换为余3码

定变量

- 输入变量： $A_3A_2A_1A_0$ (BCD码)
- 输出变量： $Y_3Y_2Y_1Y_0$ (余3码)

明含义

- 输入变量：原码输入
- 输出变量：原码输出

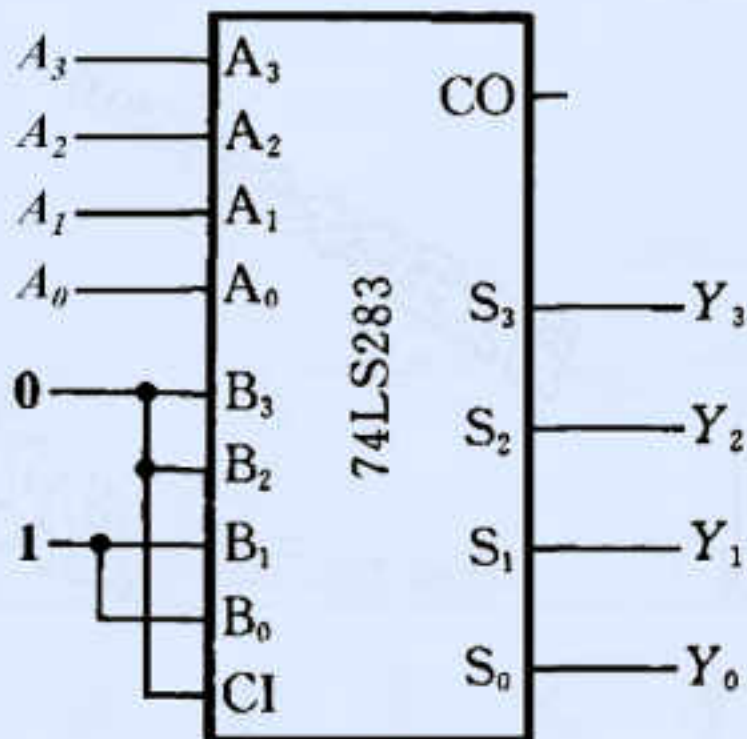
写函数

$$Y_3Y_2Y_1Y_0 = A_3A_2A_1A_0 + 0011$$

选器件

- 4位全加器

画电路



- 例12：设计一个3位二进制数的3倍乘法电路

定变量

- 输入变量： $D(d_2 d_1 d_0)$ (3位二进制数)
- 输出变量： $Y(y_4 y_3 y_2 y_1 y_0)$

3位输入，最大为111



$\times 3$

10101，输出为：5位

明含义

- 输入变量：原码输入
- 输出变量：原码输出

写函数

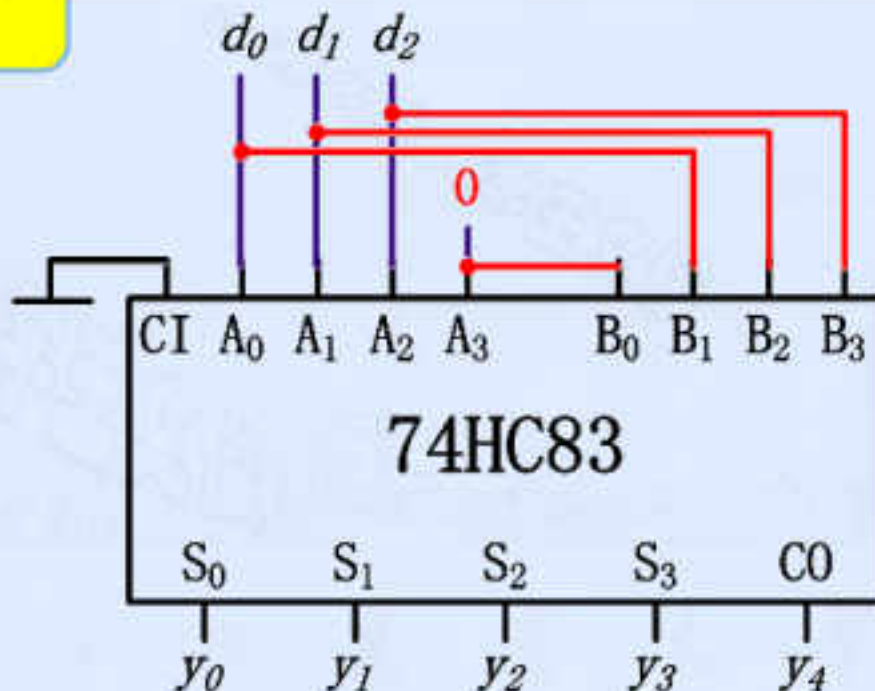
$$Y = D \times 3 = D \times 2 + D$$

$$(y_4 y_3 y_2 y_1 y_0) = (d_2 d_1 d_0 \mathbf{0}) + (\mathbf{0} d_2 d_1 d_0)$$

选器件

- 4位全加器
- 74HC83

画电路



十二、数值比较器

• 1、一位数值比较器的设计

定变量

- 输入变量: A 、 B
- 输出变量: $Y_{(A>B)}$ 、 $Y_{(A=B)}$ 、 $Y_{(A<B)}$

明含义

- 输入变量: 原码输入
- 输出变量: 真为1, 假为0

列表格

A	B	$Y_{(A>B)}$	$Y_{(A=B)}$	$Y_{(A<B)}$
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

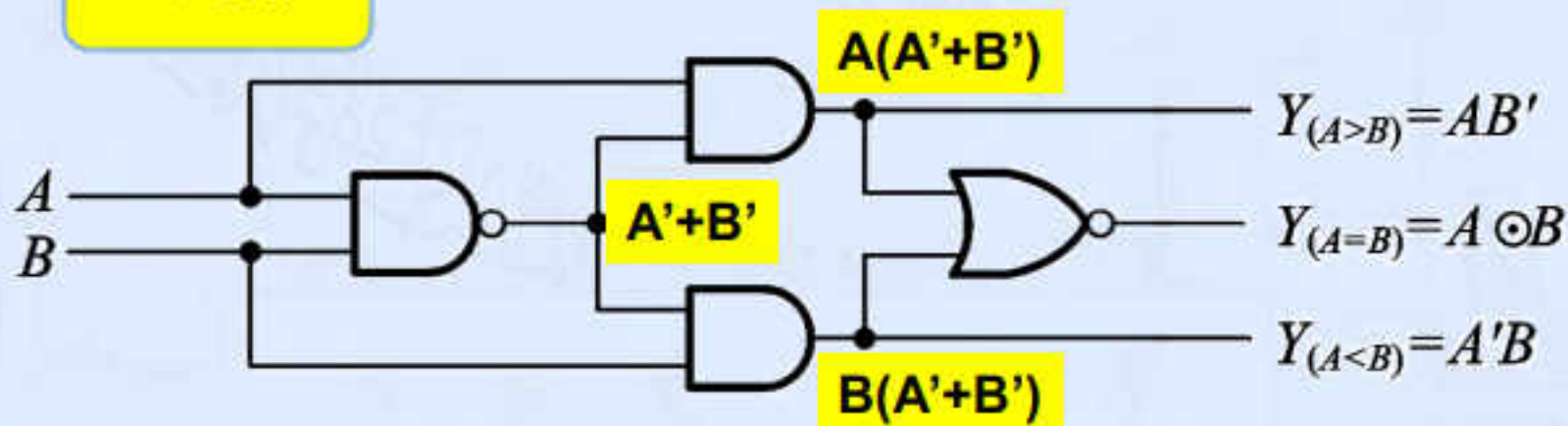
写函数

$$Y_{(A>B)} = AB'$$

$$Y_{(A=B)} = A'B' + AB$$

$$Y_{(A<B)} = A'B$$

画电路



• 2、多位数值比较器

多位数值比较原理：从高位比起，只有高位相等，才比较下一位。

• 例13：比较 $A_3A_2A_1A_0$ 和 $B_3B_2B_1B_0$ 的大小

$$Y_{(A<B)} = A_3'B_3 + (A_3 \odot B_3)A_2'B_2 + (A_3 \odot B_3)(A_2 \odot B_2)A_1'B_1$$

$$A_3 < B_3$$

$$A_3 = B_3, A_2 < B_2$$

$$A_3 = B_3, A_2 = B_2, A_1 < B_1$$

$$+ (A_3 \odot B_3)(A_2 \odot B_2)(A_1 \odot B_1)A_0'B_0$$

$$A_3 = B_3, A_2 = B_2, A_1 = B_1, A_0 < B_0$$

$$Y_{(A=B)} = (A_3 \odot B_3)(A_2 \odot B_2)(A_1 \odot B_1)(A_0 \odot B_0)$$

$$A_3 = B_3$$

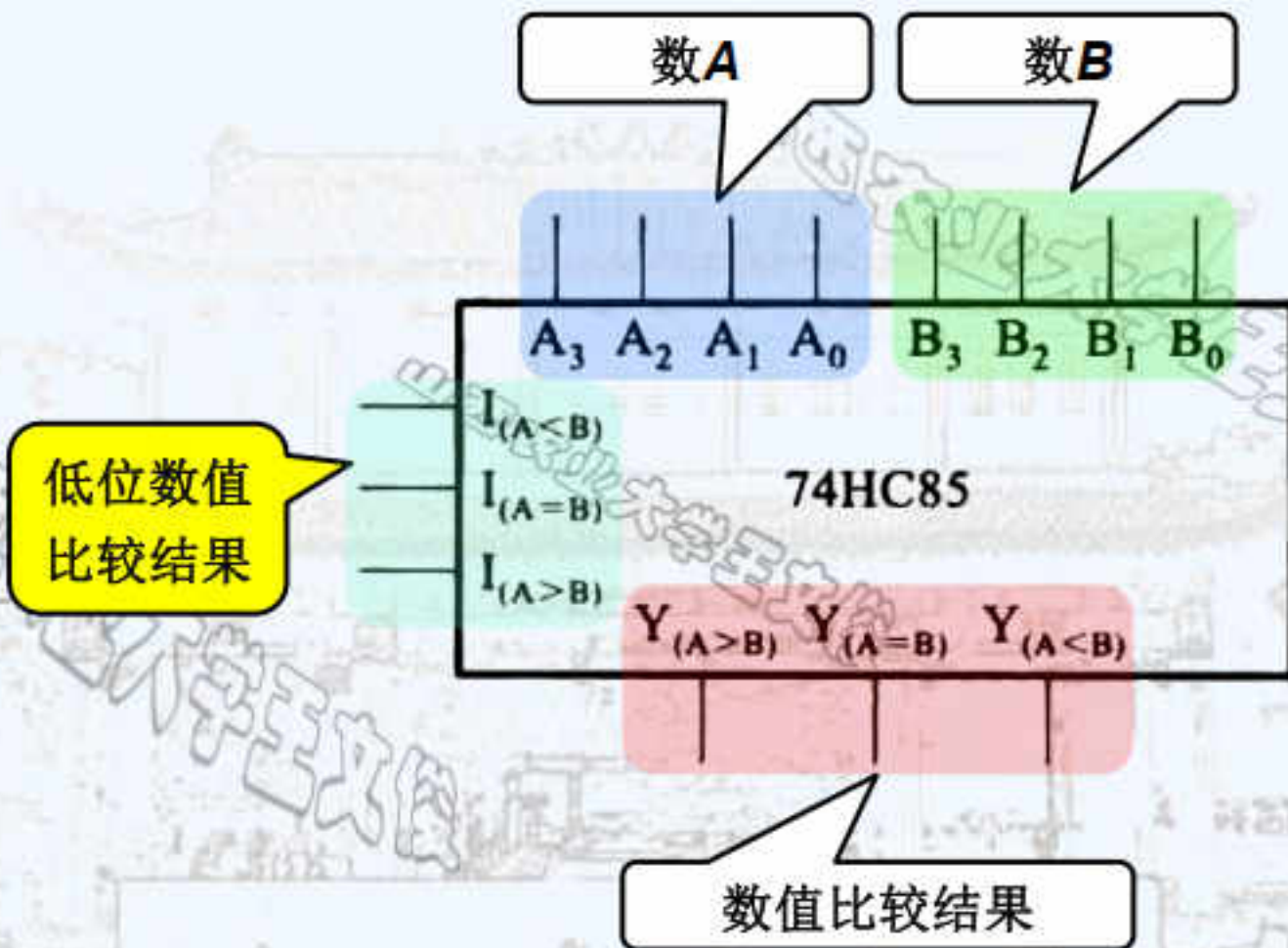
$$A_2 = B_2$$

$$A_1 = B_1$$

$$A_0 = B_0$$

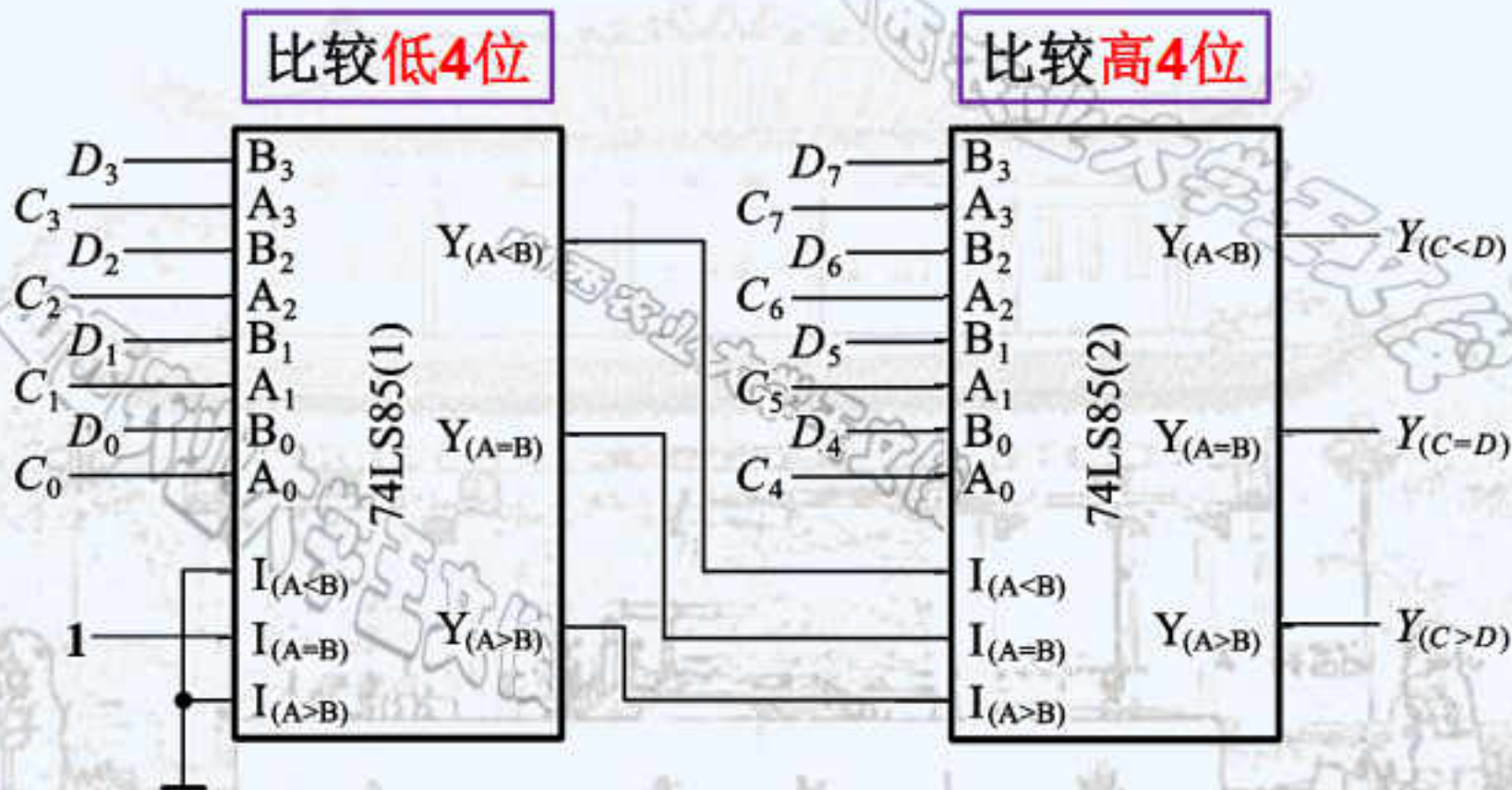
$$Y_{(A>B)} = (Y_{(A<B)} + Y_{(A=B)})'$$

- 4位数值比较器74HC85



例14：用两片74HC85组成一个8位数值比较器

比较8位二进制数 $C_7C_6C_5C_4C_3C_2C_1C_0$ 和 $D_7D_6D_5D_4D_3D_2D_1D_0$ 的大小



十三、中规模集成电路组合逻辑电路分析

• 1、分析思路

写函数

- 写出固有器件的输入与输出之间关系的逻辑函数式

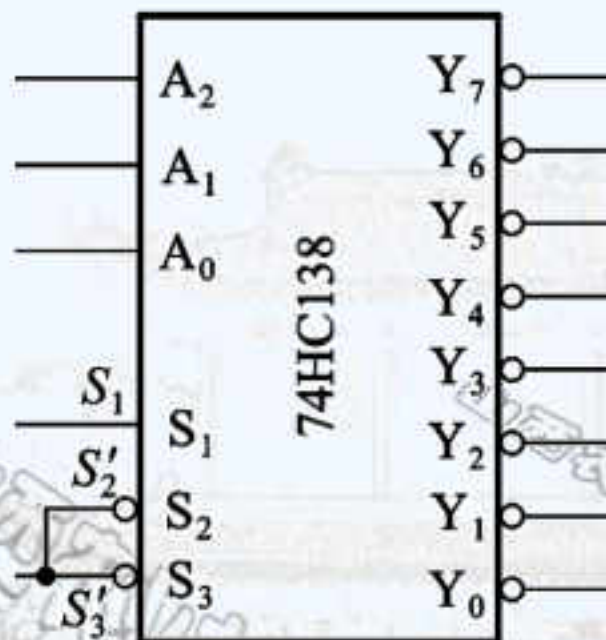
换变量

- 用加到输入与输出端的变量名称代替逻辑函数式中对应端的名称，即可得到所分析电路的逻辑函数式

列表格

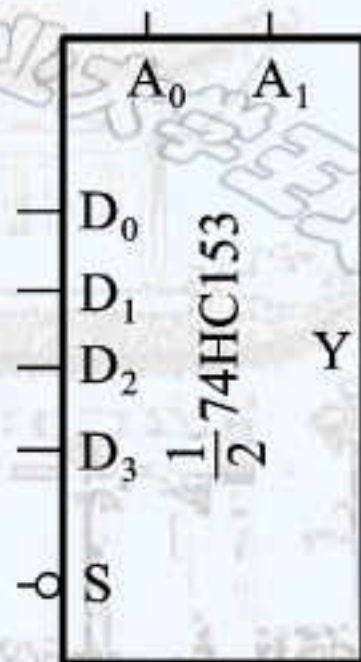
- 为直观显示电路逻辑功能，有时需列出电路的真值表

2、常见中规模集成电路逻辑函数



3线-8线译码器
(最小项译码器)

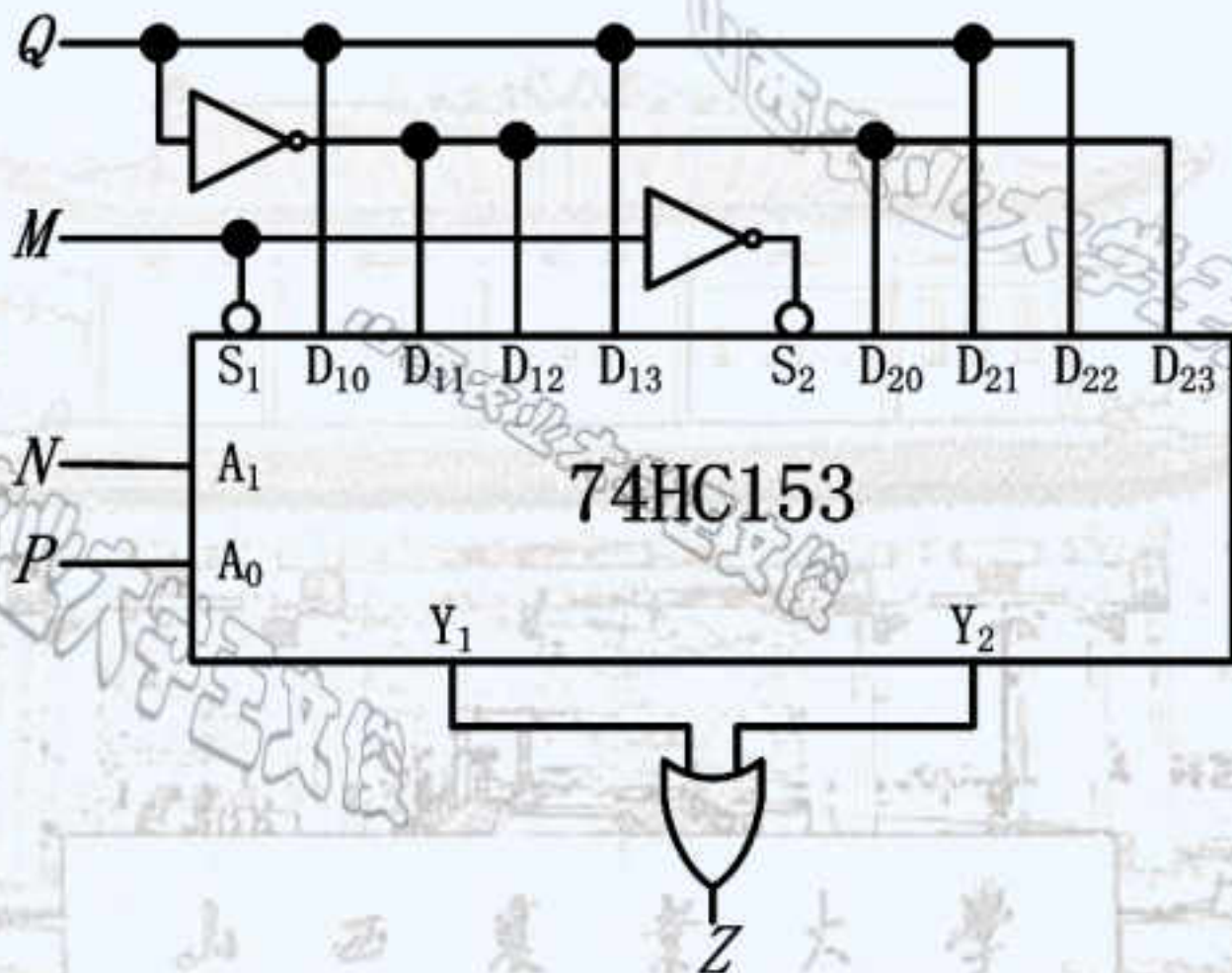
$$Y_i' = m_i'$$



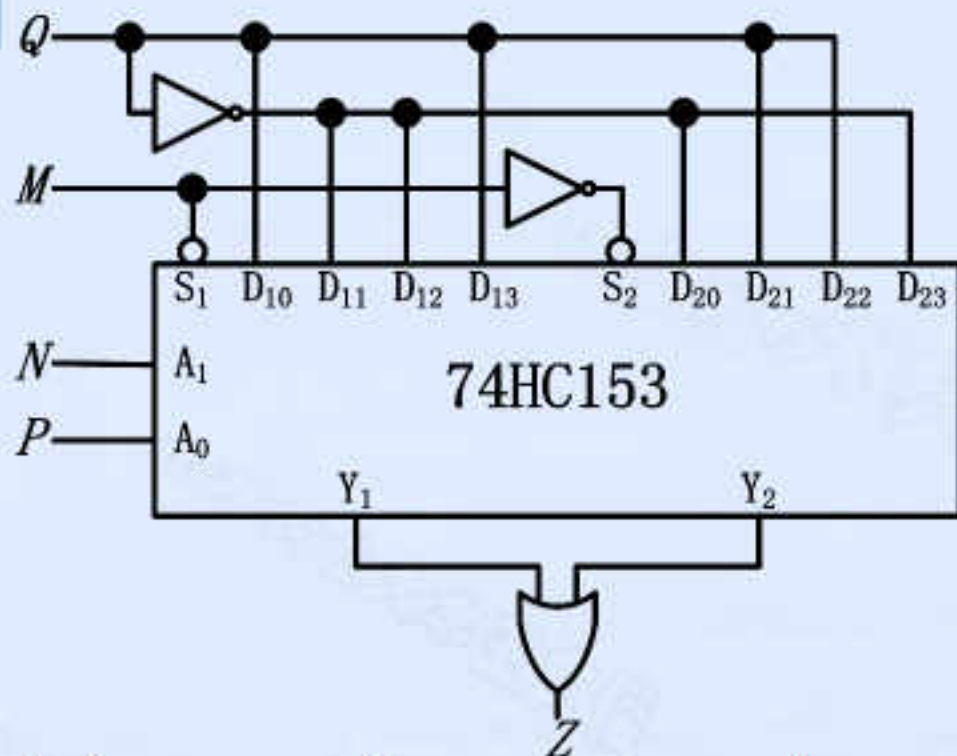
4选1数据选择器

$$Y = \textcolor{red}{S} (D_0(A_1'A_0') + D_1(A_1'A_0) + D_2(A_1A_0') + D_3(A_1A_0))$$

- 例15: 写出电路的输出逻辑函数式, 并说明该电路的逻辑功能



写函数

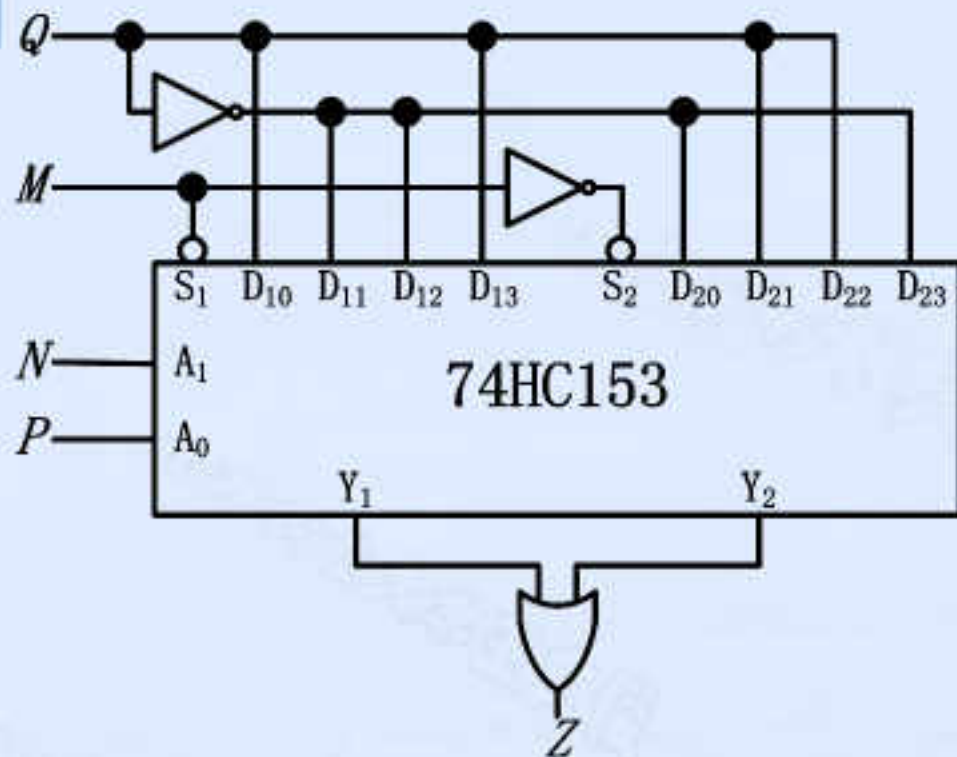


$$Y_1 = S_1 (D_{10}(\overline{A_1}\overline{A_0}) + D_{11}(\overline{A_1}A_0) + D_{12}(A_1\overline{A_0}) + D_{13}(A_1A_0))$$

$$Y_2 = S_2 (D_{20}(\overline{A_1}\overline{A_0}) + D_{21}(\overline{A_1}A_0) + D_{22}(A_1\overline{A_0}) + D_{23}(A_1A_0))$$

$$Z = Y_1 + Y_2$$

换变量



$$\begin{cases} A_0 = P \\ A_1 = N \end{cases}$$

$$\begin{cases} S_1 = M' \\ S_2 = M \end{cases}$$

$$\begin{cases} D_{10} = D_{13} = D_{21} = D_{22} = Q \\ D_{11} = D_{12} = D_{20} = D_{23} = Q' \end{cases}$$

换变量

$$Y_1 = S_1 (D_{10}(A_1' A_0') + D_{11}(A_1' A_0) + D_{12}(A_1 A_0') + D_{13}(A_1 A_0))$$

$$Y_2 = S_2 (D_{20}(A_1' A_0') + D_{21}(A_1' A_0) + D_{22}(A_1 A_0') + D_{23}(A_1 A_0))$$

$$Z = Y_1 + Y_2$$

$$\begin{cases} A_0 = P \\ A_1 = N \end{cases} \quad \begin{cases} S_1 = M' \\ S_2 = M \end{cases} \quad \begin{cases} D_{10} = D_{13} = D_{21} = D_{22} = Q \\ D_{11} = D_{12} = D_{20} = D_{23} = Q' \end{cases}$$

将***M***、***N***、***P***、***Q*** 代入逻辑函数式得：

$$\begin{aligned} Z = & M' N' P' Q + M' N' P Q' + M' N P' Q' + M' N P Q \\ & + M N' P' Q' + M N' P Q + M N P' Q + M N P Q' \end{aligned}$$

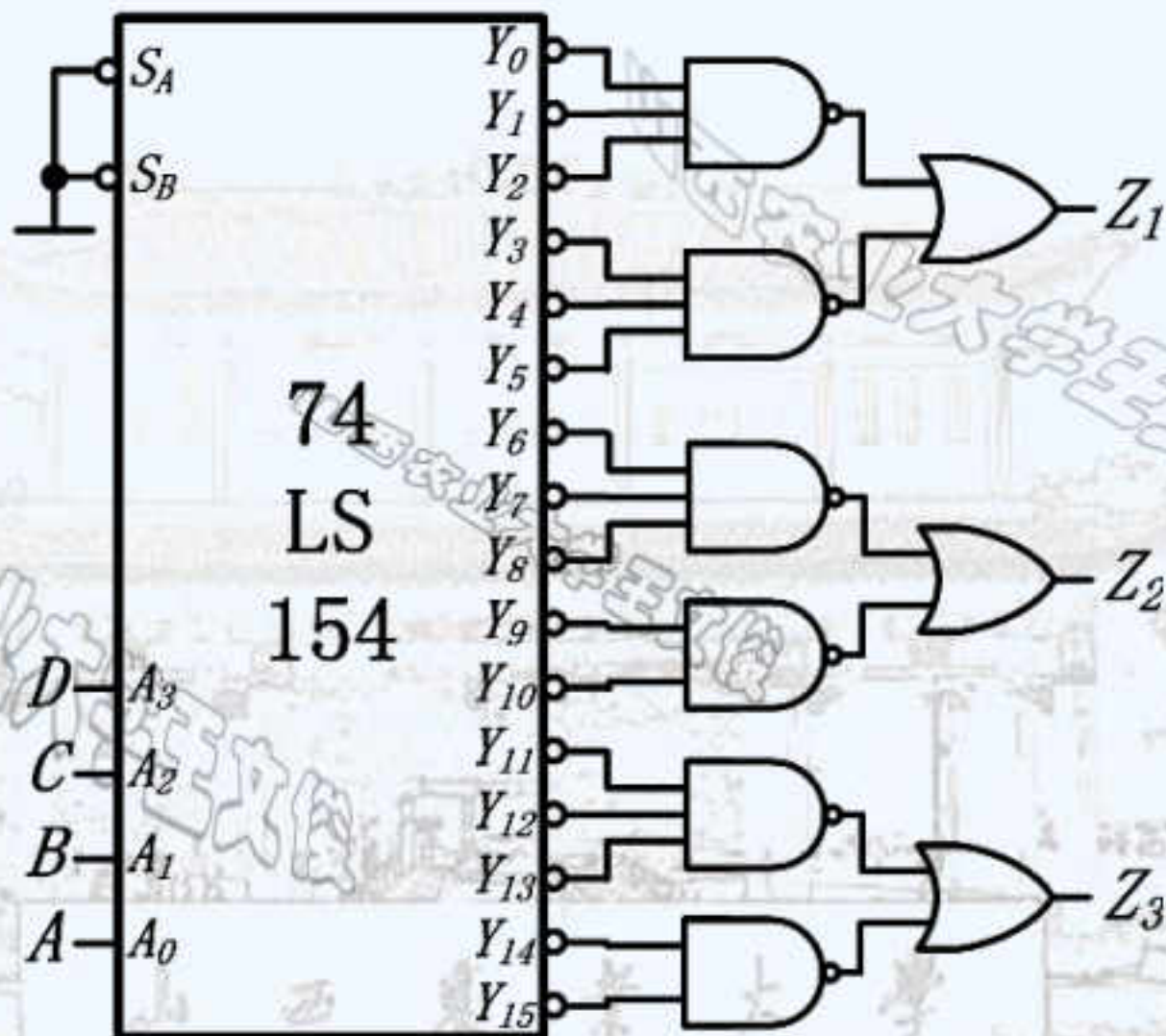
列表格

M	N	P	Q	Z
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1

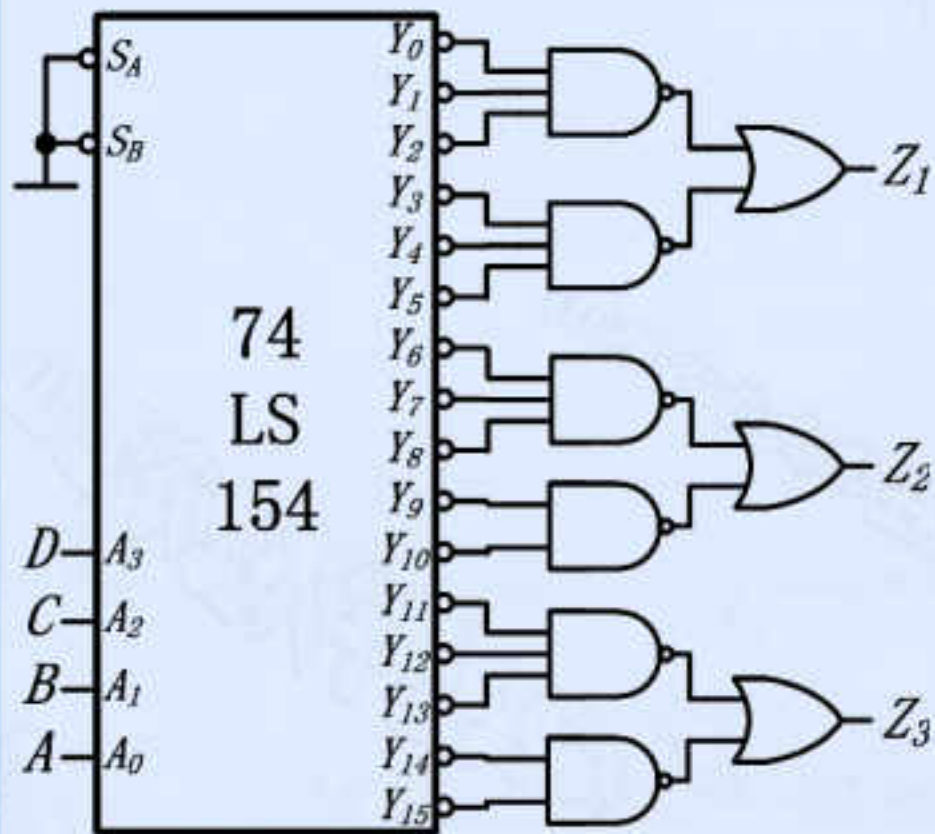
M	N	P	Q	Z
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

当 M 、 N 、 P 、 Q 中有奇数个1时， Z 等于1；其余情况下 Z 等于0。
所以，该电路为4位二进制代码的奇偶校验电路。

• 例16: 分析电路的逻辑功能

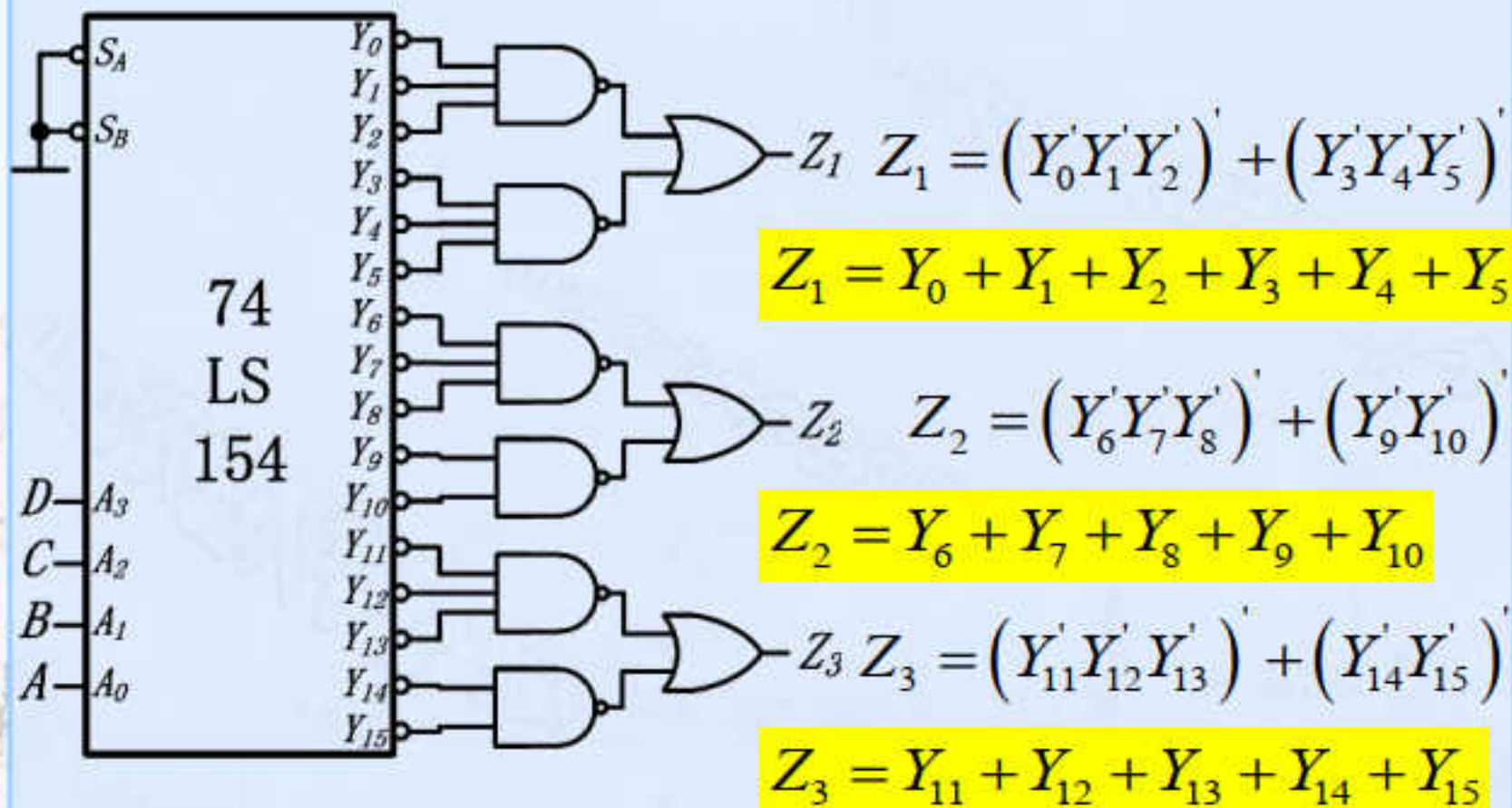


写函数



$$\left\{ \begin{array}{l} Y'_0 = m'_0 \\ Y'_1 = m'_1 \\ Y'_2 = m'_2 \\ Y'_3 = m'_3 \\ Y'_4 = m'_4 \\ Y'_5 = m'_5 \\ Y'_6 = m'_6 \\ Y'_7 = m'_7 \end{array} \right. \quad \left\{ \begin{array}{l} Y'_8 = m'_8 \\ Y'_9 = m'_9 \\ Y'_{10} = m'_{10} \\ Y'_{11} = m'_{11} \\ Y'_{12} = m'_{12} \\ Y'_{13} = m'_{13} \\ Y'_{14} = m'_{14} \\ Y'_{15} = m'_{15} \end{array} \right.$$

写函数



换变量

$$A_3 = D, A_2 = C, A_1 = B, A_0 = A$$

$$Z_1 = Y_0 + Y_1 + Y_2 + Y_3 + Y_4 + Y_5$$

$$Z_1 = D'C'B'A' + D'C'B'A + D'C'BA' + D'C'BA \\ + D'CB'A' + D'CB'A$$

$$Z_2 = Y_6 + Y_7 + Y_8 + Y_9 + Y_{10}$$

$$Z_2 = D'CBA' + D'CBA + DC'B'A' + DC'B'A + DC'BA'$$

$$Z_3 = Y_{11} + Y_{12} + Y_{13} + Y_{14} + Y_{15}$$

$$Z_3 = DC'BA + DCB'A' + DCB'A + DCBA' + DCBA$$

若DCBA为4位二进制数， ≤ 5 时 $Z_1=1$ ；6~10时 $Z_2=1$ ；11~15时 $Z_3=1$ 。
因此，该电路具有数值范围判断功能。

十四、中规模集成电路组合逻辑电路设计

逻辑抽象

- 定变量、明含义、列表格

逻辑函数式

- 写函数

选器件

译码器

数据选择器

加法器

做化简

最小项之和

最小项之和

两部分数值相加

逻辑电路图

- 画电路

- 例17: 利用双4选1数据选择器74LS153设计1位全加器

定变量

- 输入变量: A (加数1)、 B (加数2)、 CI (来自低位的进位)
- 输出变量: S (相加的和)、 CO (向高位的进位)

明含义

- 输入变量: 原码输入
- 输出变量: 原码输出

列表格

输 入			输 出	
<i>A</i>	<i>B</i>	<i>CI</i>	<i>S</i>	<i>CO</i>
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

写函数

$\Rightarrow A'B'CI$
 $\Rightarrow A'BCI'$
 $\Rightarrow A'BCI$
 $\Rightarrow AB'CI'$
 $\Rightarrow AB'CI$
 $\Rightarrow ABCI'$
 $\Rightarrow ABCI$

$$S = A'B'CI + A'BCI' + AB'CI' + ABCI$$

$$CO = A'BCI + AB'CI + ABCI' + ABCI$$

做化简

A 、 B 同时出现，选 A 、 B 为地址输入， CI 为数据输入

$$S = CI(A'B') + CI'(A'B) + CI'(AB') + CI(AB)$$

$$Y = D_0(A_1'A_0') + D_1(A_1'A_0) + D_2(A_1A_0') + D_3(A_1A_0)$$

地址输入	$\begin{cases} A_1 = A \\ A_0 = B \end{cases}$	数据输入	$\begin{cases} D_{10} = D_{13} = CI \\ D_{11} = D_{12} = CI' \end{cases}$	和数输出	$Y_1 = S$
------	--	------	---	------	-----------

$$CO = CI(A'B) + CI(AB') + CI'(AB) + CI(AB)$$

$$CO = 0(A'B') + CI(A'B) + CI(AB') + 1(AB)$$

$$Y = D_0(A_1'A_0') + D_1(A_1'A_0) + D_2(A_1A_0') + D_3(A_1A_0)$$

地址输入	$\begin{cases} A_1 = A \\ A_0 = B \end{cases}$	数据输入	$\begin{cases} D_{20} = 0 & D_{23} = 1 \\ D_{21} = D_{22} = CI \end{cases}$	进位输出	$Y_2 = CO$
------	--	------	---	------	------------

画电路

地址输入 $\begin{cases} A_1 = A \\ A_0 = B \end{cases}$

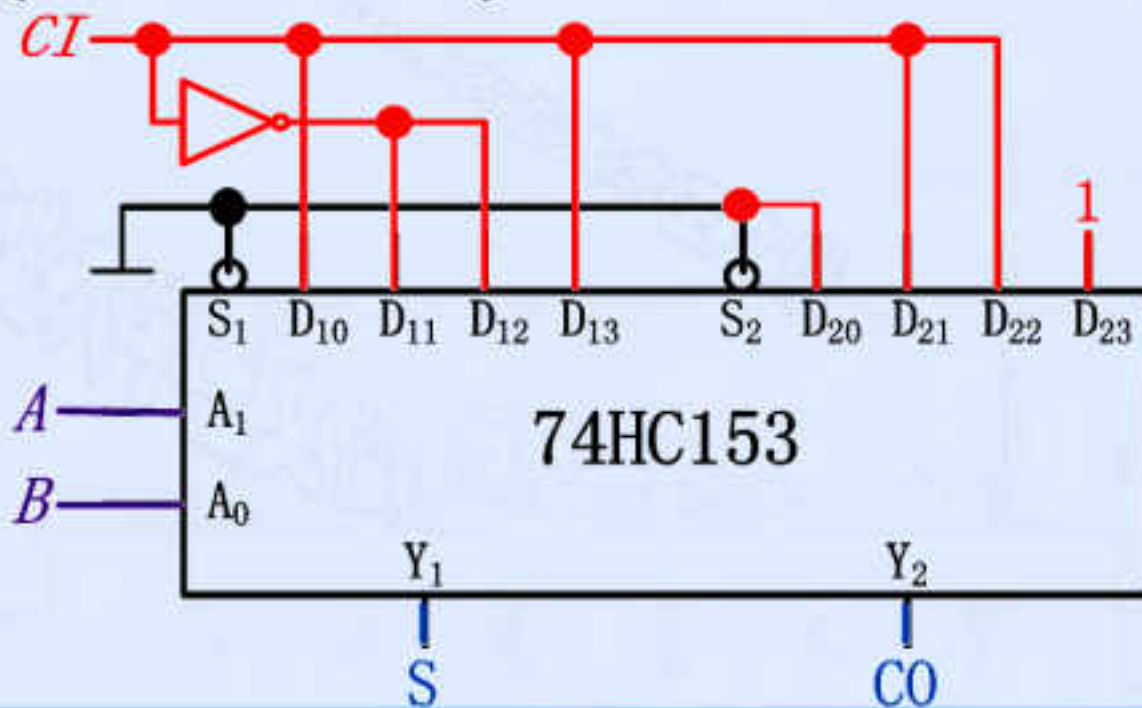
数据输入 $\begin{cases} D_{10} = D_{13} = CI \\ D_{11} = D_{12} = CI' \end{cases}$

和数输出 $Y_1 = S$

地址输入 $\begin{cases} A_1 = A \\ A_0 = B \end{cases}$

数据输入 $\begin{cases} D_{20} = 0 & D_{23} = 1 \\ D_{21} = D_{22} = CI \end{cases}$

进位输出 $Y_2 = CO$



十五、可编程逻辑器件

• 1、数字集成电路的分类

通用型

中、小规模集成电路

功能简单且固定不变

通用性强

周期短、用量大、成本低

专用型

大规模集成电路

专门用途而设计

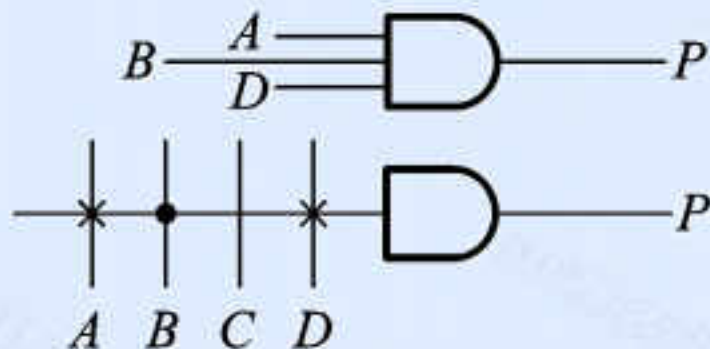
专用性强

周期长、用量小、成本高

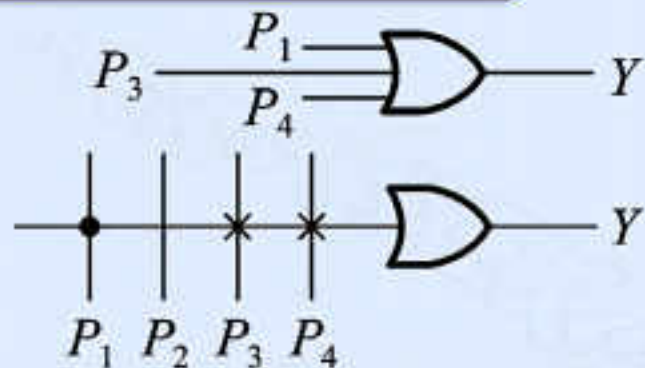
可编程逻辑器件（**Programmable Logic Device**，简称**PLD**），作为一种**通用器件**生产，但逻辑功能可由用户通过对器件**编程**来设定。可编程逻辑器件**PLD**足以满足**设计一般数字系统**的需要。

• 2、PLD电路中门电路的通用画法

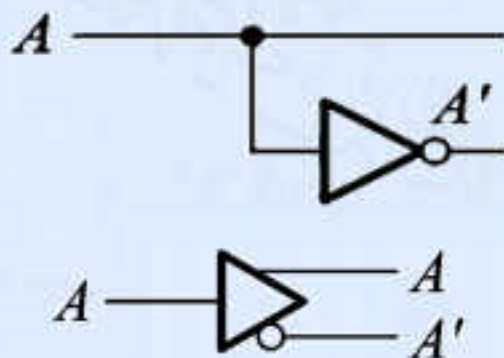
与门



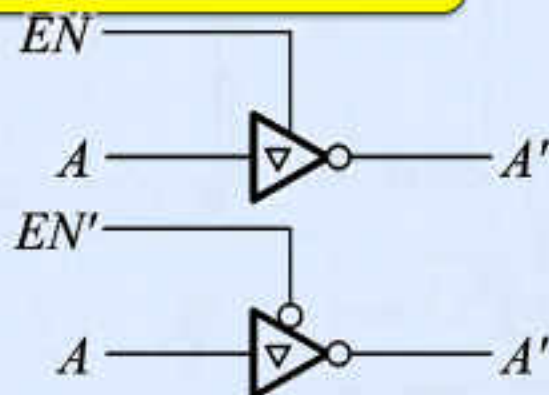
或门



互补输出的缓冲器

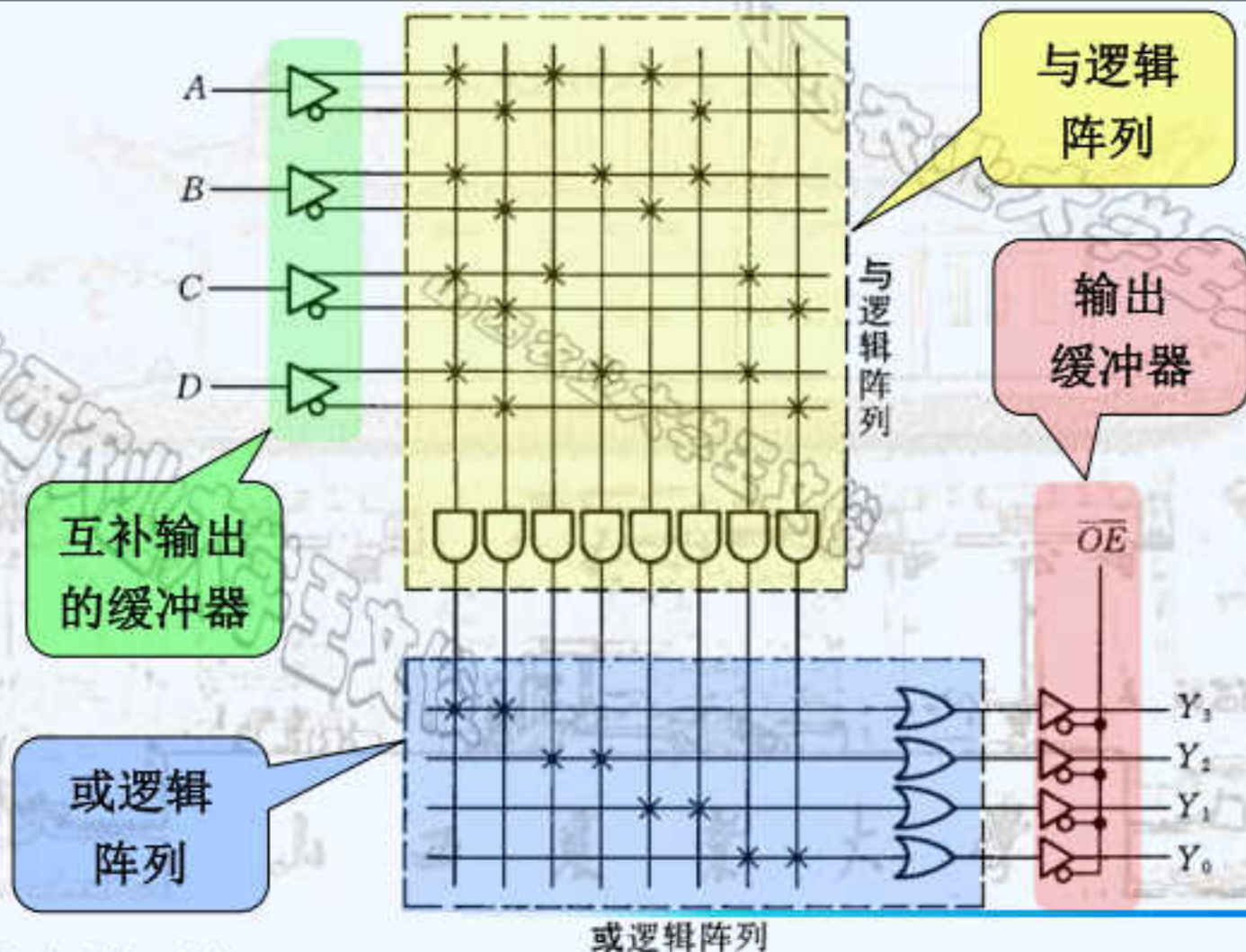


三态输出的缓冲器

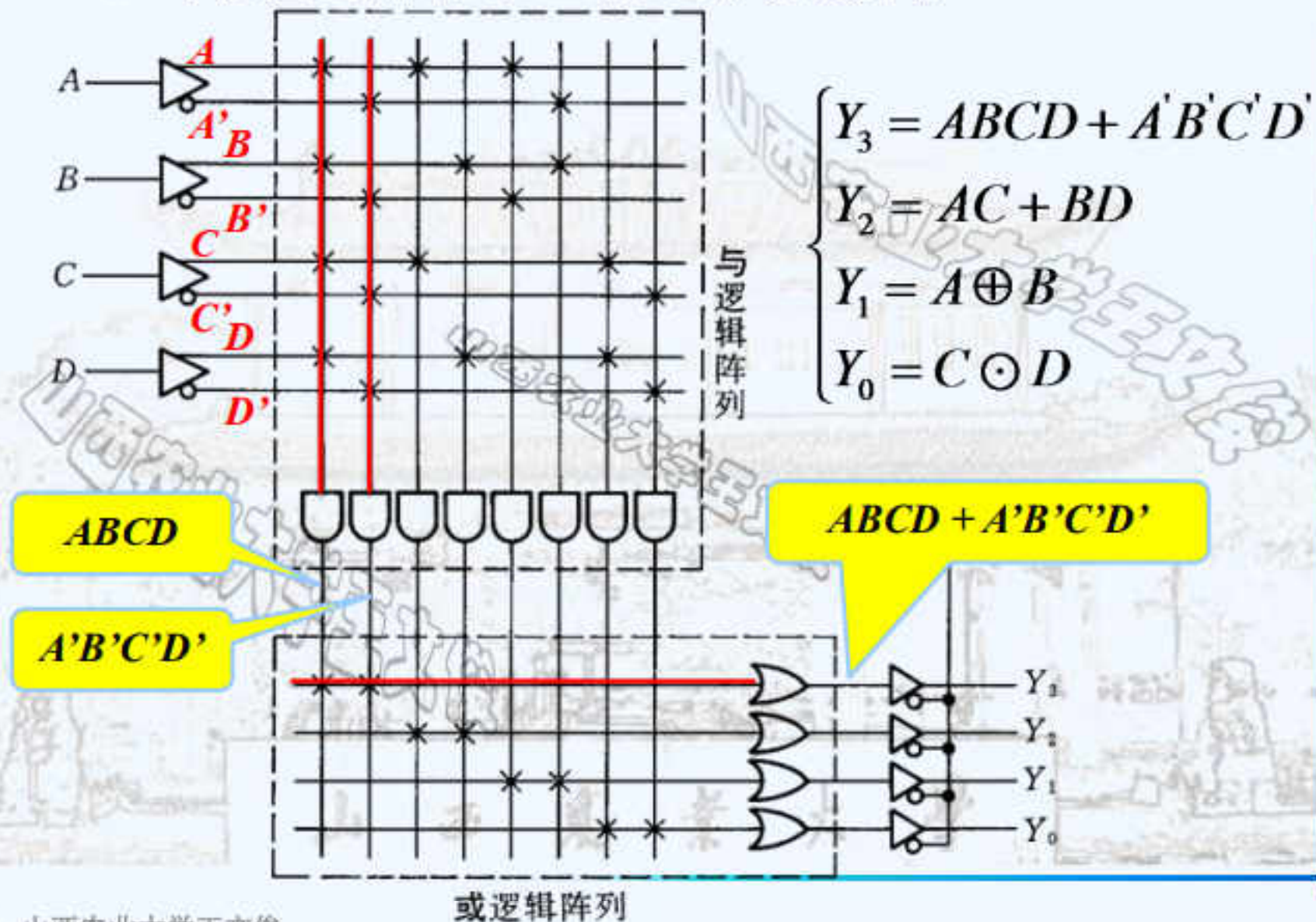


3、可编程逻辑阵列PLA的组成

任何逻辑函数都可用一级与逻辑电路与一级或逻辑电路来实现。

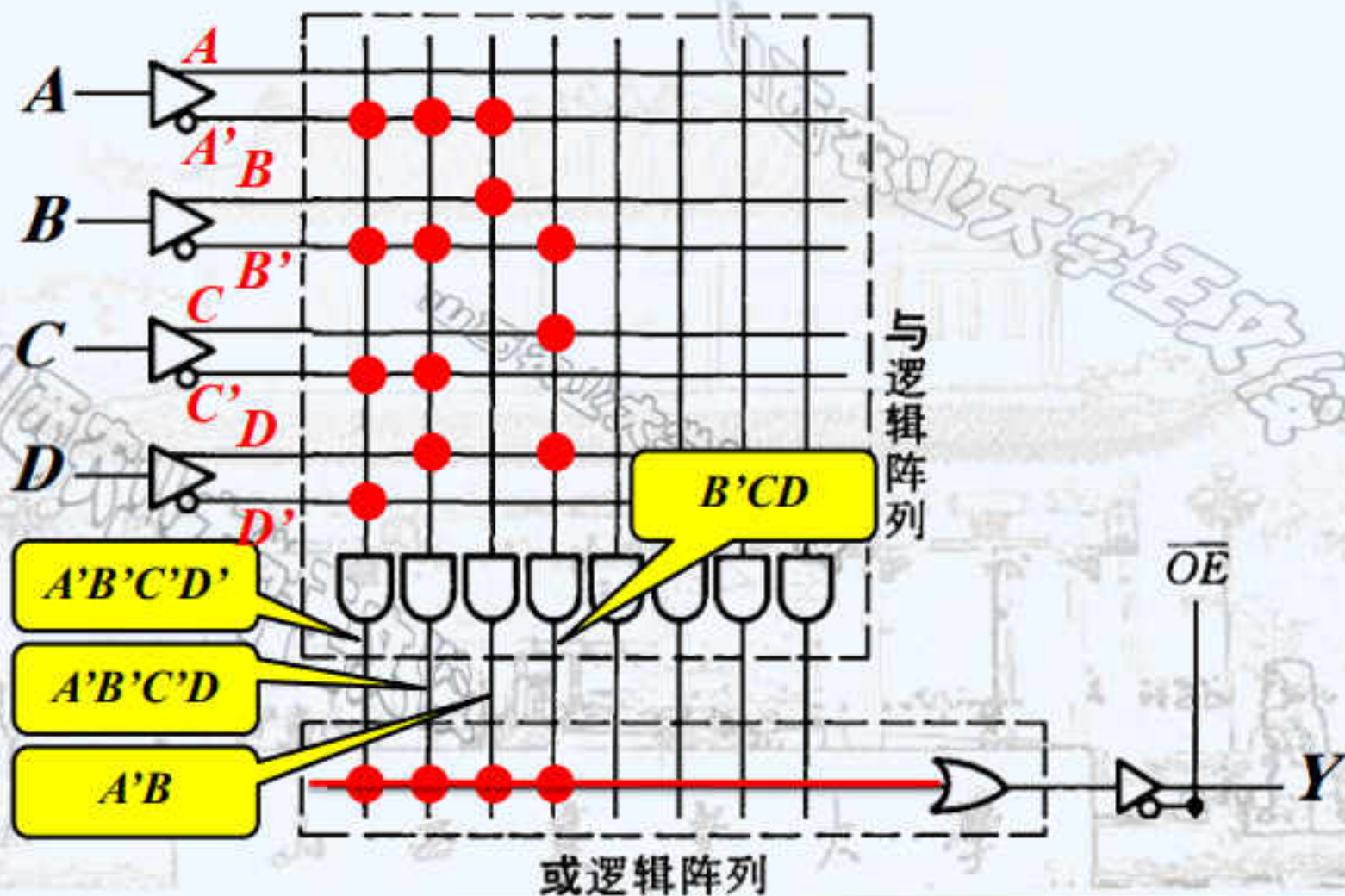


4、可编程逻辑阵列PLA的逻辑功能分析



5、可编程逻辑阵列PLA的逻辑电路设计

$$Y = A'B'C'D' + A'B'C'D + A'B + B'CD$$

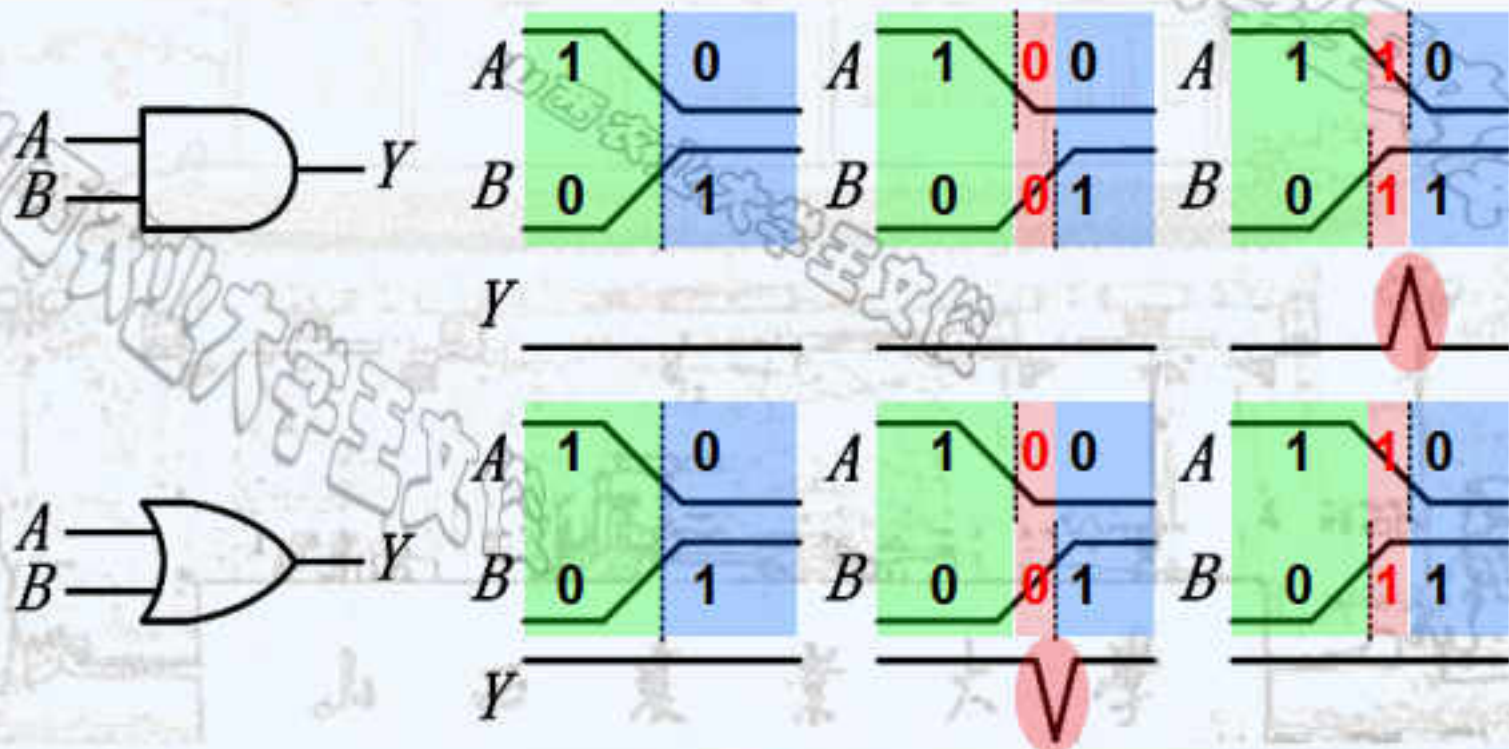


十六、组合逻辑电路中的竞争-冒险现象

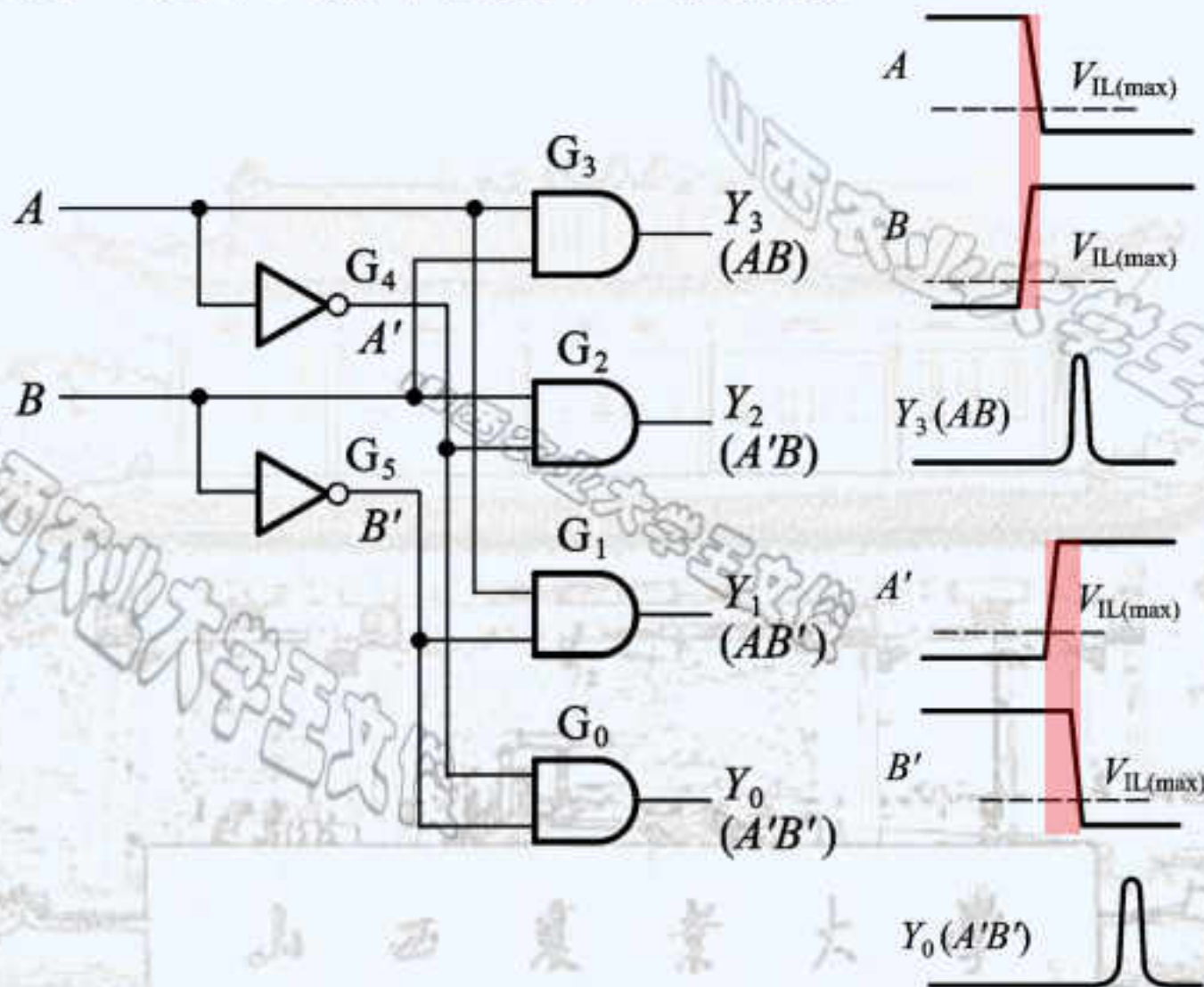
• 1、竞争-冒险现象

门电路两个输入信号**同时**向**相反**的逻辑电平跳变的现象称为“**竞争**”

因**竞争**而**可能**在输出产生**尖峰脉冲**的现象，称为“**竞争-冒险**”。



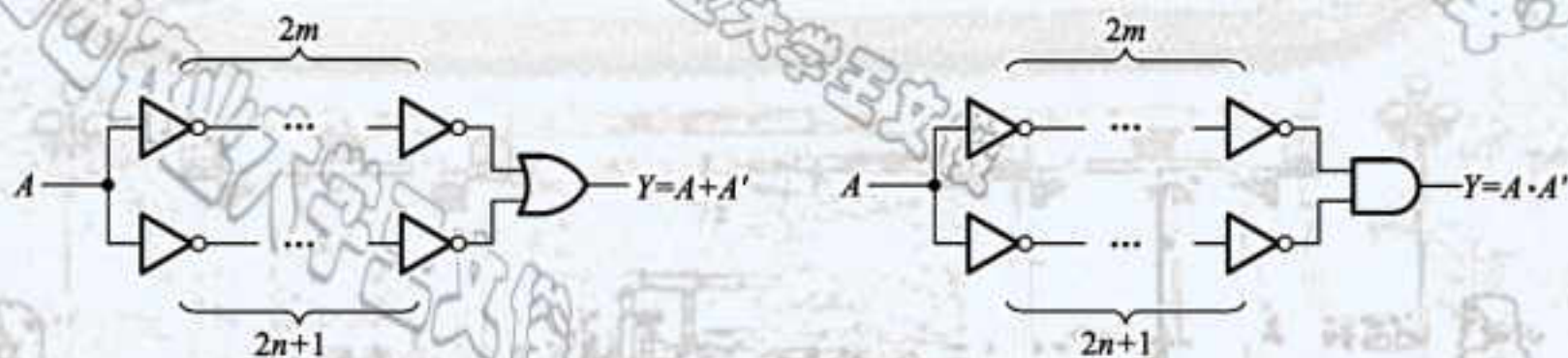
• 2线—4线译码器中的竞争-冒险现象



• 2、检查竞争-冒险现象的方法

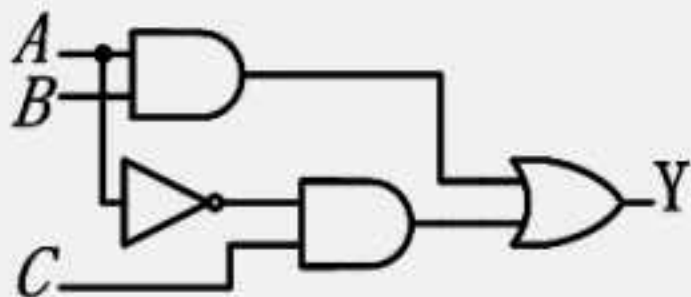
在输入变量每次**只有一个改变**的情况下：如果输出端门电路的两个输入信号 **A 和 A'** 是输入变量 **A** 经过**两个不同的传输途径**而来的，那么当输入变量 **A** 的状态发生突变时输出端便有可能产生尖峰脉冲。

只要输出端的逻辑函数在一定条件下能简化成 **$Y=A+A'$** 或 **$Y=AA'$** ，则可判定存在竞争-冒险现象。



该方法虽然简单，但局限性太大。因此常用计算机辅助分析结合实验的方法来检查电路是否存在竞争-冒险现象。

- 例18: 判断下面两个电路是否存在竞争-冒险现象

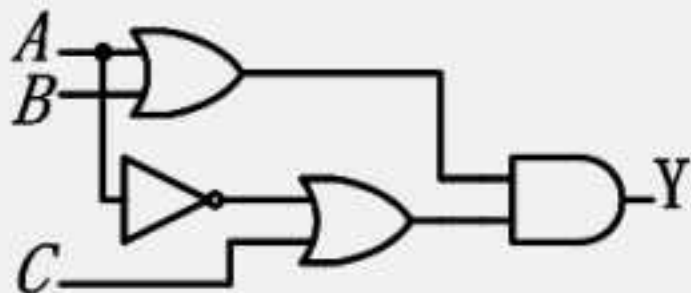


$$Y = AB + A'C$$

当 $B = C = 1$ 时, 函数简化为:

$$Y = A + A'$$

因此, 存在竞争-冒险现象。



$$Y = (A + B)(A' + C)$$

当 $B = C = 0$ 时, 函数简化为:

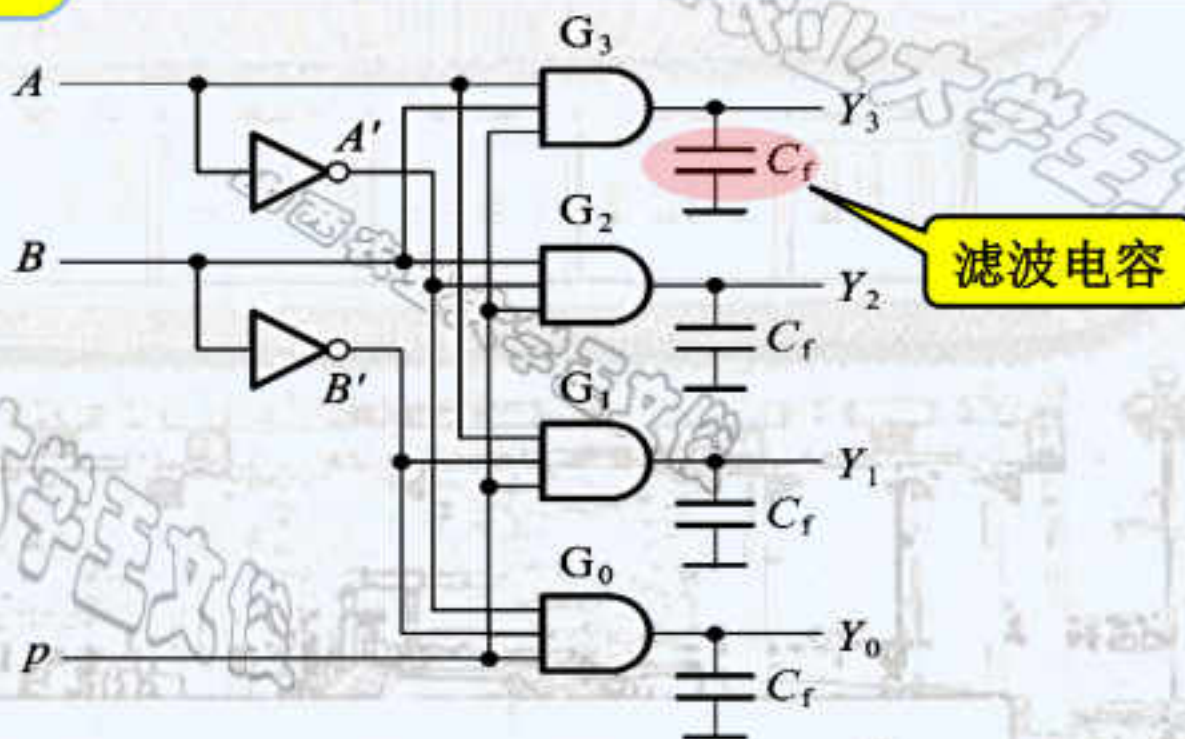
$$Y = AA'$$

因此, 存在竞争-冒险现象。

3、消除竞争-冒险现象的方法

接入
滤波电容

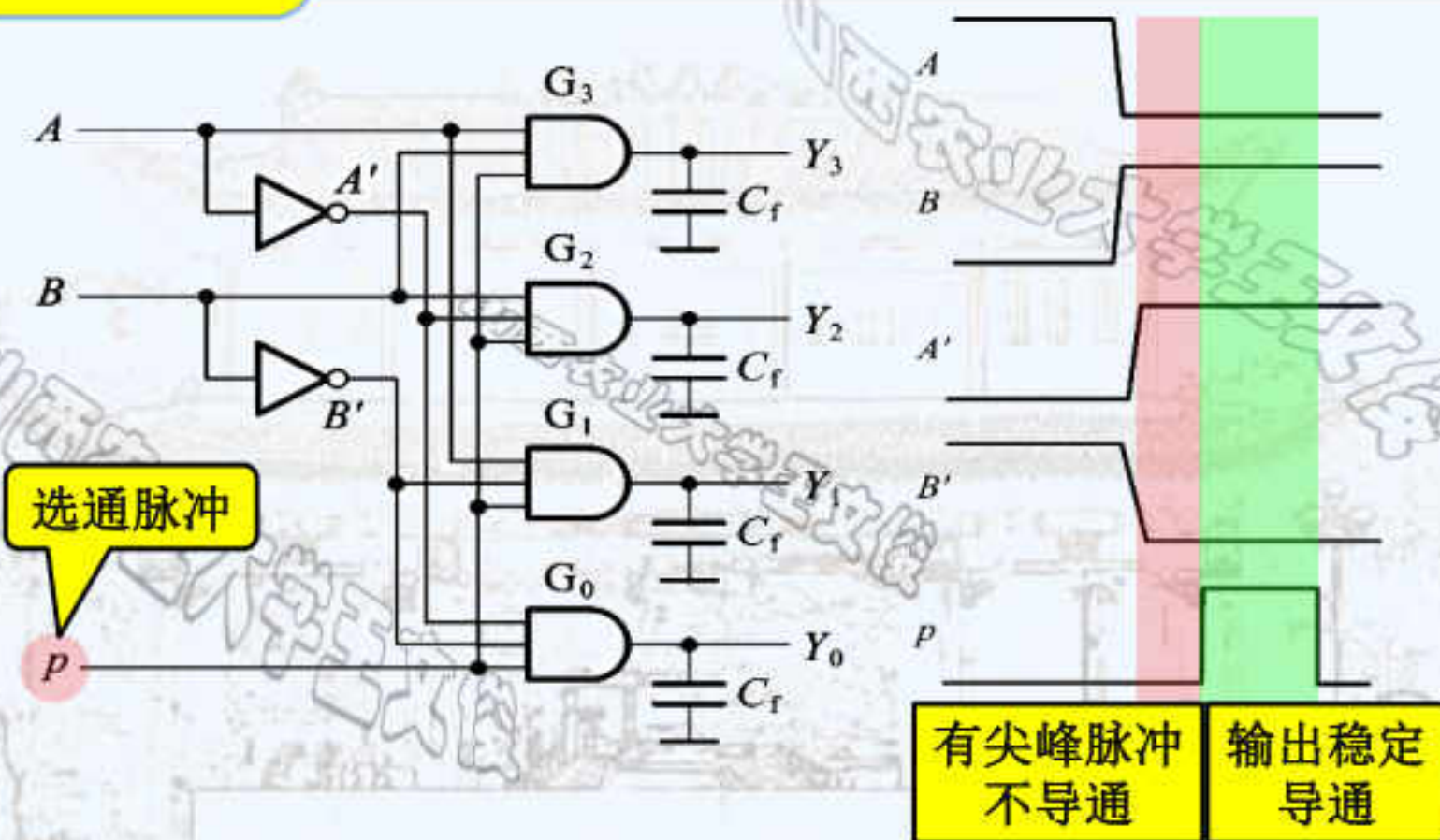
- 尖峰脉冲很窄，在输出端并接一个很小的电容，就可将尖峰削弱到 V_{TH} 以下



简单易行，但增加了输出电压波形上升时间和下降时间，使波形变坏。

引入 选通脉冲 p

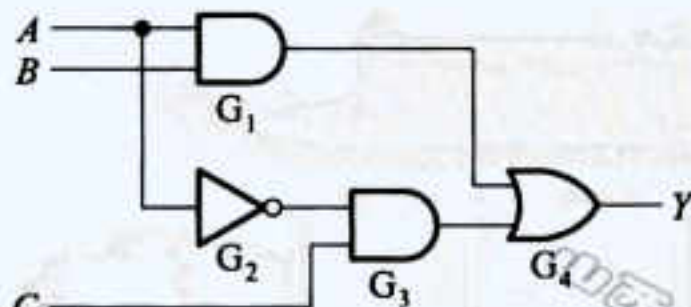
- 取选通脉冲作用时间，在电路达到稳定之后，在 P 高电平期间的输出信号不会出现尖峰。



简单，不需要增加元件，但对选通脉冲的宽度和作用时间有严格要求。

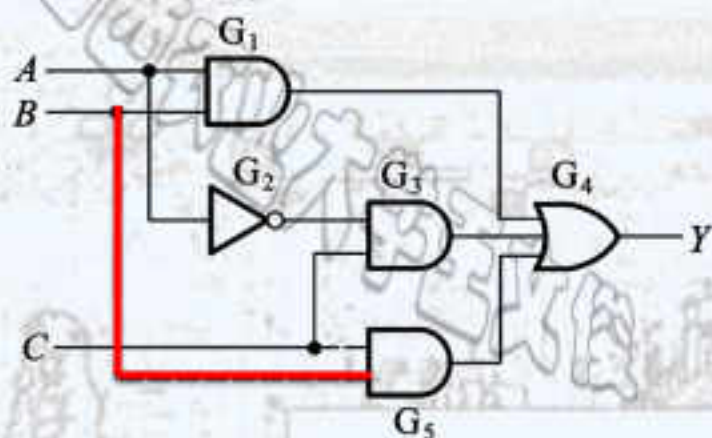
修改 逻辑设计

- 在逻辑函数中增加冗余项



逻辑函数: $Y = AB + A'C$

- 在 $B=C=1$ 的条件下, $Y=A+A'$
- 存在竞争-冒险现象



逻辑函数: $Y = AB + A'C + BC$

- 在 $B=C=1$ 的条件下, Y 始终保持为 1
- 不存在竞争-冒险现象

不增加门电路, 不会带来任何不利影响, 但适用范围有限。

习 题

- P201 【题4.3】
- P201 【题4.5】
- P202 【题4.9】
- P203 【题4.10】
- P203 【题4.12】
- P204 【题4.17】
- P204 【题4.19】
- P204 【题4.21】
- P205 【题4.26】
- P205 【题4.32】

山西农业大学