

教学要求

了解 CPLD 和 FPGA 的基本结构及实现逻辑功能的原理



数字电路与逻辑设计 第8章 CPLD和FPGA

张江山 zhangjs@hust.edu.cn 信息工程系

A电子信息与通信学院

1/8

_HDT

3/8

▲电子信息与通信学院

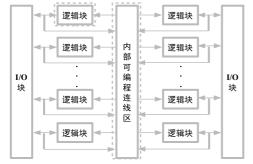
2/8

HIST.

8.1 复杂可编程逻辑器件(CPLD)

1. 可编程逻辑块

- ●CPLD 内含多个逻辑块, 各逻辑块相当于一个 GAL 器件
- ●各块之间可用可编程内部连线(或称可编程的开关矩阵)实现互连



A 电子信息与通信学院

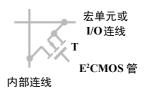
8.1 复杂可编程逻辑器件 (CPLD)

2. 可编程内部连线

可编程内部连线实现了逻辑块之间、逻辑块与 I/O 块之间以及全局信号到逻辑块和 I/O 块之间的连接

可编程连接可由 E2CMOS 管实现

当 E2CMOS 管被编程为导通时,纵线和横线连通



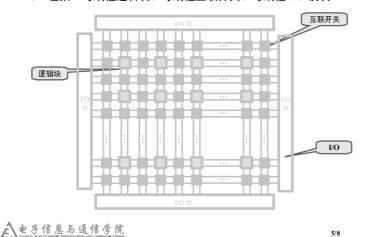
可编程连接原理图

A电子信息与通信学院 SCHOOL OF ELECTRONIC INFORMATION AND COMMUNICATIONS

4/

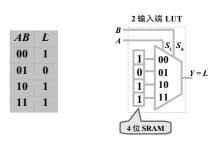
8.2 现场可编程门阵列(FPGA)

FPGA 包括:可编程逻辑块、可编程互联开关、可编程 I/O 模块



8.2.1 FPGA 中编程实现逻辑功能的基本原理

- ●可编程逻辑块采用 LUT 和数据选择器实现组合逻辑功能
- ●采用触发器实现时序逻辑功能
- ●例如: 2 输入 LUT 可实现任意 2 变量组合逻辑函数



▲电子信息与通信学院 SCHOOL OF ELECTRONIC INFORMATION AND COMMUNICATIONS

6/8

8.2.1 FPGA 中编程实现逻辑功能的基本原理 8.2.1 FPGA 中编程实现逻辑功能的基本原理 INT. HIST 例:用 2输入LUT 实现函数 $F = AB + \overline{B}C = F_1 + F_2$ 例:用可编程逻辑块实现2位二进制计数器 $F_1 = AB$ BC $AB \mid F_1$ F_{2} G-LUT $Q_1Q_0 + Q_1\overline{Q}_0$ 0 0 00 00 2 位二进制状态转换表 I₃ × $F_2 = \overline{B}C$ Q $-Q_1$ 0 1 o 01 $Q_1^n Q_0^n \qquad Q_1^{n+1}(D_1) \qquad Q_0^{n+1}(D_0)$ FF_y I₁ 1₀0006_H 10 0 10 0 A R 11 11 1 0 0 0 B1000_B $C^{0010_{B}}$ CLK CR 0 1 F_1F_2 I₃ I₂ $Q_{\scriptscriptstyle 0}$ 0 0 0 o D Q FF_x I_{1}^{2} I_{0}^{1} 0001 0 1 1 $\mathbf{q}_{\mathbf{R}_{\mathbf{d}}}$ F_{2}^{1110} 10 1 $D_1 = \overline{Q_1} Q_0 + Q_1 \overline{Q_0} = m_1 + m_2$ F-LUT 11 $F = F_1 + F_2$ $D_0 = \overline{Q_0} = m_0$

£ 电子信息与通信学院

8/8

在 LUT 的基础上增加触发器便可实现时序电路

A 电子信息与通信学院 SCHOOL OF ELECTRONIC INFORMATION AND COMMUNICATION