



数字电路与逻辑设计

第 3 章 逻辑门电路

张江山

zhangjs@hust.edu.cn

信息工程系



3.1 逻辑门电路简介

3.2 基本 CMOS 逻辑门电路

3.3 CMOS 逻辑门电路的不同输出结构及参数

3.4 类 NMOS 和 BiCMOS 逻辑门电路 *

3.5 TTL 逻辑门电路 *

3.6 ECL 逻辑门电路 *

3.7 逻辑描述中的几个问题

3.8 逻辑门电路使用中的几个实际问题

3.9 用 VerilogHDL 描述 CMOS 逻辑门电路

教学要求

1. 理解与、或、与非、或非、异或、同或门的逻辑功能
2. 理解三态门、OD 门和传输门的逻辑功能和应用
3. 了解 CMOS 逻辑门电路的输入与输出电路结构
4. 了解逻辑门的等效逻辑和应用接口问题
5. 了解半导体器件的开关特性以及逻辑门内部电路结构

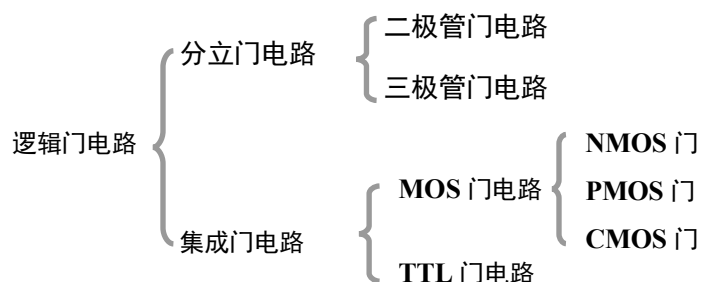


3.1 逻辑门电路简介 3.1.1 各种逻辑门电路系列简介



1. 逻辑门：实现基本逻辑运算和复合逻辑运算的单元电路

2. 逻辑门电路的分类



3.1.1 各种逻辑门电路系列简介

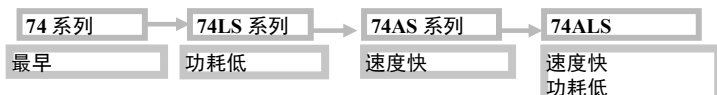


1. TTL (Transistor-Transistor Logic) 集成电路

TTL 是应用最早，技术比较成熟的集成电路，曾被广泛应用

随着材料和工艺技术的发展，不断推出新型的低功耗和高速 TTL 器件

目前在中、大规模集成电路中还有应用



3.1.1 各种逻辑门电路系列简介

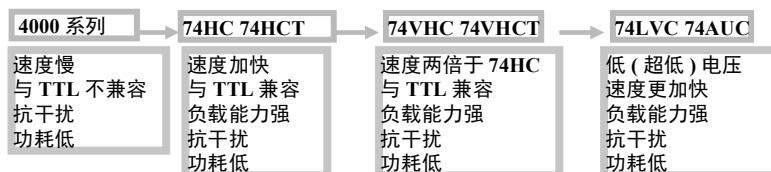


2. CMOS (Complementary Metal Oxide Semiconductor) 集成电路

速度已赶超 TTL 电路

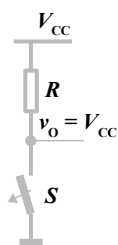
功耗和抗干扰能力远优于 TTL 电路

目前已广泛应用于超大规模、甚大规模集成电路

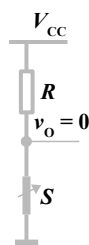


逻辑变量取值 0 或 1，对应电路中电子器件的“闭合”与“断开”

MOS 管或 BJT 管可作为开关



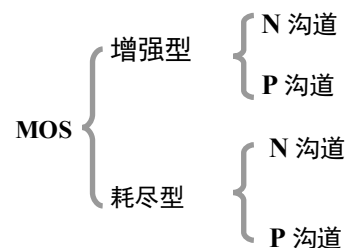
(a) 输出逻辑 1



(b) 输出逻辑 0

CMOS 门电路是以 MOS 管为开关器件

MOS 管的分类：



3.2.1 MOS 管及其开关特性

物质导电能力

导电能力取决于载流子的多少

N 型半导体

其中自由电子（负）浓度远大于空穴（正）浓度

自由电子为多数载流子（多子），空穴为少数载流子（少子）

P 型半导体

其中空穴浓度远大于自由电子

空穴为多数载流子（多子），自由电子为少数载流子（少子）

PN 结

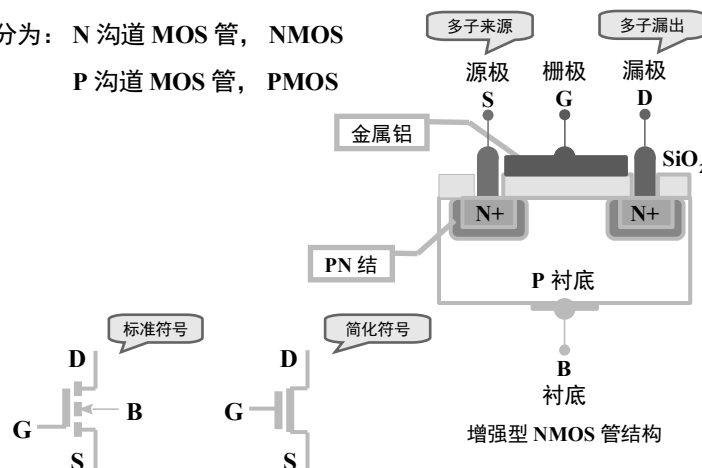
本征半导体内的 N 型和 P 型半导体的交界处形成 PN 结

3.2.1 MOS 管及其开关特性

金属 - 氧化物 - 半导体场效应管，简称 MOS 管

分为：N 沟道 MOS 管，NMOS

P 沟道 MOS 管，PMOS



3.2.1 MOS 管及其开关特性

1. N 沟道增强型 MOS 管

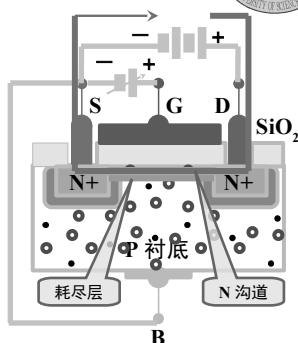
利用电场效应产生导电沟道

● $v_{GS} = 0$ 时，漏源之间被两个背靠背的 PN 结隔离， v_{DS} 不能产生 D, S 间电流

● $0 < v_{GS} < v_{TN}$ 时，电场向下排斥栅极下方衬底表层空穴，并吸引自由电子，自由电子与空穴复合而消失，使衬底表面形成耗尽层，仍不能导通

● $v_{GS} > v_{TN}$ 时，栅极下方表层汇聚更多电子，使其数量多于空穴，该薄层变为 N 型半导体，即反型层，形成 N 型沟道

● V_{TN} 为 NMOS 管的开启电压，此时 v_{DS} 可产生漏极电流 i_D ，即导通

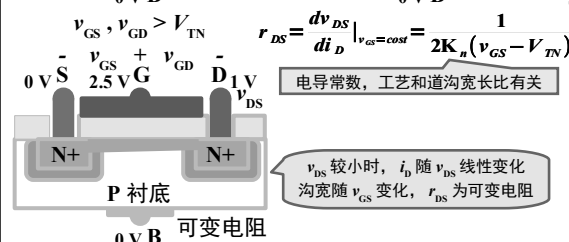
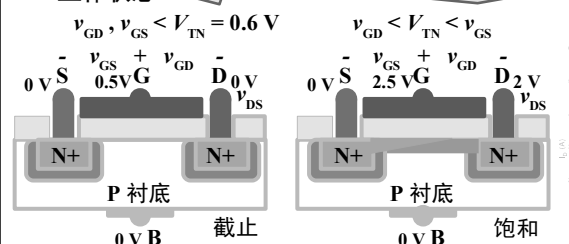


3.2.1 MOS 管及其开关特性

● 工作状态

无 N 沟道， $i_D = 0$

沟道夹断， v_{DS} 越大， v_{GD} 越小， r_{DS} 越大， i_D 饱和 $= v_{DS} / r_{DS}$

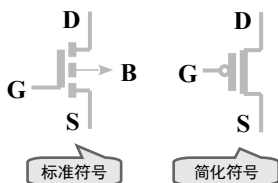


3.2.1 MOS 管及其开关特性

2. 其他类型的 MOS 管

(1) P 沟道增强型 MOS 管

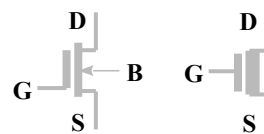
- 结构与 NMOS 管相反
- V_{GS} , V_{DS} 电压极性与 NMOS 管相反
- 开启电压 V_{TP} 为负值
- 当 $V_{GS} < V_{TP}$, PMOS 管导通
- 当 $V_{GS} > V_{TP}$, PMOS 管截止



3.2.1 MOS 管及其开关特性

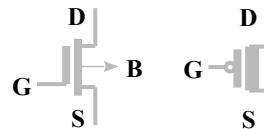
(2) N 沟道耗尽型 MOS 管

- 绝缘层掺入正离子;
- $V_{GS} = 0$ 时正离子吸引部分负离子, 已形成 N 沟道
- $V_{GS} > 0$ 时更多负离子被吸引, N 沟道变宽
- $V_{GS} < -V_{TN}$ (夹断电压) 时, 沟道被夹断, $i_D = 0$



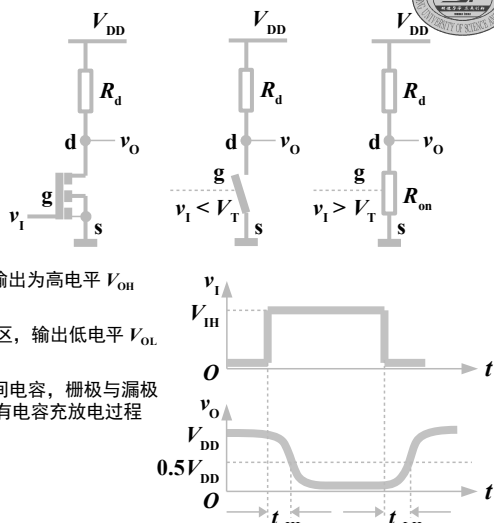
(3) P 沟道耗尽型 MOS 管

- 绝缘层掺入负离子
- $V_{GS} = 0$ 时在负离子作用下已形成 P 沟道
- $V_{GS} < 0$ 时 P 沟道变宽
- $V_{GS} > +V_{TP}$ (夹断电压) 时, 沟道被夹断, $i_D = 0$



3.2.1 MOS 管及其开关特性

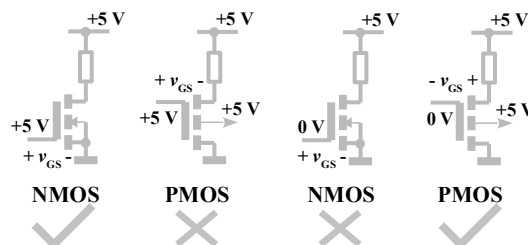
3. MOS 管的开关作用



- 输入低电平时, MOS 管截止, 输出为高电平 V_{OH}
- 输入高电平时, 工作在可变电阻区, 输出低电平 V_{OL}
- 由于 MOS 管栅极、漏极与衬底间电容, 栅极与漏极之间的电容存在, 状态转换伴随有电容充放电过程

3.2.1 MOS 管及其开关特性

3.1.4 如图所示各 MOSFET 管的 $|V_T| = 1V$, 忽略电阻上的压降, 试确定其工作状态 (导通或截止?)



解: 图 (a), NMOS, V_T 为 $+1V$, $V_{GS} = 5V \geq 1V$, 导通;
图 (b), PMOS, V_T 为 $-1V$, $V_{GS} = 5V - 5V = 0V \geq -1V$, 截止
图 (c), NMOS, V_T 为 $+1V$, $V_{GS} = 0V \leq 1V$, 截止
图 (d), PMOS, V_T 为 $-1V$, $V_{GS} = 0V - 5V = -5V \leq -1V$, 导通

3.2.2 CMOS 反相器

1. 工作原理

CMOS 反相器电路如图

$$V_{TN} = 1V$$

$$V_{TP} = -1V$$

$$V_{DD} = 5V > (V_{TN} + |V_{TP}|)$$

v_I	v_{GSN}	T_N	v_{GSP}	T_P	v_O
0 V	0 V	截止	-5 V	导通	5 V
5 V	5 V	导通	0 V	截止	0 V

真值表

v_I	v_O
0	1
1	0

逻辑表达式: $L = A$

逻辑图

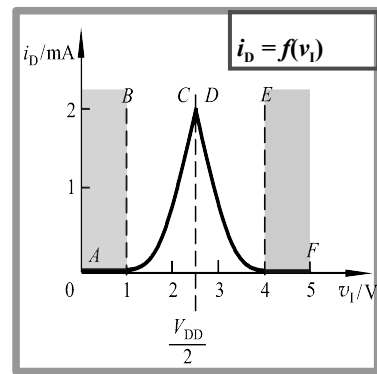
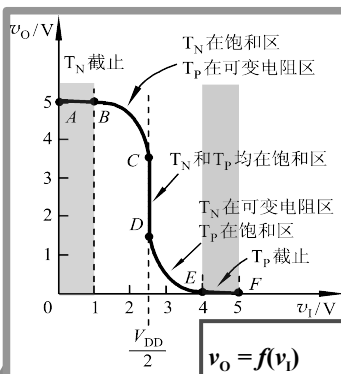


3.2.2 CMOS 反相器

2. 电压传输特性和电流传输特性

$v_I < 1V$, AB 段, T_N 截止, $v_O = 5V$, $i_D \approx 0$
 $v_I > 4V$, EF 段, T_P 截止, $v_O = 0V$, $i_D \approx 0$

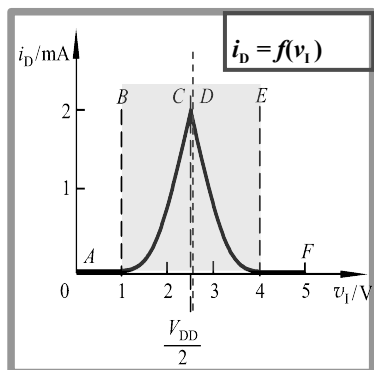
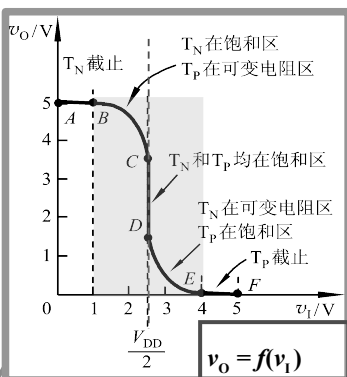
静态功耗低



3.2.2 CMOS 反相器

2. 电压传输特性和电流传输特性

$v_i = 0.5V_{DD} = 2.5\text{ V}$ ，CD 段， T_N, T_P 都导通， $v_o = 2.5\text{ V}$ ， i_D 最大
 阈值电压 $0.5V_{DD} = 2.5\text{ V}$ ，在阈值电压附近，两管都导通



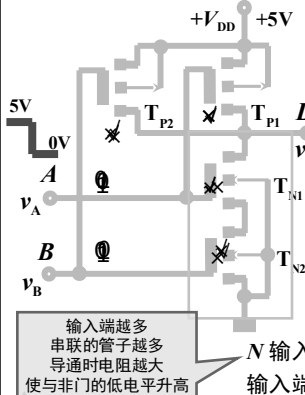
19/ 51

3.2.3 其它基本 CMOS 逻辑门

1. CMOS 与非门

$$V_{TN} = 1\text{ V} \quad V_{TP} = -1\text{ V}$$

(a) 电路结构



(b) 工作原理

A	B	T _{N1}	T _{P1}	T _{N2}	T _{P2}	L
0	0	截止	导通	截止	导通	1
0	1	截止	导通	导通	截止	1
1	0	导通	截止	截止	导通	1
1	1	导通	截止	导通	截止	0

$$\text{与非门 } L = AB$$



输入端越多
 串联的管子越多
 导通时电阻越大
 使与非门的低电平升高

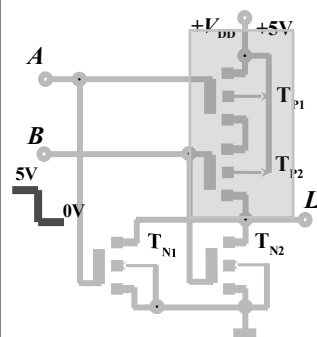
N 输入的与非门的电路？
 输入端增加有什么问题？

22/ 51

3.2.3 其它基本 CMOS 逻辑门

2. CMOS 或非门

$$V_{TN} = 1\text{ V} \quad V_{TP} = -1\text{ V}$$



A	B	T _{N1}	T _{P1}	T _{N2}	T _{P2}	L
0	0	截止	导通	截止	导通	1
0	1	截止	导通	导通	截止	0
1	0	导通	截止	截止	导通	0
1	1	导通	截止	导通	截止	0

N 输入的或非门的电路的结构？

$$\text{或非门 } L = A + B$$



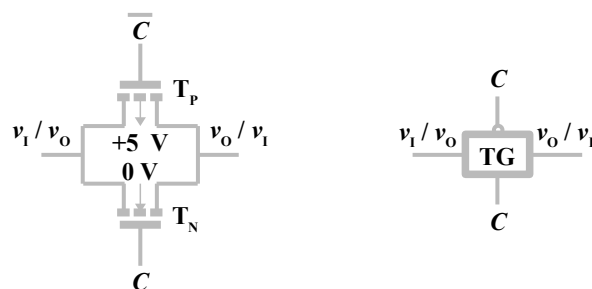
输入端增加有什么问题？

输入端越多
 串联的管子越多
 导通时电阻越大
 使或非门的高电平降低

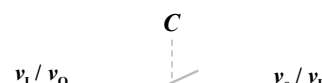
23/ 51

3.2.4 CMOS 传输门

1. 传输门的结构及工作原理



等效电路

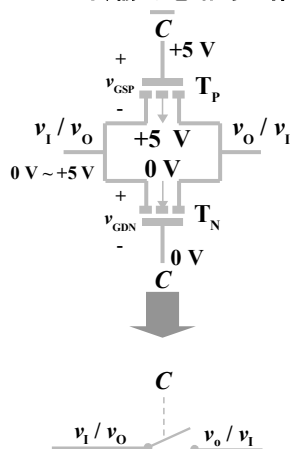


在控制信号 C 的控制下，开关闭合或者断开

24/ 51

3.2.4 CMOS 传输门

CMOS 传输门电路的工作原理



设 $T_P: |V_{TP}| = 1\text{ V}$, $T_N: V_{TN} = 1\text{ V}$
 v_i 的变化范围为 $0 \sim +5\text{ V}$

1) 当 $C = 0$, $\bar{C} = 1 = +5\text{ V}$ 时

$$v_{GDN} = 0 - (0 \sim +5)\text{ V} = 0 \sim -5\text{ V}$$

$$v_{GDN} < V_{TN}, T_N \text{ 截止}$$

$$v_{GSP} = 5 - (0 \sim +5)\text{ V} = 5 \sim 0\text{ V}$$

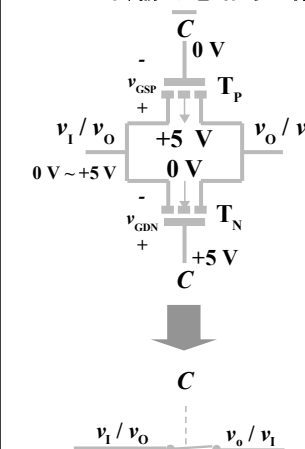
$$v_{GSP} > 0, T_P \text{ 截止}$$

开关断开，不能转送信号

25/ 51

3.2.4 CMOS 传输门

CMOS 传输门电路的工作原理



2) 当 $C = 1$, $\bar{C} = 0$ 时

$$a. v_i = 0 \sim 4\text{ V}$$

$$v_{GDN} = 5 - (0 \sim +4)\text{ V} = 5 \sim 1\text{ V}$$

$$v_{GDN} > V_{TN}, T_N \text{ 导通}$$

$$b. v_i = 1 \sim 5\text{ V}$$

$$v_{GSP} = 0 - (1 \sim +5)\text{ V} = -1 \sim -5\text{ V}$$

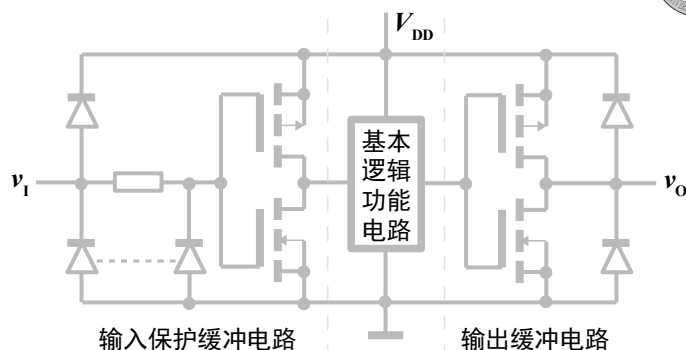
$$v_{GSP} > |V_{TP}|, T_P \text{ 导通}$$

$$c. v_i = 1 \sim 4\text{ V}$$

$$T_N \text{ 导通}, T_P \text{ 导通}$$

$$v_o = v_i$$

26/ 51



CMOS 门电路在输入、输出端加了反相器作为缓冲电路，缓冲电路能统一参数，使不同内部逻辑集成逻辑门电路具有相同的输入和输出特性

应用者关键是掌握逻辑门电路输入与输出电路结构



输入保护电路和缓冲电路

(1) 输入端保护电路

CMOS 门电路输入端是 MOS 管的栅极，栅极与沟道之间的 SiO_2 层很薄，极易击穿，因此，加保护电路

当输入电压不在正常电压范围时，二极管导通，限制了

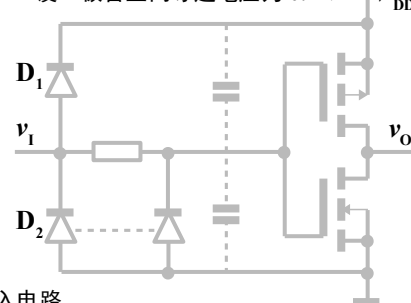
电容两端电压的增加，保护了输入电路

(1) $-0.7\text{ V} < v_1 < V_{\text{DD}} + 0.7\text{ V}$ ，允许输入电压范围， D_1, D_2 截止

(2) $v_1 > V_{\text{DD}} + 0.7\text{ V}$ ， D_1 导通， D_2 截止， $v_1 = V_{\text{DD}} + 0.7\text{ V}$

(3) $v_1 < -0.7\text{ V}$ ， D_1 截止， D_2 导通， $v_1 = -0.7\text{ V}$

设二极管正向导通电压为 0.7 V

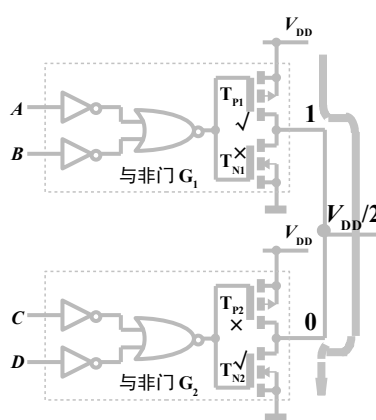


3.3.2 CMOS 漏极开路 (OD) 门和三态输出电路



CMOS 漏极开路门

普通 CMOS 门电路输出短接，在一定情况下会产生低阻通路，大电流有可能导致器件的损毁，并且无法确定输出是高电平还是低电平。

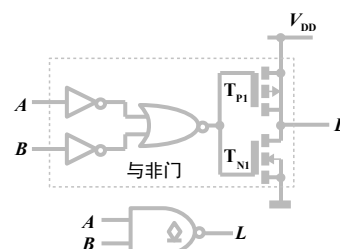


3.3.2 CMOS 漏极开路 (OD) 门和三态输出电路



CMOS 漏极开路门

(1) 漏极开路门的结构与逻辑符号

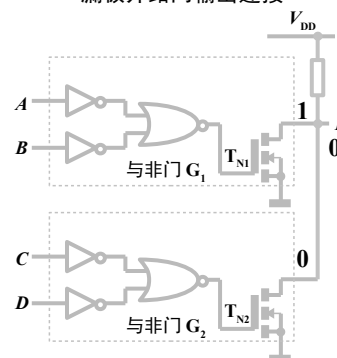


(a) 工作时必须外接电源和电阻

(b) 与非逻辑不变

(c) 可以实现线与与功能

漏极开路门输出连接



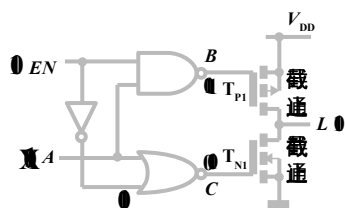
$$L = AB \cdot CD \\ = AB + CD$$

3.3.2 CMOS 漏极开路 (OD) 门和三态输出电路



三态 (TSL) 输出电路

三态门有 3 种输出状态：输出高电平、输出低电平、高阻状态



逻辑功能：
高电平有效的同相逻辑门



使能 EN	输入 A	输出 L
1	0	0
1	1	1
0	×	高阻

3.8 门电路使用中的几个实际问题



驱动器件的输出与负载器件的输入的高低电平噪声容限：

驱动门输出电平不利时，负载门输入电平能容忍叠加的噪声幅度范围

负载门输入 V_{IH} 时噪声容限 V_{NH} ：

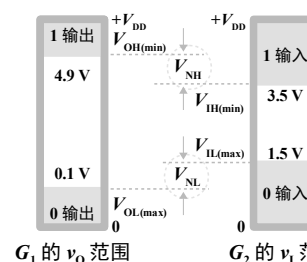
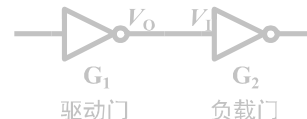
驱动门输出高电平下限时允许叠加的负向最大噪声电压值

$$V_{\text{NH}} = V_{\text{OH}(\text{min})} - V_{\text{IH}(\text{min})} = 1.4\text{ V}$$

负载门输入 V_{IL} 时噪声容限 V_{NL} ：

驱动门输出低电平上限时允许叠加的正向最大噪声电压值

$$V_{\text{NL}} = V_{\text{IL}(\text{max})} - V_{\text{OL}(\text{max})} = 1.4\text{ V}$$



G_1 的 v_O 范围

G_2 的 v_I 范围

3.8.1 门电路之间接口问题

驱动器件与负载器件的输出、输入的电压与电流必须兼容

1) 逻辑门电路的电平兼容

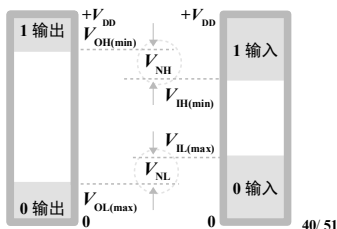
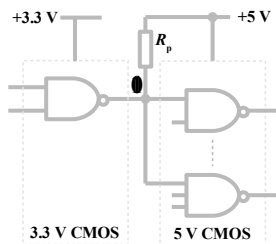
驱动器件输出电压与负载器件的输入电压须有噪声容限

驱动门输出高电平应满足：

$$V_{OH(min)} \geq V_{IH(min)}$$

驱动门输出低电平应满足：

$$V_{OL(max)} \leq V_{IL(max)}$$



3.8.1 门电路之间接口问题

2) 逻辑门电路的电流兼容：

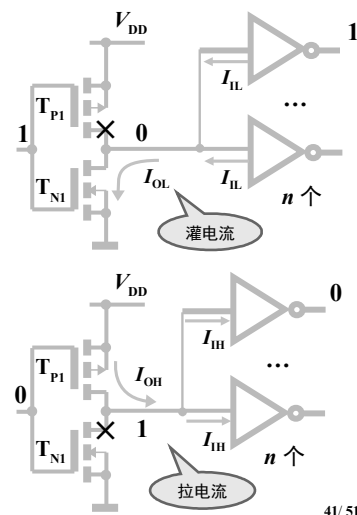
驱动器件须对负载器件提供足够大的灌电流或拉电流

灌电流情况应满足：

$$I_{OL(max)} \geq I_{IL(total)}$$

拉电流情况应满足：

$$I_{OH(max)} \geq I_{IH(total)}$$



3.8.1 门电路之间接口问题

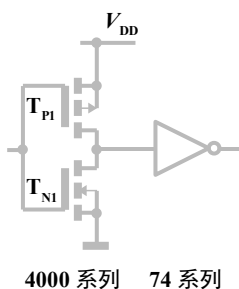
CMOS 门驱动 TTL 门示例

CMOS 门（4000 系列）： $V_{OH(min)} = 4.9V$ ， $V_{OL(max)} = 0.1V$
 $I_{OL(max)} = 0.51mA$ ， $I_{OH(max)} = 0.51mA$

TTL 门（74 系列）： $V_{IH(min)} = 2V$ ， $V_{IL(max)} = 0.8V$
 $I_{IH(max)} = 20\mu A$ ， $I_{IL(max)} = 0.4mA$

考虑 4000 系列 CMOS 门驱动 74 系列 TTL 反相门

$V_{OH(min)} \geq V_{IH(min)}$ ✓
 $V_{OL(max)} \leq V_{IL(max)}$ ✓
 $I_{OL(max)} \geq I_{IL(total)}$ ✓
 $I_{OH(max)} \geq I_{IH(total)}$ ✓



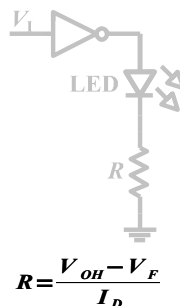
3.8.2 带负载时的接口电路

1. 用门电路直接驱动显示器件

用反相器驱动一发光二极管 LED，设 LED 的正向压降为 V_F ，工作电流为 I_D （不大于驱动门的最大拉电流 $I_{OH(max)}$ 或灌电流 $I_{OL(max)}$ ）。

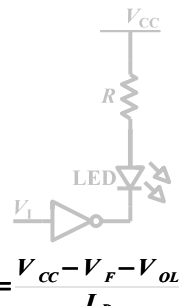
分两种情况讨论

(1) 门电路输出高电平



$$R = \frac{V_{OH} - V_F}{I_D}$$

(2) 门电路输出低电平



$$R = \frac{V_{CC} - V_F - V_{OL}}{I_D}$$

3.8.2 带负载时的接口电路

例 3.6.2 试用 74HC04 六个 CMOS 反相器中的一个作为接口电路，使门电路的输入为高电平时，LED 导通发光

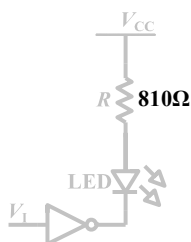
解：先确定电路接口形式

查 74HC04 数据手册 $V_{CC} = 5V$ 时， $V_{OL} = 0.33V$ ， $I_{OL(max)} = 4mA$

查 LED 导通压降 V_F 为 1.6V，但其工作电流 I_D 不能超过 $I_{OL(max)} = 4mA$

故限流电阻不能小于 $R = \frac{(5 - 1.6 - 0.33)V}{4mA} = 768(\Omega)$

如图可取 810Ω

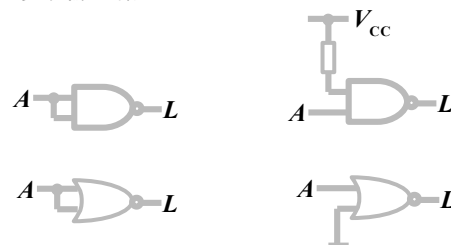


3.8.3 抗干扰措施

1. 多余输入端的处理

处理原则：保证输出逻辑关系正确，避免多余输入端悬空以防干扰

- ①. 与门和与非门多余输入端处理
- ②. 或门和或非门多余输入端处理



要考虑驱动门的扇出数

2. 去耦合滤波电容

一般电源是非理想的，存在一定内阻，数字电路在高、低状态之间交替变化时，可能会与电源产生相互影响，造成逻辑功能错乱

常采用去耦合滤波电容：

- ①. 在本电路板电源与地之间加一个 $10\sim 100\mu\text{F}$ 的大电容器
- ②. 各芯片的电源引脚附近 (越近越好) 与地之间加一个 $0.1\mu\text{F}$ 的电容器

