

# 数字电路与逻辑设计

## 第 5 章 锁存器与触发器

张江山

zhangjs@hust.edu.cn

信息工程系

1/42

## 5 锁存器和触发器

### 5.1 基本双稳态电路

#### 5.2 SR 锁存器

#### 5.3 D 锁存器

#### 5.4 触发器的电路结构和工作原理

#### 5.5 触发器的逻辑功能

#### 5.6 用 Verilog HDL 描述锁存器和触发器

2/42

## 教学要求

1. 了解 SR、D 锁存器的逻辑功能
2. 掌握 D、T、T'、JK、SR 触发器的功能及表示方法
3. 掌握触发器功能转换的方法
4. 理解锁存器、触发器的电路结构、工作原理和动态特性

3/42

## 5.1 基本双稳态电路 5.1.1 双稳态的概念

### 时序逻辑电路

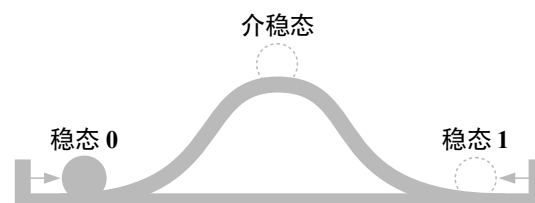
特征：时序逻辑电路有状态记忆功能，其输出不仅与当前的输入信号有关，而且与当前的电路状态有关。

结构：时序逻辑电路由组合逻辑和存储电路两部分组成。

存储电路：锁存器或触发器，是典型的双稳态电路。

### 双稳态的概念

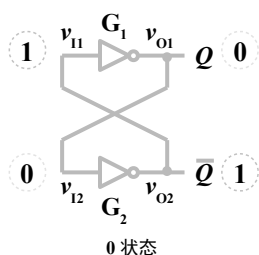
只有 0、1 两种稳定状态，在外部作用下，可从一个稳态变化到另一稳态。



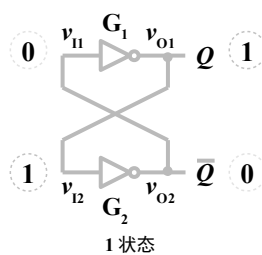
4/42

## 5.1.2 双稳态电路

### 电路结构与逻辑状态分析



0 状态



1 状态

在两种稳定状态中，输出  $Q$  和  $\bar{Q}$  总是互补的

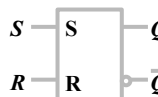
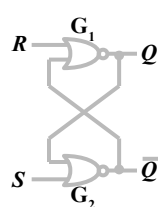
电路只存在两种可以长期保持的稳定状态，故称双稳态电路

电路具有记忆 1 位二进制数据的功能

5/42

## 5.2 SR 锁存器 5.2.1 基本 SR 锁存器

### SR 锁存器



逻辑符号

两个互补的输出端  $Q$  和  $\bar{Q}$

两个输入端  $R, S$

$R$ -Reset 为置 0 端（复位端）

$S$ -Set 为置 1 端（置位端）

现态：  $R, S$  信号作用前  $Q$  端的状态

现态用  $Q^n$  表示，可简写为  $Q$

次态：  $R, S$  信号作用后，  $Q$  端将要变为的状态

次态用  $Q^{n+1}$  表示

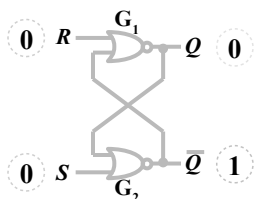
次态方程式：  $Q^{n+1} = R + Q$   $\bar{Q}^{n+1} = S + \bar{Q}$

6/42

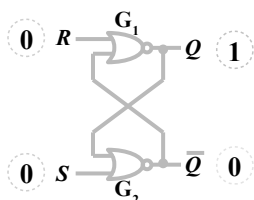
## 5.2.1 基本 SR 锁存器

### 工作原理

(1)  $R = 0, S = 0$



| 功能表 |     |     |           |    |  |
|-----|-----|-----|-----------|----|--|
| $Q$ | $R$ | $S$ | $Q^{n+1}$ | 功能 |  |
| 0   | 0   | 0   | 0         | 保持 |  |
| 1   | 0   | 0   | 1         |    |  |

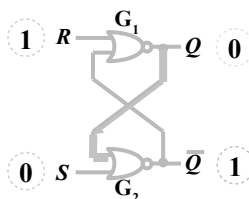


$R, S$  为无效信号, 状态保持不变

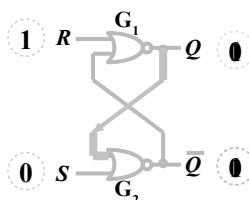
## 5.2.1 基本 SR 锁存器

### 工作原理

(2)  $R = 1, S = 0$



| 功能表 |     |     |           |     |  |
|-----|-----|-----|-----------|-----|--|
| $Q$ | $R$ | $S$ | $Q^{n+1}$ | 功能  |  |
| 0   | 0   | 0   | 0         | 保持  |  |
| 1   | 0   | 0   | 1         |     |  |
| 0   | 1   | 0   | 0         | 置 0 |  |
| 1   | 1   | 0   | 0         |     |  |



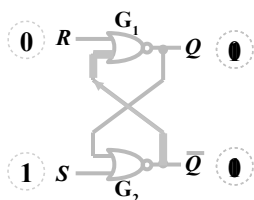
$R, S$  先后变为无效信号后, 状态不会变化

$R$  为有效信号, 置 0  
信号无效后, 记忆 0

## 5.2.1 基本 SR 锁存器

### 工作原理

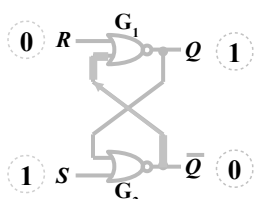
(3)  $R = 0, S = 1$



| 功能表 |     |     |           |     |  |
|-----|-----|-----|-----------|-----|--|
| $Q$ | $R$ | $S$ | $Q^{n+1}$ | 功能  |  |
| 0   | 0   | 0   | 0         | 保持  |  |
| 1   | 0   | 0   | 1         |     |  |
| 0   | 1   | 0   | 0         | 置 0 |  |
| 1   | 1   | 0   | 0         |     |  |
| 0   | 0   | 1   | 1         | 置 1 |  |
| 1   | 0   | 1   | 1         |     |  |

$R, S$  先后变为无效信号, 状态不会变化

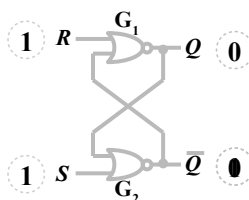
$S$  为有效信号, 置 1  
信号无效后, 记忆 1



## 5.2.1 基本 SR 锁存器

### 工作原理

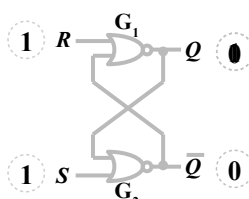
(4)  $R = 1, S = 1$



| 功能表 |     |     |           |     |  |
|-----|-----|-----|-----------|-----|--|
| $Q$ | $R$ | $S$ | $Q^{n+1}$ | 功能  |  |
| 0   | 0   | 0   | 0         | 保持  |  |
| 1   | 0   | 0   | 1         |     |  |
| 0   | 1   | 0   | 0         | 置 0 |  |
| 1   | 1   | 0   | 0         |     |  |
| 0   | 0   | 1   | 1         | 置 1 |  |
| 1   | 0   | 1   | 1         |     |  |
| 0   | 1   | 1   | ?         | 不允许 |  |
| 1   | 1   | 1   | ?         |     |  |

$R, S$  同时变为无效信号后, 状态不确定

不允许  $R, S$  同时为有效



## 5.2.1 基本 SR 锁存器

### 基本 SR 锁存器工作原理小结

不允许  $S, R$  同时为有效信号

输入信号约束条件:  $SR = 0$

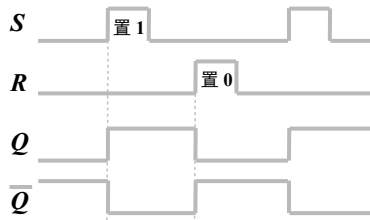
波形图如图

$S = 1$ , 置 1,  $S$  无效后仍为 1

$R = 1$ , 置 0,  $R$  无效后仍为 0

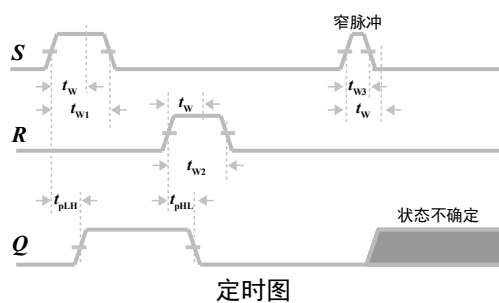
RS 锁存器功能表

| $R$ | $S$ | $Q^{n+1}$ | 功能说明 |
|-----|-----|-----------|------|
| 0   | 0   | $Q$       | 保持   |
| 1   | 0   | 0         | 置 0  |
| 0   | 1   | 1         | 置 1  |
| 1   | 1   | $d$       | 不定   |



## 5.2.1 基本 SR 锁存器

### 3. 基本 SR 锁存器的动态特性



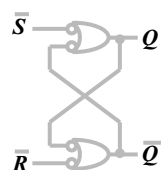
$t_{pLH}$  和  $t_{pHL}$  分别为输出由高到低和由低到高时, 相对于输入的延迟时间

脉冲宽度  $t_w$ : 若输入脉冲宽度  $< t_w$ , 会使输出状态不稳定

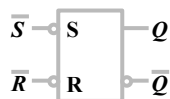
如  $t_{w3}$  为无效输入,  $t_{w1}$  和  $t_{w2}$  均为有效信号

## 5.2.1 基本 SR 锁存器

用与非门构成的基本 SR 锁存器



逻辑图



逻辑符号

$$AB = A + B$$

RS 锁存器功能表

| $\bar{R}$ | $\bar{S}$ | $Q^{n+1}$ | 功能说明 |
|-----------|-----------|-----------|------|
| 1         | 1         | $Q$       | 保持   |
| 0         | 1         | 0         | 置 0  |
| 1         | 0         | 1         | 置 1  |
| 0         | 0         | $d$       | 不定   |

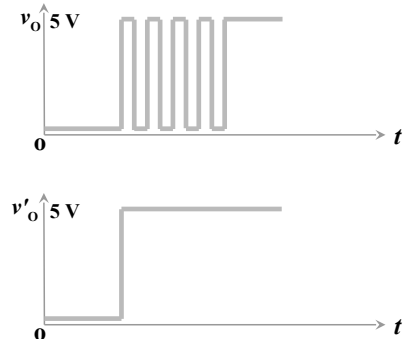
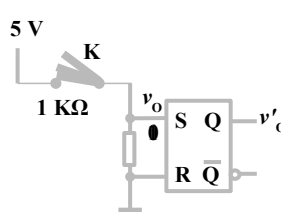
13/42

## 5.2.1 基本 SR 锁存器

利用基本 SR 锁存器消去机械开关的振动

机械开关 K 闭合时,  $v_o = 1$

但在若干 ms 内, 由于机械振动, 会使  $v_o$  时为 1, 时为 0。

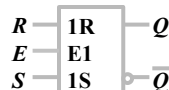
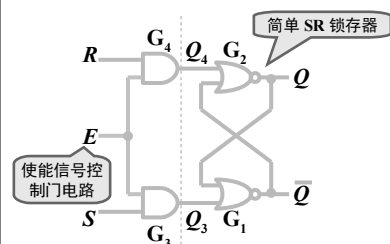


14/42

## 5.2.2 门控 SR 锁存器

逻辑门控 SR 锁存器

- 实际应用中, 一般要求锁存器按一定的时间节拍改变状态
- 通过使能信号  $E$  控制激励信号的作用, 由此设计了逻辑门控的 SR 锁存器



$E = 0$ ,  $G_3$  和  $G_4$  门被封,  $Q_3 = Q_4 = 0$ , 锁存器保持状态。

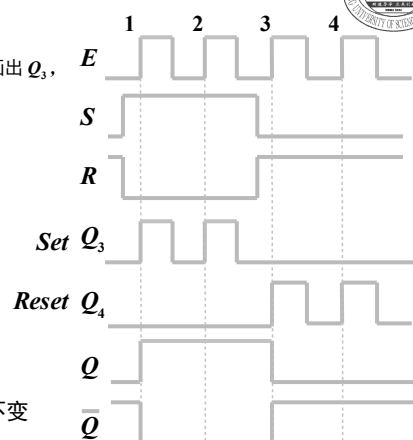
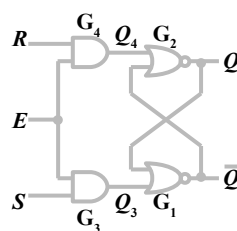
$E = 1$ ,  $G_3$  和  $G_4$  门打开,  $Q_3 = S$ ,  $Q_4 = R$ , 锁存器状态随  $R, S$  变化而变化。

15/42

## 5.2.2 门控 SR 锁存器

逻辑门控 SR 锁存器

例 5.2.3 门控 SR 锁存器, 初始  $Q = 0$ , 画出  $Q_3$ ,  $Q_4$  和  $Q$  的波形



解:  $E = 0$ ,  $Q_3 = Q_4 = 0$ , 状态不变

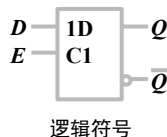
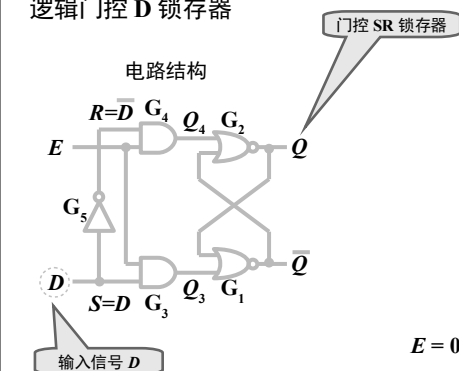
$E = 1$ ,  $Q_3 = S = 0$ ,  $Q_4 = R = 1$ ,  $Q = 0$

$E = 1$ ,  $Q_3 = S = 1$ ,  $Q_4 = R = 0$ ,  $Q = 1$

16/42

## 5.3 D 锁存器 5.3.1 D 锁存器的电路结构

逻辑门控 D 锁存器



D 锁存器无约束条件  
逻辑功能: 置 0, 置 1

$E = 0$ ,  $Q_3 = Q_4 = 0$ , 状态不变

$E = 1$ ,  $D = 0$ ,  $S = 0$ ,  $R = 1$ ,  $Q = 0$

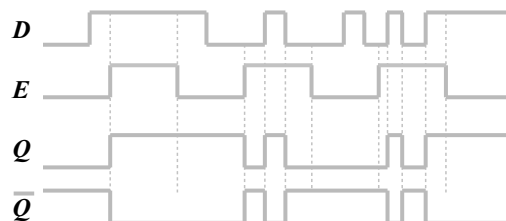
$E = 1$ ,  $D = 1$ ,  $S = 1$ ,  $R = 0$ ,  $Q = 1$

$E = 1$ ,  $Q = D$

17/42

## 5.3.1 D 锁存器的电路结构

例 5.3.1 D 锁存器的  $E$  和  $D$  的波形如下图所示, 锁存器的原始状态为  $Q = 0$ , 试画出  $Q$  和  $Q$  的波形



$E = 0$ , 状态不变

$E = 1$ ,  $Q = D$

19/42

### 5.3.2 典型的 D 锁存器集成电路

#### 74HC/HCT373 八 D 锁存器

核心电路是 8 个 D 锁存器

$LE = 1, xQ' = xD$

各 D 锁存器输出都带三态门

$\overline{OE} = 1$ , 输出高阻;

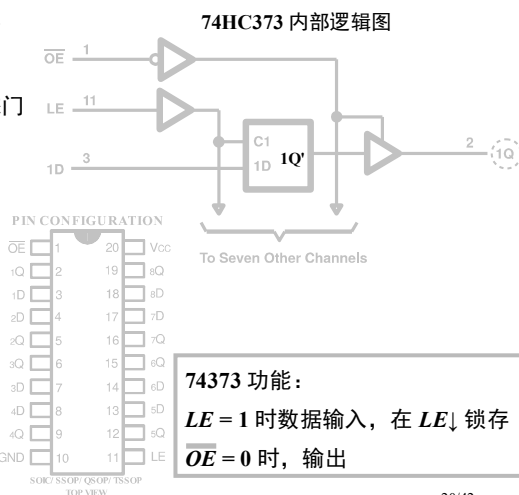
$\overline{OE} = 0, xQ = xQ'$

FUNCTION TABLE  
(each latch)

| INPUTS          |      |      | OUTPUT |
|-----------------|------|------|--------|
| $\overline{OE}$ | $LE$ | $xD$ | $xQ$   |
| L               | H    | H    | H      |
| L               | H    | L    | L      |
| L               | L    | X    | $Q^*$  |
| H               | X    | X    | Z      |

NOTES:  
 $Q^*$ : Output level before the indicated steady-state input conditions were established

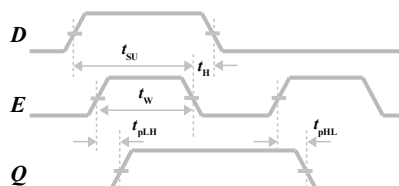
电子信息与通信学院  
SCHOOL OF ELECTRONIC INFORMATION AND COMMUNICATIONS



20/42

### 5.3.3 D 锁存器的动态特性

动态特性: 描述各输入信号与输出响应信号之间的时间关系



建立时间  $t_{SU}$ : 在使能信号  $E$  失效前, 激励信号  $D$  的最小提前建立时间

保持时间  $t_H$ : 在使能信号  $E$  失效后, 激励信号  $D$  的最小需要保持时间

脉冲宽度  $t_W$ : 使能信号  $E$  的最小脉宽

传输延迟时间  $t_{PLH}$  和  $t_{PHL}$ : 满足置 1 和置 0 条件后, 输出端的最大响应时间

电子信息与通信学院  
SCHOOL OF ELECTRONIC INFORMATION AND COMMUNICATIONS

21/42

### 5.4 触发器的电路结构和工作原理

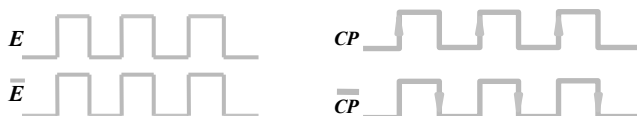
#### 锁存器与触发器

共同点: 具有 0 和 1 两个稳定状态, 一个锁存器或触发器能保存一位码

不同点:

锁存器: 电平敏感, 状态变化由特定电平使能

触发器: 脉冲沿敏感, 状态变化由脉冲有效沿使能



三种典型结构的触发器: 主从、维持阻塞和利用传输延迟触发器

电子信息与通信学院  
SCHOOL OF ELECTRONIC INFORMATION AND COMMUNICATIONS

22/42

#### 5.4.1 主从触发器

##### 工作原理

采用主、从两个锁存器

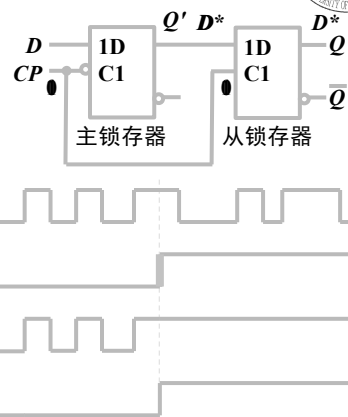
$CP = 0$ , 主锁存器使能

$Q' = D$ , 但  $Q$  不变

$CP = 1$ , 从锁存器使能

$Q = Q'$ , 但  $Q'$  不变了

此时的  $Q'$  是  $CP = \uparrow$  到来前的  $D$



结论:  $Q$  仅仅在  $CP$  信号  $\uparrow$  到达时变化,  $\uparrow$  到达前瞬间的  $D$  信号

电子信息与通信学院  
SCHOOL OF ELECTRONIC INFORMATION AND COMMUNICATIONS

23/42

#### 5.4.1 主从触发器

##### 工作原理

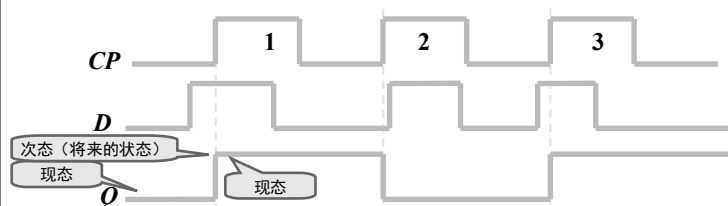
现态:  $Q^n(Q)$ , 当前的稳定状态,

次态:  $Q^{n+1}$ , 将来有效沿之后的稳定状态

D 触发器特性方程:  $Q^{n+1} = D$

状态变化发生在时钟有效沿到来之后

次态取决于时钟有效沿之前的激励信号  $D$



电子信息与通信学院  
SCHOOL OF ELECTRONIC INFORMATION AND COMMUNICATIONS

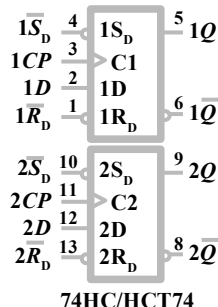
24/42

#### 5.4.2 典型集成电路

##### 典型集成电路

74HC74 双 D 触发器, 包含两个相互的 D 触发器

$C1, C2$  表示上升沿有效



74HC/HCT74

电子信息与通信学院  
SCHOOL OF ELECTRONIC INFORMATION AND COMMUNICATIONS

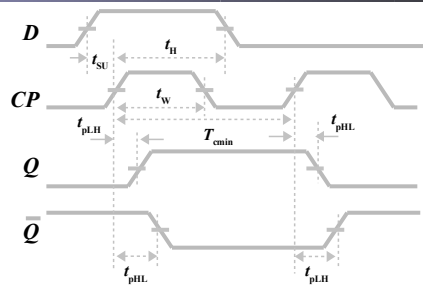
27/42

74HC/HCT74 的功能表

| 输 入   |       |            |          | 输 出       |           |
|-------|-------|------------|----------|-----------|-----------|
| $S_D$ | $R_D$ | $CP$       | $D$      | $Q$       | $Q$       |
| L     | H     | $\times$   | $\times$ | H         | L         |
| H     | L     | $\times$   | $\times$ | L         | H         |
| L     | L     | $\times$   | $\times$ | H         | H         |
| $S_D$ | $R_D$ | $CP$       | $D$      | $Q^{n+1}$ | $Q^{n+1}$ |
| H     | H     | $\uparrow$ | L        | L         | H         |
| H     | H     | $\uparrow$ | H        | H         | L         |

异步复位置位  
正常工作

### 5.4.3 触发器的动态特性



建立时间  $t_{SU}$ ：在时钟有效沿之前，建立激励信号  $D$  的最小提前时间

保持时间  $t_H$ ：在时钟有效沿之后，激励信号  $D$  的最小保留时间

脉冲宽度  $t_W$ ：时钟信号的最小脉宽

传输延迟时间  $t_{PLH}$  和  $t_{PHL}$ ：满足置 1 和置 0 条件后，状态输出的最大响应时间

最高触发频率： $f_{cmax} = \frac{1}{T_{cmin}}$

### 5.5 触发器的逻辑功能

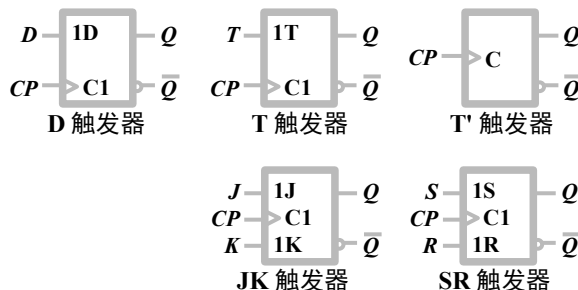
触发器逻辑功能：次态与现态、输入信号之间的逻辑关系

触发器的次态：不仅与输入信号有关，而且与状态有关

触发器逻辑功能描述方式：特性表、特性方程、状态图、波形图等

说明：逻辑功能与电路结构是不同概念

按照触发器逻辑功能，通常分为 D、T、T'、JK、SR 触发器



### 5.5 触发器的逻辑功能

D 触发器功能表

| $D$ | $Q^{n+1}$ | 功能  |
|-----|-----------|-----|
| 0   | 0         | 置 0 |
| 1   | 1         | 置 1 |

T 触发器功能表

| $T$ | $Q^{n+1}$ | 功能 |
|-----|-----------|----|
| 0   | $Q$       | 保持 |
| 1   | $\bar{Q}$ | 翻转 |

SR 触发器功能表

| $S$ | $R$ | $Q^{n+1}$ | 功能  |
|-----|-----|-----------|-----|
| 0   | 0   | $Q$       | 保持  |
| 0   | 1   | 0         | 置 0 |
| 1   | 0   | 1         | 置 1 |
| 1   | 1   | $d$       | 不定  |

JK 触发器功能表

| $J$ | $K$ | $Q^{n+1}$ | 功能  |
|-----|-----|-----------|-----|
| 0   | 0   | $Q$       | 保持  |
| 0   | 1   | 0         | 置 0 |
| 1   | 0   | 1         | 置 1 |
| 1   | 1   | $\bar{Q}$ | 翻转  |

#### 5.5.1 D 触发器

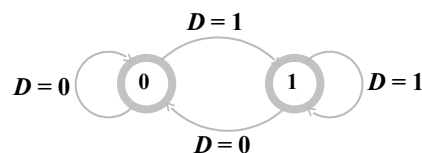
##### 1. 特性表

| $Q$ | $D$ | $Q^{n+1}$ |
|-----|-----|-----------|
| 0   | 0   | 0         |
| 0   | 1   | 1         |
| 1   | 0   | 0         |
| 1   | 1   | 1         |

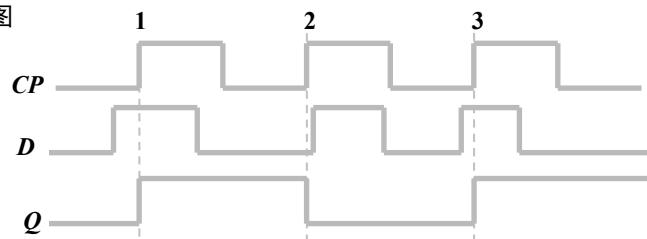
##### 2. 特性方程

$$Q^{n+1} = D$$

##### 3. 状态图



##### 4. 波形图



#### 5.5.2 JK 触发器

$J$ ：置 1 端

$K$ ：置 0 端

$J$  和  $K$  同时有效时，状态翻转

设  $J, K$  高电平有效

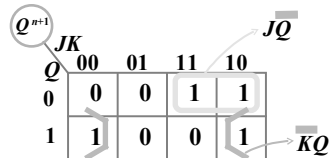
##### 1. 特性表

| $Q$ | $J$ | $K$ | $Q^{n+1}$ |
|-----|-----|-----|-----------|
| 0   | 0   | 0   | 0         |
| 0   | 0   | 1   | 0         |
| 0   | 1   | 0   | 1         |
| 0   | 1   | 1   | 1         |
| 1   | 0   | 0   | 1         |
| 1   | 0   | 1   | 0         |
| 1   | 1   | 0   | 1         |
| 1   | 1   | 1   | 0         |

功能说明

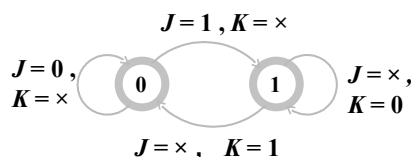
- 保持
- 置 0
- 置 1
- 翻转
- 保持
- 置 0
- 置 1
- 翻转

##### 2. 特性方程：特性表对应的卡诺图



$$Q^{n+1} = J\bar{Q} + KQ$$

##### 3. 状态图



#### 5.5.3 T 触发器

$T=0$ ，保持； $T=1$ ，翻转

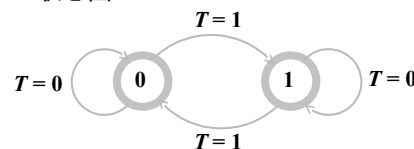
##### 2. 特性方程

$$Q^{n+1} = TQ + \bar{T}\bar{Q}$$

##### 1. 特性表

| $Q$ | $T$ | $Q^{n+1}$ |
|-----|-----|-----------|
| 0   | 0   | 0         |
| 0   | 1   | 1         |
| 1   | 0   | 1         |
| 1   | 1   | 0         |

##### 3. 状态图

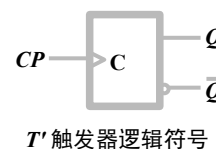


##### T' 触发器

即，T 触发器的 T 端固定接高电平

时钟脉冲作用一次，触发器翻转一次

$$Q^{n+1} = \bar{Q}$$



T' 触发器逻辑符号

## 5.5.4 SR 触发器

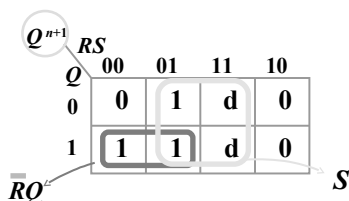
$S$ : 置 1 端,  $R$ : 置 0 端

不允许  $SR$  同时有效

设  $SR$  高电平有效

1. 特性表

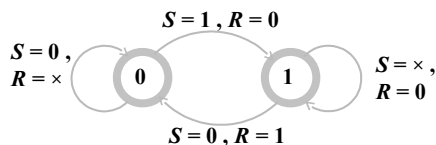
| $Q$ | $S$ | $R$ | $Q^{n+1}$ |
|-----|-----|-----|-----------|
| 0   | 0   | 0   | 0         |
| 0   | 0   | 1   | 0         |
| 0   | 1   | 0   | 1         |
| 0   | 1   | 1   | $d$       |
| 1   | 0   | 0   | 1         |
| 1   | 0   | 1   | 0         |
| 1   | 1   | 0   | 1         |
| 1   | 1   | 1   | $d$       |



特性方程:  $Q^{n+1} = S + RQ$

约束方程:  $R \cdot S = 0$

3. 状态图



## 5.5.5 D 触发器功能的转换

D 触发器构成 T 触发器

已有 D 触发器 (原触发器), 实现 T 触发器 (新触发器) 功能

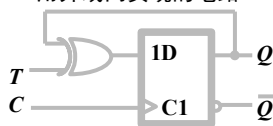
采用特性方程联立法

D 触发器特性方程:  $Q^{n+1} = D$

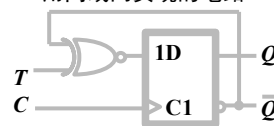
T 触发器特性方程:  $Q^{n+1} = TQ + \bar{T}\bar{Q}$

比较得:  $D = TQ + \bar{T}\bar{Q} = TQ + \bar{T}\bar{Q}$   
 $= T \oplus Q = T \odot Q$

用异或门实现的电路



用同或门实现的电路



## 5.5.5 D 触发器功能的转换

D 触发器构成 T' 触发器

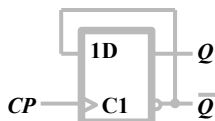
已有 D 触发器 (原触发器), 实现 T' 触发器 (新触发器) 功能

D 触发器特性方程:  $Q^{n+1} = D$

T' 触发器特性方程:  $Q^{n+1} = \bar{Q}$

比较得:  $D = \bar{Q}$

实现的电路



## 5.6 用 Verilog HDL 描述锁存器和触发器

Verilog 行为描述

initial 过程块: 描述仿真初始化的行为, 与电路逻辑综合无关

always 过程块: 描述敏感事件发生时, 电路一贯的行为过程

```
always @(敏感事件表)
begin
    定义过程块内的局部变量;
    过程赋值语句;
end
```

● 电平敏感事件

always @(EN, \_CR)

EN 或 \_CR 电平变化事件发生时, 电路一贯的行为过程

● 边沿敏感事件

always @(posedge CP, negedge \_CR)

CP 的上升沿或 \_CR 的下降沿到来事件发生时, 电路一贯的行为过程

## 5.6 用 Verilog HDL 描述锁存器和触发器

过程赋值语句

=: 阻塞赋值, 按序赋值

always @(posedge clk)

begin

x = d;

y = ~x; 实际语义为: x = d; y = ~d;

end

<=: 非阻塞赋值, 无序赋值

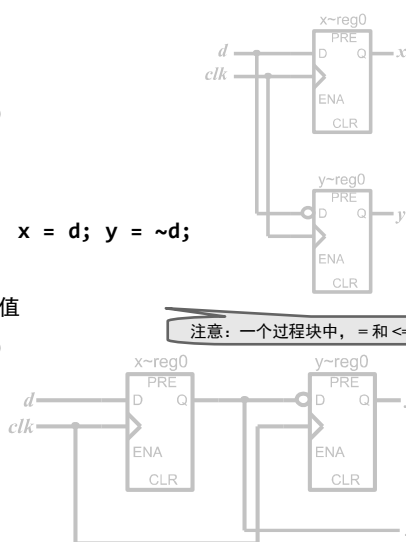
always @(posedge clk)

begin

x <= d;

y <= ~x;

end



## 5.6 用 Verilog HDL 描述锁存器和触发器

module D\_latch(output reg Q, input D, E); //D 锁存器

always @(E or D)

if (E) Q <= D; //Same as: if (E == 1)

endmodule

module DFF(output reg Q, input D, CP); //D 触发器

always @(posedge CP)

Q <= D;

endmodule



康华光教材 7 版

5.4.1

5.5.5

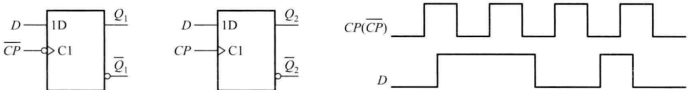
5.5.11

5.6.2

5.6.3

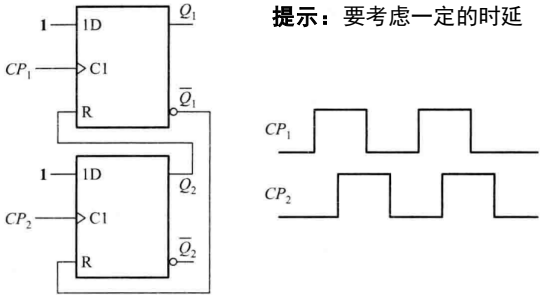


5.5.1 上升沿触发和下降沿触发的  $D$  触发器逻辑符号及时钟信号  $CP(CP)$  和输入信号  $D$  的波形如图题 5.5.1 所示。分别画出它们的  $Q$  端波形。设触发器的初始状态为 0。



图题 5.5.1

5.5.10 逻辑电路和输入信号波形如图题 5.5.10 所示，画出各触发器  $Q$  端的波形。触发器的初始状态均为 0。



提示：要考虑一定的时延

图题 5.5.10



- 5.5.11 试用  $T$  触发器和适当的组合逻辑实现  $D$  触发器的逻辑功能。  
5.6.2 试用行为建模方式描述一个下降沿触发的  $D$  触发器，要求具有异步置零功能，即置零信号变为低电平时，将触发器的输出置零。  
5.6.3 阅读下列两个程序，画出它们的逻辑图。

(1)

```
module DFF1 (Qa, Qb, D, CP);
  input D, CP;
  output Qa, Qb;
  reg Qa, Qb;
  always @ (posedge CP)
  begin
    Qa = D;
    Qb = Qa;
  end
endmodule
```

(2)

```
module DFF2 (Qa, Qb, D, CP);
  input D, CP;
  output Qa, Qb;
  reg Qa, Qb;
  always @ (posedge CP)
  begin
    Qa <= D;
    Qb <= Qa;
  end
endmodule
```