HDL

Produktivita- nie je potrebne manuálne vytvárať schémy IO

Návrh na vyššej úrovni abstrakcie- viac koncepčný prístup

Spojitosť medzi úrovňami- automatické prepojenie medzi RTL a hradovou úrovňou

Redukovaná potreba znalosti technológie

Nezávislosť od technológie- voľba technológie sa robí až po návrhu

Flexibilita- možnosť opätovného použitia

Nezávislosť od návrhového prostredia- opisný kód predstavuje štandard- normu

Simulácia na rôznych úrovniach kombinácia obvodových blokov navrhnutých na rôznych úrovniach

Zabudovaná podpora generovania testovacích vektorov- ATPG

Alternatívne architektúry –sériová, paralelná násobička

VHDL- very hifh speed IC Hardware Description Lang

Jeden jazyk pre simuláciu aj syntézu- dostupnosť modulov- VHDL jadrá sú voľne dostupné a prenášateľné

Použitie VHDL modelov- hierarchický návrh, automatizovaný návrh, opätovné použitie časti systému, metodologická a technologická nezávislosť

VHDL elementy:

Entita- definuje EXTERNÚ špecifikáciu obvodu alebo podobvodu. Predstavuje Rozhranie obvodu a opisuje obvod pomocou Vstupov a Výstupov- analógia k symbolu k schéme

Architekrúra- opisuje buď aktuálnu Funkciu alebo Štruktúru entity, s ktorou je viazaná – pre jednu entitu môže existovať niekoľko architektúr. Jedna entita môže mať viacero arch.

Každý VHDL súbor má vždy Aspoň jednu entitu a k nej prislúchajúcu aspoň jednu architektúru.!!

Package a package body – všeobecné deklarácie pre globálne použitie v rámci rôznych elementov. Deklaruje napr typ dát, konštanty, premenné, funkcie, aliasy, komponenty. Tento element je voliteľný, býva uložený v samostatnom VHDL súbore

Configuration- deklaruje zoznam časti obvodu, čiže ktoré architektúry sú viazané s ktorými entitami, čo dovoľuje ľahko meniť prepojenie jednotlivých časti obvodu pre účely simulácie.

Knižnica- obsahuje všetky skompilované elementy a súčasti návrhu. Všetky skompilované súbory a balíky sa ukladajú do knižníc. Skompilovaná VHDL entita je uložená v knižnici work. Work nie je názov adresára, ale logické meno, ktorému je potom pridelený určitý adresár na disku.

Testovací súbor- testBrench – simulácia a verifikovanie správnej funkcie obvodu, Je Nezávislý na type simulátora. Predstavuje Virtuálny test

Spracovanie výrazov- process- vo všeobecnosti je vykonávaný paralelne, kód obsiahnutý v procese Nie je vyhodnocovaný vždy, ale čaká na podmienky aktivácie.

Premené môžu byť deklarované iba v precesse, funkcii alebo procedúre! variable meno:datovy\_typ;

:= priradenie do premennej, <= priradenie do signal

TESTOVANIE- vyšetrovanie, či je IO v poriadku- prítomnosť defektov, dosiahnutie požadovaných špecifikácií- funkcia, parameter,.. Cieľ- kvalita, spľahlivosť Zlepšenie testovania zvyšuje výťažnosť(dobre/dobre+zlé)

Diagnostika- určenie príčiny zlyhania obvodu, určenie miesta poruchy obvodu

Spoľahlivosť-reliability- schopnosť vykonávať požadovanú funkciu(počas špecifikovaného časového úseku , za určitých prevádzkových podmienok) bezrozmerné číslo v rozsahu 0-1.

Z funkcie spoľahlivosti možno odvodiť MTBF- mean time between failures a intenzitu poruchy. Vzorce papier

Testovanie a diagnostika IO a systémov- periodické(vykonávanie v pravidelných intervaloch), priebežné( nepretržité sledovanie a vyhodnocovanie signálov). Odhalenie poruchy v obvode je realizované pomocou Testu. Z hľadiska opisu obvodov môžeme testy rozdeliť na kategorie: logický test, parametrický test

**Logický test**- sledovanie logických hodnôt signálov na výstupoch obvodu ako odozvu na určité vstupné log hodnoty- testovacie vektory. Z hľadiska prístupu ku generovaniu testov:

Funkčný test-obvod vyšetrený, či vykonáva Požadovanú funkciu(MSI ,VLSI obvody)

Úplne testy, náhodné a pseudonáhodné testy, vstavané testovanie

Štrukturálny test- testovaný obvod v poruchovom stave. Lokalizuje miesto poruchy, orientovaný výlučne na fyzikálne defekty. Vychádza zo štruktúry obvodu popísanej AND, OR,INV. Každé hradlo je osadené postupne všetkými poruchami a vytvorí testovací program na pokrytie všetkých porúch. Napr Metóda citlivých ciest, D-algr,...

+relatívna jednoduchosť, možnosť algoritmizácie s následným využitím výp techniky, rýchlosť, pokrytie vysokého počtu bežných porúch

-znemožnené úspešné detekovanie porúch, kt sa neprejavujú zmenou log úrovní v uzloch obvodu, v cmos io neúčinné niektoré modely porúch, nedetekovateľnosť porúch v redudantných častiach obvodu, problémy vyskytujúce sa pri vetvení signálovej cesty, zvačšovanie plochy čipu použitím prídavného hw(5-20%)

**Parametrický test** spočíva v meraní vybraných analogových elektrických a neelektr Parametrov-charakteristík obvodu. Používaný hlavne pri testovaní ANALOGOVÝCH obv., digitálne obvody(doplnková metóda)

Parametrické metódy- meranie vstupných napäťových úrovní, meranie nábežných a dob hrán signálov, testovanie šumovej imunity, meranie prúdovej spotreby obvodu, termálne testovanie=>odstráňuje nevýhody log testu – neschopnosť pokrytia určitých typov defektov(tzv, ťažko detekovaných) najmä v cmos io metóda monitorovania prúdovej spotreby detekuje napr skraty v hradlovom oxide, plávajúce hradlá a prerušenia.

Fyzik defekty, poruchy a modely porúch

Testovaná jednotka-objekt diagnostického procesu-log člen, obvod, doska, blok(jednotka), systém. Vykonáva tesovaná ejdnotka predpísanú funkciu??? Bezporuchový vs poruchový stav.

Pre číslicový systém poruchy z vnútorných príčin(nedok. ob elementov), vonkajších(prevádzka, aplikovanie). **Poruchy z vnútorných príčin**

**1, poruchy io a obv elementov** Poruchový stav –chybou návrhu, prítomnosťou fyzikálneho defektu

Chyby návrhu(vysoká prúd hustota- prehrievanie a vznik teplotných centier, parazitné elementy,..), defekty na čipe(poškriabania, nečistoty, nedokonalosť materiálu), defekty puzdrenia a kontaktovania(zmršťovanie materiálu puzdra oproti prepojovacím drtikom), nevhodná manipulácia(prierez tranzistorov elektrostat nábojom), prekračovanie technických podmienok

**2, poruchy spojov na doske** prerušenie kovového povlaku v otvore u viac- vrstvových dosiek(prerušenie vodivej cesty), vlasové prerušenia plošných spojov a nedokonalá zhodnosť obrazcov, nesprávne osadenie a pájkovanie

**Poruchy z vonkajších príčin:** nevhodným použitím obv. Elementov=>nedodržaním prevádzkových podmienok, nedostatočnou ochranou proti vonkajšiemu rušeniu.(dôsledok: zhoršenie statických a dynamických parametrov.)

**Zdroje vo vnútri systému:** kolísanie odberu logických členov z napájacieho zdroja, odrazy na spojoch medzi logickými členmi, presluchy medzi spojmi. Dodržanie aplikačných pravidiel(min vzdialenosti liniek,..), použitie napájacieho zdroja s malým vútorným odporom a napájacieo vedenia s malým vnút odporom

**Zdroje porúch mimo systému:** elektromagnetické rušenie, kolísanie sieťového napätia. Systém chránime správnym uzemnením, tienením, a stabilizáciou sieťového prívodu.

**Defekt:**je fyzikálna nedokonalosť samotnej technológie.

**Porucha:** je elektrický dôsledok prítomnosti defektu.

**Chyba:** je nezhoda medzi správnou a skutočnou hodnotou signálu na vyšetrovanom výstupe.

**Model poruchy:** obvodová reprezentácia poruchy, vyjadruje elektricky vzťah medzi poruchou a jej fyzikálnym zdrojom – defektom.

**Fyzikálne defekty MOStechnológie:**

Globálne(naviazané na výrobný proces) Lokálne(„spot defects“,fliačik,škvrna)

-Nehomogenity s substráte a na povrchu-nedostatočná kvalita materiálu, lokálne nečistoty materiálu, teplotné a mechanické namáhania(praskliny a poškrabania)

- povrchové primesy spôsobené nedostatočnou čistotou pomocou chem látok používaných v procese výrobi IO

- litografické defekty- mikroskopické „vzduchové miesta“ spôsobujúce chýbajúci alebo nadbytočný materiál(GOS)

**Klasifikácia porúch v CMOS IO**

**1.Trvalé poruchy(stuck at faults):**trvalé nastavenie logickej úrovne v uzle obvodu

**2.Premostenia,skraty(shorts):**elektrické spojenie dvoch alebo viacerých vodivých spojov. -horizontálne-nadbytočný vodivý/polovodivý materiál. Vertikálne-chýba izolačný materiál medzi dvomi vrstvami metalizácie. Hodnota odporu skratu sa pohybuje v rozpätí stoviek Ω až niekoľko kΩ. Premostenými uzlami preteká poruchový prúd.

**3.Prerušenia vodivej cesty(opens):**prerušenie kontinuity spoja.

Horizontálne-chýbajúci vodivý/polovodivý materiál spoja. Vertikálne-nadbytočný izolačný materiál v medzivrstvých kontaktoch. Správanie sa poruchy závisí od konkrétnej štruktúry defektu. Nesprávajú ako ideálne prerušenia s nekonečným odporom.

**4.Plávajúce hradlá(floating gates):**špeciálne prípady prerušenia vodivej cesty.

-Odpojenie hradla tranzistora od vodiča privádzajúceho riadiaci signál, Variabilné správanie, Neovplyvňujú funkciu obvodu=>Ťažko detekovateľné.

**5.Skraty v hradlovom oxide (gate oxide shorts)**(až **60%** všetkých defektov):

-vodivá cesta medzi polySi hradlom a pod SiO2 ležiacou oblasťou, spôsobené najmä nekvalitným SiO2. Znižujú spoľahlivosť=>Ťažko detekovateľné.

Skraty v oblasti prekrytia hradlo/drain, hradlo/source. Skraty v oblasti kanála.

**6.Oneskorenia(delay faults):**nežiadúce oneskorenia signálu (dynamická porucha).

-Oslabením logických úrovní, čo sa prejaví na dobe odozvy obvodu. Zmenou parametrov prenosovej cesty signálu(odpor,W/L,...)

Modely porúch

Trvalé poruchy-stuck at faults –trvalá 0-uzol s trvalým nastavením log0-skrat medzi NMOS a GND

Trvalá1- skrat medzi hradlovou elektródou PMOS a VDD

Vzniká v ktoromkoľvek uzle obvodu. Modelovane PRIPOJENÍM uzla na potenciál príslušnej log úrovne.

Premostenia(skraty) shorts- model skratu predstavuje rezistor Rs zapojený medzi príslušnými premostenými uzlami obvodu, hodnota odporu sa pohybuje v rozpätí stoviek omega az niekoľko kiloOmega, premostenými uzlami(pôvodne pripoenými na rozdielny potenciál) preteká poruchový prúd

Prerušenia-opens- modelované rezistorom Ro umiestneným v mieste prerušenia, nesprávajú sa ako ideálne prerušenia s nekon odporom, správanie sa poruchy závisí od kontrétnej štruktúry defektu, vplyvy parazitných a väzobných kapacít, účinky záverne polarizovaných PN

Plávajúce hradlá odpojenie hradla tranzistora od riadiaceho signálu, mdoel predstavujú väzobné kapacity Cmp a Cpb pre NMOS a Cmp a Cpw pre PMOS, Cmp kapacita medzi hlinikovým prívodom a polySi hradlom, Cpb(Cpw) kapacita medzi polySi hradlom a substrátom(jamou), variabilné správanie závislé od miery defektu.

Skraty v hradlovom oxide skrat medzi hradlom a pod SiO2 ležiacou oblasťou-GOS v oblasti prekrytia hradlo/drain resp hradlo/source, GOS v oblasti kanála

**Zostavenie testu** Prvotná a najdôležitejšia úloha-zostavenie testu, pre kombinačný obvod zredukovaný problém na generovanie testu.

**Test** pripojenie množiny logických hodnôt na primárne vystupy a následná analýza odoziev obvodu na primárnych výstupoch. Odozvy získané zo správne fungujúceho obv – bezporuchové výstupy.

**Vstupný testovací vektor**- množina log hodnôt pripojených na vstupy.

**Výstupný test vektor**- množina log odoziev na výstupoch obvodu.

**Testovacia postupnosť** sekvencia takýchto testovacích vektorov

**Krok testu** každá položka test postupnosti, kt pozostáva zo vstupných log hodnôt a im odpovedajúcich bezporuchových výstupov obvodu. Počet krokov testu- **dĺžka testu**.

Pokrytie porúch fault coverage –ukazovateľ účinnosti testu PP=DP/PP.

**Úplný test:** test dosahujúci 100% pokrytie sledovaných porúch (môže byť niekoľko)

**Minimálny test:** úplný test najmenšej dĺžky

**Triviálny t:** funkčný test pripojením postupnosti všetkých možných kombinácií logických hodnôt na vstupy obvodu. **Nevýhody**: extrémna dľžka testu(n vstupov, 2n krokov), iba pre obvody s malým počtom vstupov, pre obvody reálnej zložitosti nerealizovateľný, jediná **výhoda**: jednoduchosť (realizované čítačom)

Generovanie testovacích vektorov GTV – hlavná úloha log testovania číslicových IO, automatizované generovanie testovacích vektorov pom vyp techniky automatic test pattern generation ATPG.

Algoritmy generovania testov: **triviálny, náhodný, preudo- náhodnýá, deterministický.**

**Náhodný generator TV**: Náhodne generovaný test vector, kontrola pokrytia porúch a vymazanie pokrytých porúch zo zoznamu, koneic alebo na prvý krok.

Metódy generovania testovacích postupností- **heuristické a algoritmické metódy**.

**Metóda intuitívnej citlivej cesty**

Podstatou všetkých metód GTV- prenos poruchového signal z miesta vzniku poruchy na výstup obvodu. Vytvorením tzv. Citlivej cesty- hodnota pozorovaných výstupov je závislá len od stavu vyšetrovaného uzla.. Rozdiel medzi metódami je v Spôsobe hľadania citlivej cesty.

Najjednoduchšia a najznámejšia heuristická metóda. Nesystematický prístup. Nezaručuje nájdenie riešenia aj keď existuje. Opiera sa predovšetkým o skúsenosti pracovníka. Tam, kde je nutné generovať testy ručne. **Citlivá cesta:**prenáša zmeny logickej hodnoty zo svojho začiatku na svoj koniec.(prenášanie zmien log hodnôt z miesta vzniku poruchy na primárny výstup)

Postup nájdenia testovacieho vektora:1, opačný-log signáô na mieste poruchy

2,citlivá cesta z miesta poruchy na primárny výstup obvodu

3,logické signály na ostatných primárnych vstupoch

**Nedetekovateľné poruchy**

**Konfliktná situácia** na ten istý uzol súčasne kladené dve rozporné požiadavky

**TEST SEKVENČNÝCH OBVODOV**

Reálne obvody sú sekvenčné- pozostávajú z registrov a logiky , počet testovacích vektorov triviálneho testu je 2m+n, n počet vstupov, m počet pri registri. Výstup závisí aj od predchádzajúceho stavu.. Z hľadiska testovania vznikajú komplikácie- 1,najskôr zabezpečiť Počiatočný stav. 2,Vyhodnotenie výstupných odoziev obvodu na všetky kombinácie vstupov, kt v tomto prípade predstavujú všetky primárne vstupy a stavy pamäťových elementov 3,log hodnoty vstupnej sekvencie, ale aj k nim príslušné časové= údaje(aj malé časové rozdiely spôsobené prenosom signálu môžu zapríčiniť nežiaduce zmeny na výstupe obvodu)

-znemožnený prístup k určitým interným bodom obvodu

-neprejavuje sa vzniknutej poruchy na výstupe

-použitie asynchrónnych obvodov spôsobuje-ťažko rozpoznateľnú funkciu obvodu, problémy s časovaním obvodu, sťaženú možnosť inicializácie obvodu, snaha Obmedziť alebo Odstrániť ich použitie=> testovanie si vyžaduje individuálny prístup- stratégia je určená podľa štruktúry a stupňa zložitosti obvodu, východzím bodom je inicializácia- určený známy stav obvodu

**Testovateľnosť:** pokrytie porúch je považované za faktor zhodnotenia testovateľnosti obvodu. Pokrytie porúch nemôže byť postačujúce: neobsahuje žiadnu informáciu o zložitosti testu, pokrytie porúch je závislé od použitého zoznamu porúch. Meranie testovateľnosti by malo zhodnotiť kvalitu počiatočného návrhu obvodu z hľadiska jeho testovania- testovací program zostavený až po zmeraní testovateľnosti daného obvodu, 2 dôležité charakteristiky pri meraní testovateľnosti obvodu

**Riaditeľnosť** uzla v obvode je schopnosť **nastaviť tento uzol** na požadovanú logickú úroveň pomocou primárnych vstupov obvodu.

**Pozorovateľnosť** uzla v obvode je schopnosť pozorovať zmenu logickej hodnoty daného uzla na výstupe obvodu. Cieľom je dosiahnuť optimálny stupeň týchto 2 vlastností. Návrh pre testovateľnosť (**NPT-DFT**)- metodológia návrhu obvodov pre ich testovateľnosť.

**NAVRH PRE TESTOVATELNOST (NPT-DFT)-** je novy pristup k navrhu obvodu, eliminuje problemy s testovanim. Pri moderných IO je absolútne nevyhnutný(obmedzený počet primárnych vstupov, výstupov, zvýšená hustota integrácie,...)

**Metody NPT** – **Nesystematicke**(heuristicke, nahodne zasahy do obvodovej štruktúry za účelom zvýšenia prístupu k jednotlivým uzlom), **systematicke**(cielený návrh takej štruktúry obvodu, ktorá zabezpečí testovateľnosť obvodu)

**Pristupy k NPT** – ad hoc prístup, scan metódy, bist(samocinny vstavany test).

**Ad-hoc prístup** –nesystematické zásahy do štruktúry testovaného obvodu, zákl návrhové pravidlá

1)zabezpecit aspoň 1 riadiaci vstup - nastavenie. Počiatočného stavu,

2)vkladaním testovacích bodov zvýšiť riaditeľnosť a pozorovateľnosť uzlov.

3)zabezpečiť možnosť prerušenia spätných väzieb počas testovania

4počas testovania prerušiť zapojenie prípadného hodinového obvodu

5)rozdelenie veľkých sekvenčných obvodov na menšie

Počiatočné nastavenie(stav všetkých núl) uzlom x nie je priamo ovládateľné

Celkové množstvo možných vývodov fyzicky pripojených k testeru-ATE je obmedzený- obmedzenie je redukované pripojením multi a demultiplexorov.

Systematické metódy NPT- nevyhnutnosť systematickej metodiky návrhu obvodov, kt počíta s ich následným testovaním=> **možnosť prepínať obvod medzi funkčným a testovacím režimom**, v testovacom režime je štruktúra obvodu prispôsobená požiadavkám testu

Problematické vlastnosti sekv obvodu=>niektoré vstupy nie sú priamo riaditeľné, výstupy kombinačnej logiky nie sú priamo pozorovateľné, stavové premenné nie sú ani riaditeľné ani pozorovateľné. Je potrebné zabezpečiť: **úplnú testovateľnosť** obvodu s pridaním minimálneho počtu dodatočných V/V vývodov(riaditeľnosť a pozorovateľnosť všetkých vnútorných uzlov, hlavne stavových premenných)=>**systematický štruktúrovaný návrh obvodov** 1SCAN metódy 2Vstavané samočinné testovanie-bist

SCAN (treba zabezpecit uplnu testovatelnost vnut. uzlov a stav. prem.) su zalozene na dvoch predpokladoch tvoriacich tzv SISO princíp SCAN metód{(SISO princip): 1)štruktúra obvodu je taká, že pre testovacie účely je mozne oddelit kombin.logiku od registrov. 2)riaditeľnosť a pozorovateľnosť stav prem je dosiahnutá seriovym pristupom.}

Struktura SCAN: 1)Modifikácia obvodu si vyžaduje vloženie multiplexora pred vstup kazdeho pamt. elementu- vzniká tzv scan pamäťový element(scan DFF)

2, scan-in, scan-out(SISO) – 2 nevyhnutné dodatočné V/V vývody

3,pridaný riadiaci signál Test – prepína medzi 2 módmi

4) Scan chain(scan posuvny reg.)sériová cesta prístupu na prenos dát

**SISO prístup** Testovanie 2 rôznych štruktúr-testovanie klopných obvodov ako posuvného registra, tetsovanie komb logiky

**Testovací vektor vykoná**: 1)nastavenie obvodu do diagnostickeho rezimu, vloz. Požadovaných hodnot stavových premenných 2)prepnutie do pracovného režimu., aplikovanie hodnot z primárnych vstupov. Následne pomocou hodinového signálu zachytíme aktuálne výstupy komb. Logiky do pamäť. Elementov 3)posunutie obsahu všetkých prekl obvodov na scan-výstup, čí m je zabezpečená pozorovateľnosť stavových premenných a vnútorných uzlov na výstupoch obvodu.

ROZDELENIE SCAN METÓD DFT metódy návrhu štruktúry číslicových obvodov založené na SISO princípe- SCAN techniky NPT

SCAN meody- LSSD, Scan/Set systém, Scan systém s priamym prístupom, Hraničný scan(okrajový scan- boundry scan)

LSSD level sensitive scan design – najznámejšia a najpoužívanejšia scan technika DFT, štandardný prístup návrhu čísl obvodov pre vysokú testovateľosť, založená na niekolko predpokladoch-Williamsové pravidlá, Najdôležitejšie predpoklady(vlastn obvodov)1, obvod je úrovňovo citlivý 2,každý register môžeme konvertovať na sériový posuvný register

Základná bunka LSSD systému je Shift register latch-SRL, pridaný pomocný scan/set n-bit posuvný register

Scan systémy s priamym prísupom- RAS random scan Access- nepoužíva sériový posuvný register-paralelný prístup, všetky pamäťové elementy v obvode sú riaditeľné a pozorovateľné, vyšetruje stav tých KO, ktoré poskytujú užitočnú inf- ras je preto veľmi pružný a čas potrebný na aplikovanie TV je krátky naopak samotné generovanie TV zložitejšie

Boundry- hraničné testovanie –vyvinuté pre testovanie dosiel plošných spojov-PCB, neškôr používané pre komplexné číslicové systémy(multičipové aplikácie, zmiešané systémy, SoC systém on chip), hraničné signály obsahujú tzv hraničné bunky , umožnené prístupovať k vút signálov sériovou cestou

IEEE 1149.1 JTAG- boundry scanpre číslicové systémy-b scan bunka vložená medzi každý pin IO a internú logiku, vytvárajú sériový pos register, kt obsahuje hodnotu signálov na pinoch IO, bs zabezpečuje bezkontaktný prístup k interným uzlom obvodu

IEEE 1149.4 mixed signal test bus, rozšírenie pre zmiešané Č-A systémy, zabezpečuje prístup k hraničným signálom a umožňuje aplikovanie a prepojenie parametrického- externého testu analog časti a log testu číslicovej časti

SCAN metódy

+generovanie TV iba pre kombinačnú logiku, rozdelenie obvodu značne uľahčuje lokalizovanie možnej poruchy, jednoduchosť implementovania a možnosť zabudovania scan princípu do návrhových prostriedkov

-Prídavné V/V vývody obvodu a prídavné elementy si vyžadujú Nárast počtu obv komponentov, pinov, siete prepojovacích vodičov=> nežiaduce zvýšenie plochy čipu, princíp sériového nastavenia stavu pos registra a pozorovania odoziev obv celý systém Spomaľuje, návrhár je vo výrobe vhodej metódy obmedzený Úzkou škálou presne def scan štruktúr

VSTAVANÉ SAMOČINNÉ TESTOVANIE- BIST build in self test

Súčasné VLSI obvody-problémy s testovaním- extrémne vysoký pomer medzi počtom elementov/ počet pinov, vysoká hustota integrácie a rýchlosť, dlhé časy generovania a aplikovania testu, široký objem dát potrebný na uchovanie ATE, problémy s externým testovaním pom ATE na prac frekvencii, hradlová štruktúra a schéma návrhu neznáma-VHDL opis, nedostatok skúsených ing => BIST priamo na čipe s jediným riešením!!! Efktívna zníženie nákladov na testovanie POZRI SCHÉMU

Samočinné testovanie urci poruchovu jednotku, oprava si vyzaduje min cas a vedomosti o štruktúre systému .

Minimálny počet prídavných V/Vpinov, maximálny prístup iba pomocou dvoch prídavných V/V vývodov, pin privádzajúci riadiaci signál pre voľbu režimu obvodu, pass/fail výstup

Vstavane samocinne generatory testov generátor test vektorov pre BIST môže byť založený na-triviálny test, náh test a pseudo-náh test, deterministický test =>

vstavany generator TV, 1)ROM na cipe, uchovava TV generované softvérovo-externe , 2)binarne citace-trivialny test, 3)LFSR posuvny reg. z SV psuudo triv a pseudo náh test, 4)**LSFR + ROM** – velmi efektivny pristup, primárny test gen LFSR-náh test , ATPG generátor na nepokryté poruchy-deterministický test5)celulárne automaty-lepšia náhodnosť ako LFSR

. **Generovanie trivialneho testu(binarny citac)** – jednoduchost riesenia,GTV je realizpvané pripjením všetkých moýžných kombinácií vstupných hodnôt, sekvencny obvod postupne krokuje cez vsetky stavy, nie je potrebne ukladanie TV.napr Binárnz čítač ako generátor sekvencie TV **Lineárny spätnoväzbový reg. (LSFR**) –obvodovo menej náročné riešenie používa XOR zapojené v spätnej väzbe, počet rozdielnych stavov v obvode o n klopných obvodov je 2n, v stave všetkých núl, počet spätných väzieb by musel byť nulový bez ohľadu na počet skutočne fyz prepojení=>max dlzka sekvencie testu je 2n -1, funkcia LFSR sa vyjadruje Charakteristickým polynómom pre akykolvek dlhy posuvny reg. je max dlzka sekvencie zabezpec. nie viac ako 4-mi spatnymi vazbami – tri xor hradla. Generator nahodneho a pseudo-nahod testu-nahodne vybrane testovacie vektory dosiahnu prijatelne pokrytie poruch, nahodny test(nahodne cisla), pseudo-nahodny test(podmnozina vektorov nahodneho testu), LFSR(postupnosť je nepravidelná), generovana sekvencia vacsia ako pocet finalne pouzitych TV, nahodnost(rovnake pravdepodobnosti vyskytu 0 a 1), LFSR maximalnej dlzky sekvencie, najzávažnejšou otázkou níh testu- účinnosť, čiže efektívnosť pri pokrytí určitých porúch=>kombinácia náh a determin prístupu HYBRIDNÝ BIST

VYHODNOCOVANIE ODOZIEV PRE BIST :- je druhym dolezitym krokom samocinne testovatelnych obvodov, nevhodne bit-po-bite porovnavanie odoziev(neúnosné množstvo dát- vysoký počet výstupov z obvodu), najskor **kompakcia** vstupnych udajov obvodu a potom **porovnavanie**, zkompaktovana odozva sa nazyva signature-príznak (štatistická vlastnosť)

Strata inf pri kompresovaní:maskovanie chyby-error masking ak v tom isto čase vystupujú do XOR obvodu dva poruchové výstupné signályz obvodu- tieto chyby sa navzájom rušia- KOMPARÁTORY BEZ RUŠENIA

**Metody kompakcie a analyzy odoziev :**

-signature analysis(príznaková analýza), kontrola parity, pocitanie prechodov, pocitanie jednotiek

***->Priznakova analyza –*** najviac pouzivana metodou kompakcie dat v BIST-e, pri vyhodnocovani odoziev TO mame k dispozicii niekolko vystupov, z tychto vystupov ziskame **priznak**(statisticky parameter), zasadny rozdiel v porovnavani so scan- sériové data z jedného výstupu, pouzitie registra analyzy vystupnych odoziev obvodu: modulárny LFSR- veľký nárast plochy=> špeciálny register, ktorý multiplexuje jeden LFSR ku všetkým výstupom, obvod sa tiež často nazýva MISR multiple- input signature register –reciproký polynóm r-tého rádu, obsah MISR na konci celého testu dáva PRÍZNAK, ak je sekvencia odoziev TO kompaktovaná do príznaku, následe porovnanie a rozhodnutie o poruchovosti obvodu je už ľahko implementovateľlné

3.ARCHITEKTURA BIST :

*- BILBO –built in logic block observer>* pozostava z n zakladnych buniek, bunka obsahuje preklapaci obvod a pridavne hradla, **styri** rezimy funkcie KUKSLAJD 19 20

***-*** *STUMPS self test using MISR and parallel srsg-shift register sequence generator-pseudo random PG(LFSR)->* samocinne testovanie s pouzitim MISR a paralelneho SRSG

Riadiaca jednotka : prepinanie rezimu cinnosti, generovanie testovacich hodin, inicializácia obvodu, PRPG a MISR

*- Hybridny BIST ->* najskor sa aplikuju pseudonahodne vzorky(PRPG), potom deterministicke vzorky ulozene v ROM pamati

*- Memory BIST-MBIST ->* najpouzivanejsim algoritmom pamati je tzv march a jeho modifikacie, generator adries(obojstrané počítadlo),analyzátor(komparátor) riadiaca jednotka(stavový automat, ktorý riadi všetky bloky)

**Vyhody BIST** : vyrazne znizuje naklady na testovanie,redukovanie nakladov na GTV a poruchové simulácie, skrátenie trvania testu-paralelný prístup, zmiernenie nárokov na ATE, jednoduché prispôsobenie metódy k zmenám návrhu, implementovateľný aj v náročných obvodových štruktúrach, vhodný pre testovanie širokej škály obvodov

**Nevyhody BIST** : relativne zlozite architektury,pridavne V/V vyvody piny a plocha

Trendy vývoja- zmiešané obvody- číslicové, analógové a pamäťové bloky. Integrované špeciálne bloky- FPGA, flash, RF/mikrovlnné časti, MEMS-mikrosystémy, optické element

Testovanie zmiešaných obvodov- 1klasický externý spôsob- potreba SUPERTESTERU- tester číslic obvodov, analógových, tester pamäti,…, 2 generovanie TV, riadenie, vyhodnotenie => riešenie- vstavané testovanie jednotlivých blokov- úloha rozdelená na dve jednoduchšie- vstavaný test blokov, štandardný externý test