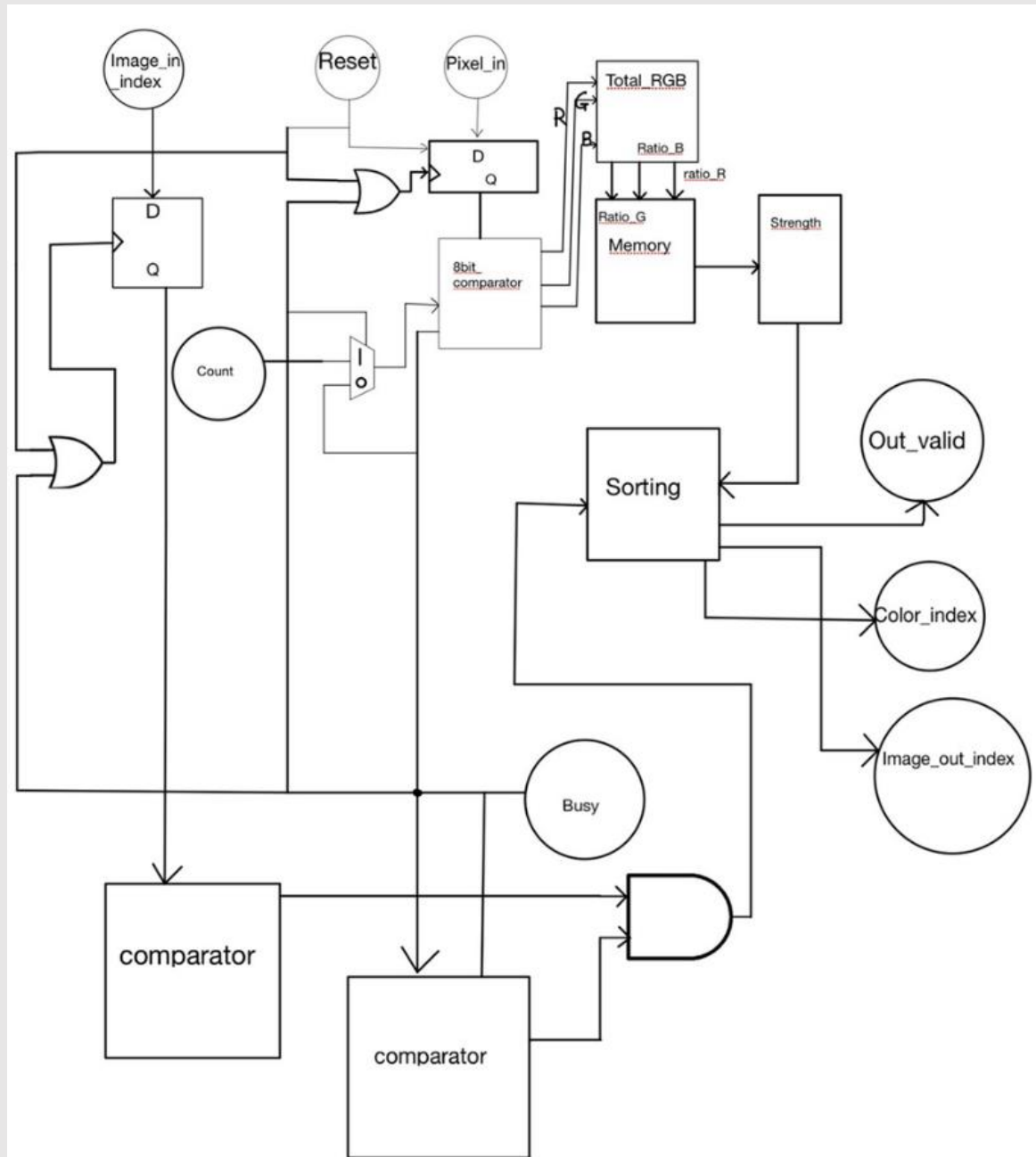


2. 設計架構

架構圖



架構說明:

一開始先把圖片存入,再來首先將圖片判斷 pixel 是屬於何種顏色,也即 pixel 值最多的顏色,再將判斷後 pixel 的數量及顏色的強度儲存,這邊是用比較器去判斷 pixel 何種顏色佔得比例比較多,也判斷該圖片是屬於何種顏色,也利用 count 去計算它所需的 clk 週期,去告訴工作器甚麼時候要工作,再利用加法器去分析圖片分別將各種顏色的強度計算出來,然後用除法器把圖片裡,去計算紅色綠色藍色分別的平均強度,而平均強度就是用佔有最多顏色的 pixel 的所有強度讓他去除 pixel 的數量。

3.設計所使用演算法& 介紹

利用排序電路依照圖片的顏色去排序,分別將各顏色的平均強度丟入排序電路在讀取一個圖片後,把 busy 準位升高,等到計算好強度,便會和 index 丟到排序電路,等到輸出訊號後,再把 busy 準位降低,以便讀取另一個圖片,memory 則是將三種顏色裡的強度分別給加起來再把它儲存,Mux 則是利用電路給的訊號去判斷要不要把 pixel 加起來,comparator 就是去看 pixel 值最多的是哪個顏色,再把結果輸出。

排序:將相鄰的兩個元素做比較・如果第二個元素比第一個元

素小的就將這兩個元素交換位置，將每一組相鄰的元素做一樣的動作直到開始交換的第一對一直到結束的最後一對元素，便會發現最後面的元素會是最大的，再將所有的元素做剛剛的動作一直重複這樣的動作到數列裡已經沒有任何數字需要交換。

4.合成參數

電路面積:

```
*****
Report : area
Design : ISE
Version: P-2019.03
Date   : Tue Jun 30 21:01:35 2020
*****

Warning: The set_dont_touch_network command is used for clock clk, for which no sources are specified. (UID-997)
Information: Updating design information... (UID-85)
Library(s) Used:

    slow (File: /mnt3/CBDK_IC_Contest_v2.1/SynopsysDC/db/slow.db)

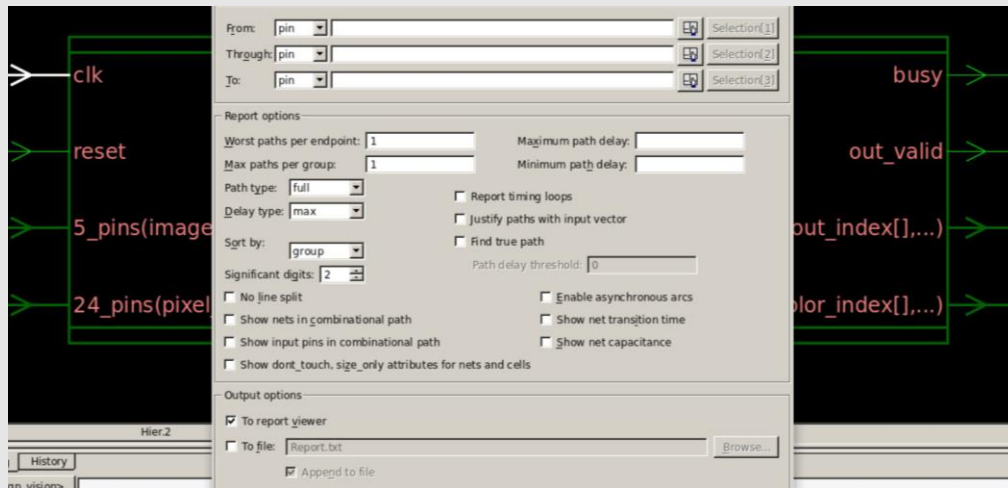
Number of ports:          998
Number of nets:          7456
Number of cells:         6025
Number of combinational cells: 4563
Number of sequential cells: 1562
Number of macros/black boxes: 0
Number of buf/inv:       771
Number of references:     5

Combinational area:      58546.409031
Buf/Inv area:            5414.165594
Noncombinational area:   68848.546446
Macro/Black Box area:    0.000000
Net Interconnect area:   undefined (No wire load specified)

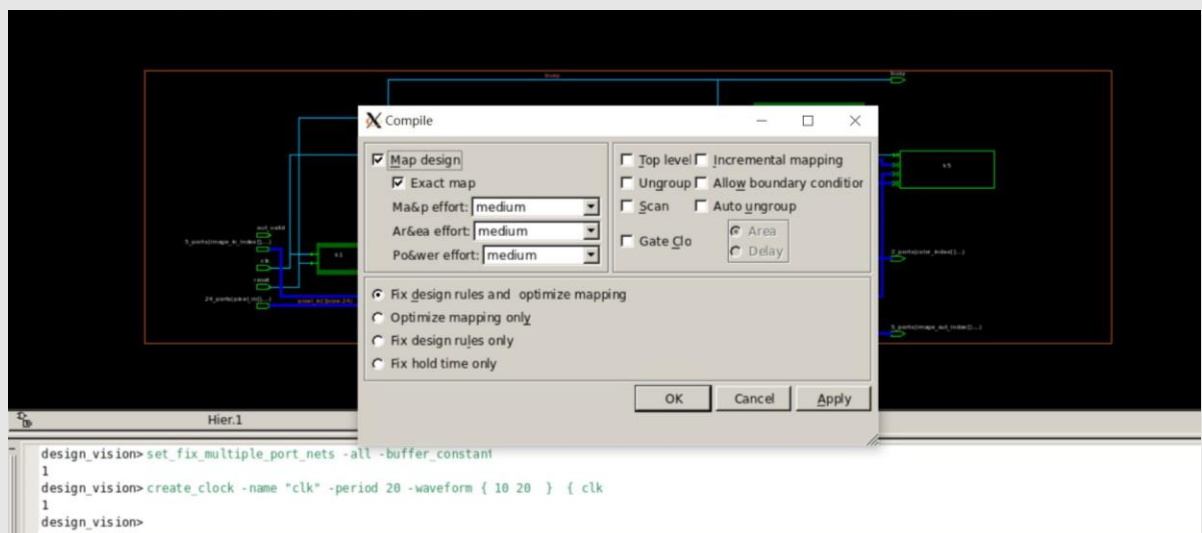
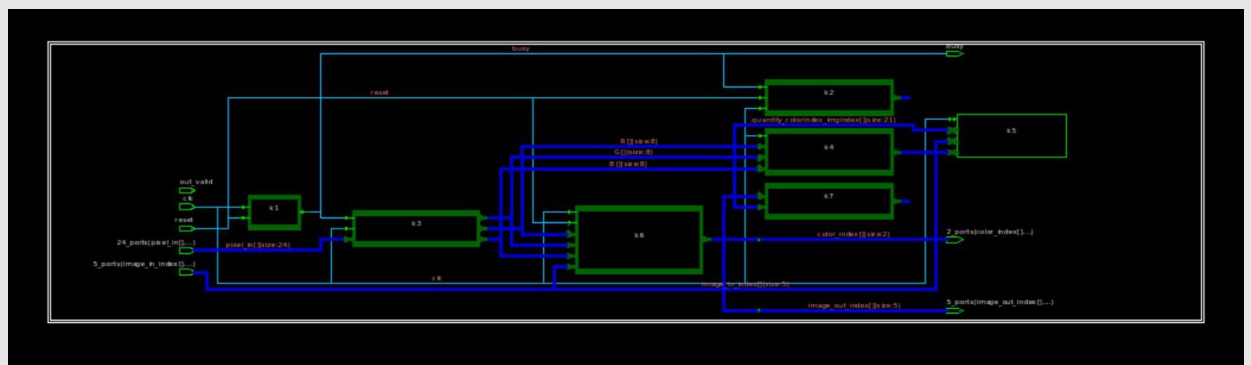
Total cell area:         117394.955477
Total area:              undefined
,

```

Gate count 大約為 23478



電路圖:



```
design_vision> set_fix_multiple_port_nets -all -buffer_constant
1
design_vision> create_clock -name "clk" -period 20 -waveform { 10 20 } { clk
1
design_vision>
```

功率

```
*****
Report : power
        -analysis_effort low
Design : ISE
Version: P-2019.03
Date   : Wed Jul 1 02:19:51 2020
*****

Library(s) Used:

    slow (File: /mnt3/CBDK_IC_Contest_v2.1/SynopsysDC/db/slow.db)

Operating Conditions: slow   Library: slow
Wire Load Model Mode: top

Global Operating Voltage = 1.08
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000pf
    Time Units = 1ns
    Dynamic Power Units = 1mW      (derived from V,C,T units)
    Leakage Power Units = 1pW

    Cell Internal Power   =    7.8777 uW    (84%)
    Net Switching Power   =   166.1846 uW    (16%)
    -----
    Total Dynamic Power   =   24.0623 mW    (100%)

    Cell Leakage Power    =    220.880 uW
```

Dynamic power:24.0623mW

Static power:220.88uW

Time:

Path type:Min

Startpoint: k1/n2/recount_counter_reg
(rising edge-triggered flip-flop clocked by clk)
Endpoint: k1/n2/recount_counter_reg
(rising edge-triggered flip-flop clocked by clk)
Path Group: clk
Path Type: min

| Point | Incr | Path |
|---------------------------------------|-------|---------|
| ----- | | |
| clock clk (rise edge) | 10.00 | 10.00 |
| clock network delay (ideal) | 0.00 | 10.00 |
| k1/n2/recount_counter_reg/CK (DFFQX1) | 0.00 | 10.00 r |
| k1/n2/recount_counter_reg/Q (DFFQX1) | 0.26 | 10.26 f |
| k1/n2/U19/Y (OAI21XL) | 0.11 | 10.36 r |
| k1/n2/U18/Y (NAND2X1) | 0.06 | 10.42 f |
| k1/n2/recount_counter_reg/D (DFFQX1) | 0.00 | 10.42 f |
| data arrival time | | 10.42 |
| | | |
| clock clk (rise edge) | 10.00 | 10.00 |
| clock network delay (ideal) | 0.00 | 10.00 |
| k1/n2/recount_counter_reg/CK (DFFQX1) | 0.00 | 10.00 r |
| library hold time | -0.06 | 9.94 |
| data required time | | 9.94 |
| ----- | | |
| data required time | | 9.94 |
| data arrival time | | -10.42 |
| ----- | | |
| slack (MET) | | 0.48 |

Data required time:9.94f

Data arrival time:-10.42f

Slack:0.48f

Time:

Path type:Max

| | | | | | | | |
|---------------------------------|---|----|----|----|-------|--------|----|
| | 0 | 10 | 20 | 30 | 40 | 50 | 60 |
| k4/M3/U48/Y (AO22X1) | | | | | 0.33 | 13.21 | f |
| k4/M3/U19/Y (OAI31XL) | | | | | 0.10 | 13.32 | r |
| k4/M3/U18/Y (CLKBUF3) | | | | | 0.25 | 13.57 | r |
| k4/M3/U9/Y (CLKINVX1) | | | | | 0.24 | 13.80 | f |
| k4/M3/U2/Y (OAI22XL) | | | | | 0.24 | 14.05 | r |
| k4/M3/out_a[7] (comparator_1) | | | | | 0.00 | 14.05 | r |
| k4/M4/a[7] (minicomparator) | | | | | 0.00 | 14.05 | r |
| k4/M4/U8/Y (CLKINVX1) | | | | | 0.12 | 14.17 | f |
| k4/M4/U27/Y (AND2X1) | | | | | 0.23 | 14.39 | f |
| k4/M4/U29/Y (OAI32X1) | | | | | 0.22 | 14.61 | r |
| k4/M4/U3/Y (CLKINVX1) | | | | | 0.08 | 14.69 | f |
| k4/M4/U31/Y (AO22X1) | | | | | 0.33 | 15.02 | f |
| k4/M4/U1/Y (OAI31XL) | | | | | 0.28 | 15.30 | r |
| k4/M4/U2/Y (CLKINVX1) | | | | | 0.22 | 15.52 | f |
| k4/M4/U7/Y (AO22X1) | | | | | 0.41 | 15.93 | f |
| k4/M4/out_b[0] (minicomparator) | | | | | 0.00 | 15.93 | f |
| k4/M5/q[0] (assign_rgb) | | | | | 0.00 | 15.93 | f |
| k4/M5/U9/Y (XOR2X1) | | | | | 0.17 | 16.09 | f |
| k4/M5/U7/Y (NOR4X1) | | | | | 0.20 | 16.30 | r |
| k4/M5/U5/Y (AND2X2) | | | | | 0.16 | 16.45 | r |
| k4/M5/U3/Y (CLKINVX1) | | | | | 0.04 | 16.49 | f |
| k4/M5/t_reg[1]/RN (DFFTRX1) | | | | | 0.00 | 16.49 | f |
| data arrival time | | | | | | 16.49 | |
| ----- | | | | | | | |
| clock clk (rise edge) | | | | | 30.00 | 30.00 | |
| clock network delay (ideal) | | | | | 0.00 | 30.00 | |
| k4/M5/t_reg[1]/CK (DFFTRX1) | | | | | 0.00 | 30.00 | r |
| library setup time | | | | | -0.33 | 29.67 | |
| data required time | | | | | | 29.67 | |
| ----- | | | | | | | |
| data required time | | | | | | 29.67 | |
| data arrival time | | | | | | -16.49 | |
| ----- | | | | | | | |
| slack (MET) | | | | | | 13.17 | |

Data required time:29.67f

Data arrival time:-16.49f

Slack:13.17f

5.模擬結果(合成前後) / 是否通過驗證

合成步驟:將 setup 檔和要合成的電路放進同一個資料夾，用 dv 開

啟 design vision 並打開.v 檔，按 design ->compile design-

>Ok 。用 Design 裡的 report Area 和 report power 觀察電路的

面積和功率 Timing ->report timing path 可看最常路徑的

delay 。將合成好的電路儲存後打指令> write_sdf -version 1.0 -

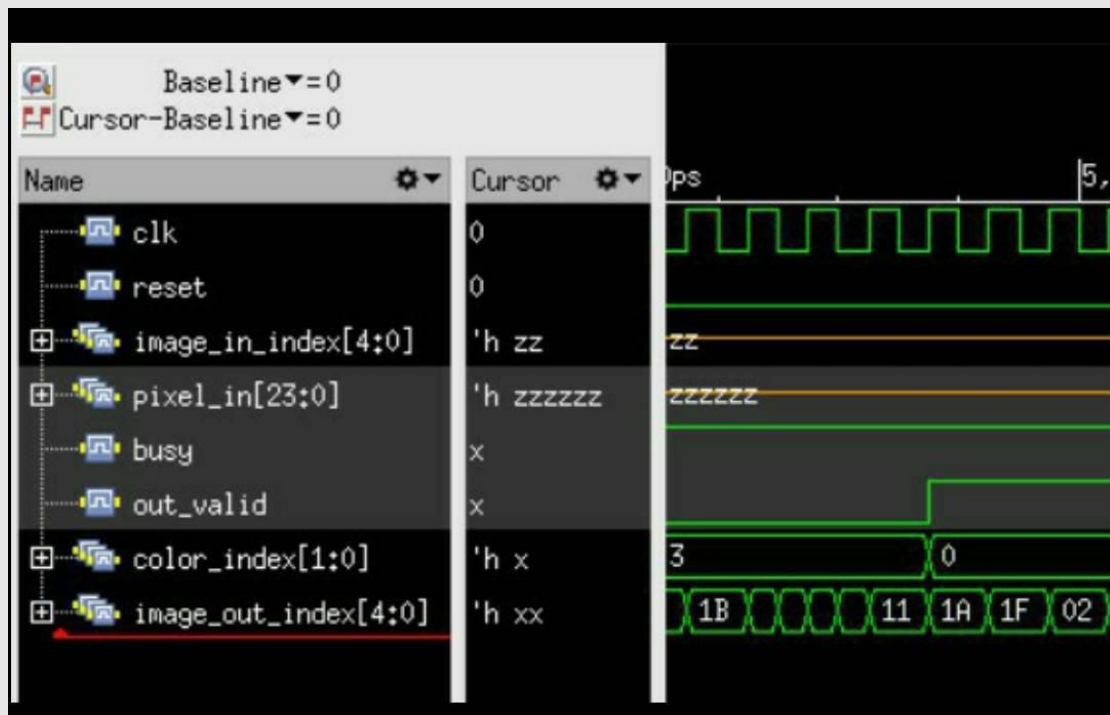
context Verilog 檔名.sdf 來產生 sdf 檔 將原本的 testbench 檔前面

加上 timescale

原本 include 改成合成後的檔名，加上

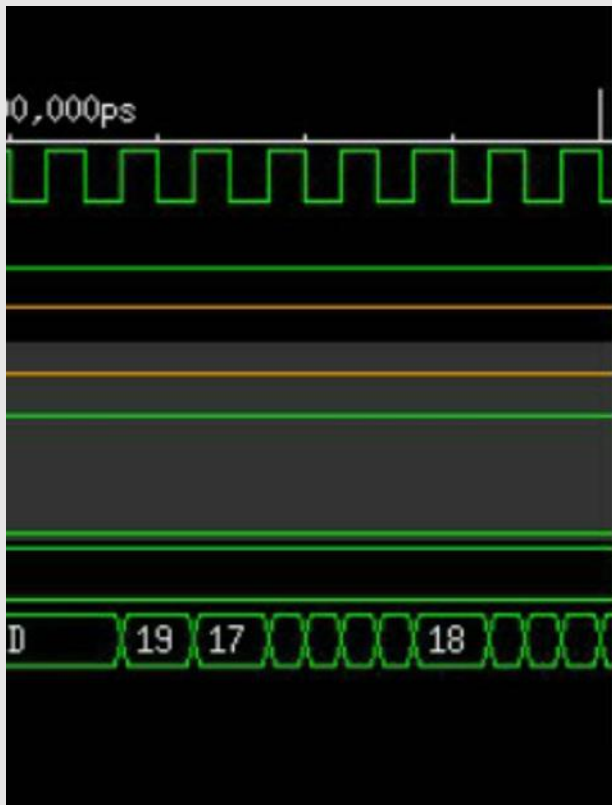
include "/mnt3/CBDK_IC_Context_v2.1/Verilog/tsmc13.v"

在原本 call module 的下一行加上\$sdf_annotate("ISE.sdf,模組名
子);



在 52000000ns 之後 Valid 開始輸出,因為之前的延遲是為了送資料進去排序所需的時間

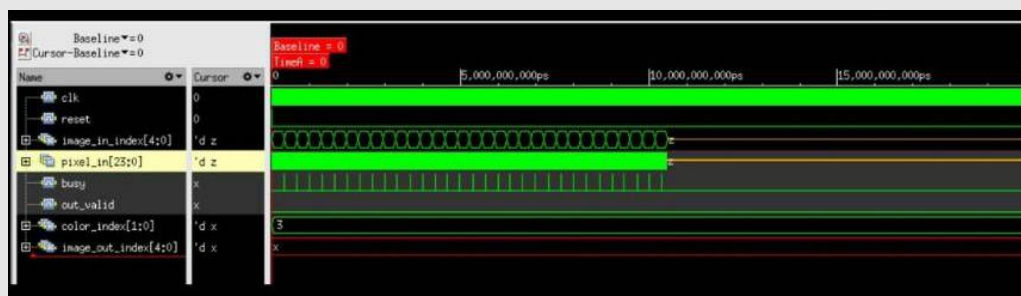
第二張圖:



但排到 19 之後

整個圖形都亂掉

可能是串列輸出沒有設定好所造成的



跑 fixture3 的時候整個城市輸出都是 high impedance, 應該是在一開始資料進入分成 RGB 後就開始錯誤

6.Summary

因為這次的程式我們在上禮拜已完成 90%,但是那時候出現波型錯誤,我們便想著如何改善,雖然最後波型少了點錯誤,然而仍是存在一點錯誤,這是相當可惜的,不過至少我們有完成所有的程式,原因可能是因為在排序時我們選的是讓他們一起輸出這個選項,但是題目要求是利用暫存器一個一個輸出,才導致波型出現小錯誤



(排序驗證是對的)

