硬件后续实现示意图



目前完成的主要是FPGA侧和服务器侧的通信部分。

FPGA侧采用的是XGE模块，采用UDP包传输，不使用DPDK作为接收端时，也可以使用wireshark等抓包软件抓取，速度相对会比较慢。通道线速率为10Gb/s。

服务器侧采用的是DPDK技术，DPDK技术是intel等多家公司联合开发的开源项目，用于接收高速数据传输的程序设计。利用DPDK技术可以高吞吐，低误包地发送与接收FPGA侧的数据。

FPGA与服务器中间连接部分采用LC光纤线，FPGA需要相应的光模块，服务器需要相应的10Gbe网卡作为支持。

对于本毕业设计，目前实现的通信部分可以将较为复杂的矩阵求逆，或者是低复杂度的QR分解，PE接收机的系数计算这些虽然复杂度降低但是仍然有一部分计算量的操作利用C语言在服务器实现，FPGA上实现为系数带入后的矩阵运算则可以降低时延，提高吞吐。

并且作为FPGA侧和服务器侧高效低误的传输方案，已经实现的FPGA与服务器通信方案也可以灵活地运用与其他的项目中。在毕业设计的后续工作中，充当其中的重要模块。