

```
timescale 1ns / 1ps
////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
// Company:
// Engineer:
//
// Create Date: 10/10/2017 01:59:29 PM
// Design Name:
// Module Name: SegConvert
// Project Name:
// Target Devices:
// Tool Versions:
// Description:
//
// Dependencies:
//
// Revision:
// Revision 0.01 - File Created
// Additional Comments:
//
////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
```

```
module SegConvert(
    input N0,
    input N1,
    input N2,
    input N3,
    output A,
    output B,
    output C,
    output D,
    output E,
    output F,
    output G
);

    assign A = ~(~N0&~N1&~N2&~N3 | ~N0&~N1&N2&~N3 | ~N0&~N1&N2&N3 | ~N0&N1&~N2&N3 |
~N0&N1&N2&N3 |
        N0&~N1&~N2&~N3 | N0&~N1&~N2&N3 | N0&~N1&N2&~N3 | N0&N1&~N2&~N3 |
N0&N1&N2&~N3 |
        N0&N1&N2&N3 | ~N0&N1&N2&~N3);
    assign B = ~(~N0&~N1&~N2&~N3 | ~N0&~N1&~N2&N3 | ~N0&~N1&N2&~N3 | ~N0&~N1&N2&N3 |
~N0&N1&~N2&~N3 |
        ~N0&N1&N2&N3 | N0&~N1&~N2&~N3 | N0&~N1&~N2&N3 | N0&~N1&N2&~N3 |
N0&N1&~N2&N3);
    assign C = ~(~N0&~N1&~N2&~N3 | ~N0&~N1&~N2&N3 | ~N0&~N1&N2&N3 | ~N0&N1&~N2&~N3 |
```

```

N0&N1&~N2&N3 |
~N0&N1&N2&~N3 | ~N0&N1&N2&N3 | N0&~N1&~N2&~N3 | N0&~N1&~N2&N3 |
N0&~N1&N2&~N3 |
N0&~N1&N2&N3 | N0&N1&~N2&N3);
assign D = ~(~N0&~N1&~N2&~N3 | ~N0&~N1&N2&~N3 | ~N0&~N1&N2&N3 | ~N0&N1&~N2&N3 |
~N0&N1&N2&~N3 |
N0&~N1&~N2&~N3 | N0&~N1&N2&N3 | N0&N1&~N2&~N3 | N0&N1&~N2&N3 |
N0&N1&N2&~N3);
assign E = ~(~N0&~N1&~N2&~N3 | ~N0&~N1&N2&~N3 | ~N0&N1&N2&~N3 | N0&~N1&~N2&~N3 |
N0&~N1&N2&~N3 |
N0&~N1&N2&N3 | N0&N1&~N2&~N3 | N0&N1&~N2&N3 | N0&N1&N2&~N3 |
N0&N1&N2&N3);
assign F = ~(~N0&~N1&~N2&~N3 | ~N0&N1&~N2&~N3 | ~N0&N1&~N2&N3 | ~N0&N1&N2&~N3 |
N0&~N1&~N2&~N3 |
N0&~N1&~N2&N3 | N0&~N1&N2&~N3 | N0&~N1&N2&N3 | N0&N1&~N2&~N3 |
N0&N1&N2&~N3 |
N0&N1&N2&N3);
assign G = ~(~N0&~N1&N2&~N3 | ~N0&~N1&N2&N3 | ~N0&N1&~N2&~N3 | ~N0&N1&~N2&N3 |
~N0&N1&N2&~N3 |
N0&~N1&~N2&~N3 | N0&~N1&~N2&N3 | N0&~N1&N2&~N3 | N0&~N1&N2&N3 |
N0&N1&~N2&N3 |
N0&N1&N2&~N3 | N0&N1&N2&N3);

endmodule

```