

Facultad de Ingeniería - UNLP
E0301 – Introducción a los Sistemas Lógicos y Digitales
Curso 2021- Trabajo entregable Nro 2

Lineamientos generales- Se sugiere realizar la entrega en un único archivo (preferiblemente en formato PDF). Si se incluyen fotos de lo resuelto en papel, procurar que las mismas estén en foco y con buen contraste de modo de simplificar el proceso de corrección.

Evaluación- La tarea será evaluada y los alumnos deberán defender el trabajo realizado en la fecha designada por la cátedra (la cual se informará con anticipación).

Cronómetro

Un cronómetro es básicamente un contador, el cual cuando se oprime un botón (INICIO / PARADA) inicia o detiene su cuenta, y cuando se oprime otro botón (RESET), produce que el contador vuelva a cero.

El contador incrementará su cuenta siguiendo a un reloj, si la frecuencia de reloj es de 1Hz, estaremos contando segundos, si es de 10 Hz, estaremos contando décimas de segundo. Esto proviene de la relación $f=1/T$ (la frecuencia es la inversa del período de la señal).

$$50 = 2, T = 0,2 \cdot 50 = 1$$

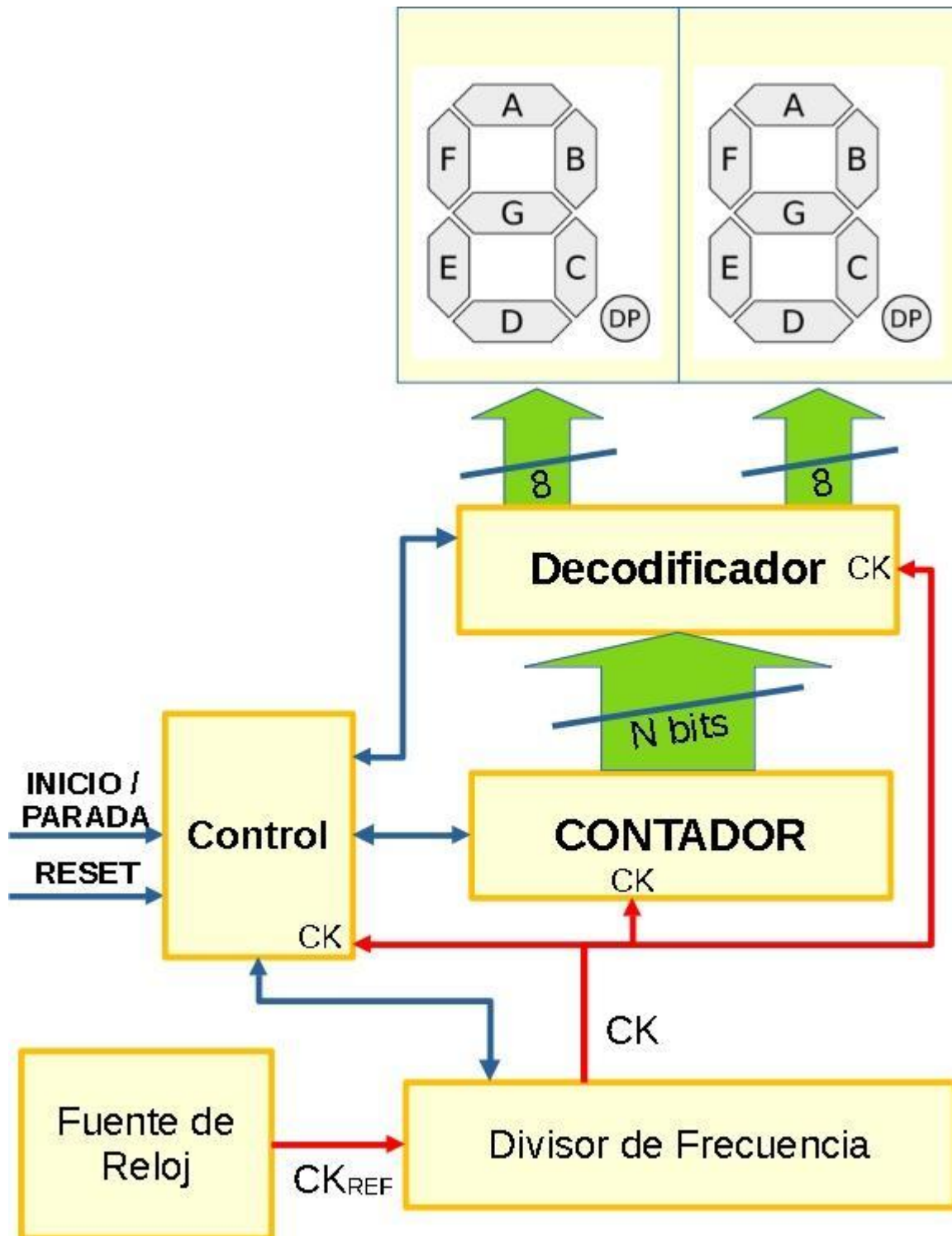
Si la frecuencia del reloj es mayor, debe **dividirse** para alcanzar los valores citados antes.

Además de contar ciclos de reloj el cronómetro tiene una unidad que presenta los resultados. es decir, que muestra el valor de la cuenta alcanzada. A tal fin una de las posibilidades es utilizar **indicadores de 7 segmentos**.

También tiene un bloque de control que administra el funcionamiento del sistema en función del estado en que se encuentra y de las entradas aplicadas al mismo.

Descripción de un Display de siete segmentos.

Los indicadores o Displays de 7 segmentos, son dispositivos relativamente simples, de bajo consumo y robustez lo que permite utilizarlos en diferentes aplicaciones. Pueden utilizarse para exhibir caracteres (letras y números). En la fig. 2 se muestra



un display de este tipo donde se observa que posee 7 segmentos LED (de ahí su nombre) los cuales pueden activarse individualmente utilizando una entrada para

Figura 1: Diagrama en bloques de un cronómetro

cada uno. Los segmentos se identifican con las letras A, B, C, D, E, F y G. También existe una entrada para encender un punto (DP).

Existen dos tipos de display: en los denominados “ánodo común” los LED de todos los segmentos comparten una conexión común a través del ánodo mientras que en los de “cátodo común” se comparten como conexión común el cátodo, en ese caso el punto (DP) también está conectado de la misma forma que se muestra en la Fig. 3.

En la Fig. 4 se muestra un ejemplo de cómo deben activarse los distintos segmentos para formar los dígitos del 0 al 9 y las letras de la A a la F con lo cual se puede representar cualquier dígito decimal o hexadecimal.

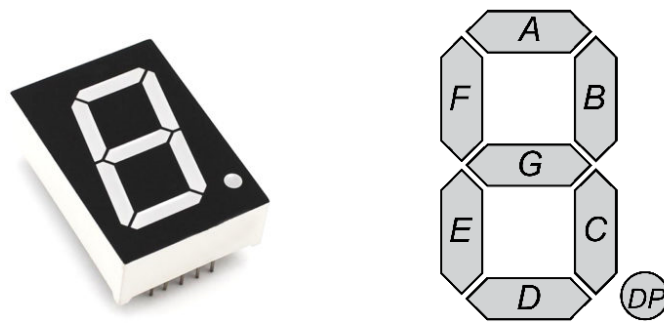


Figura 2: display de 7 segmentos (izq.), identificación de segmentos (der.)

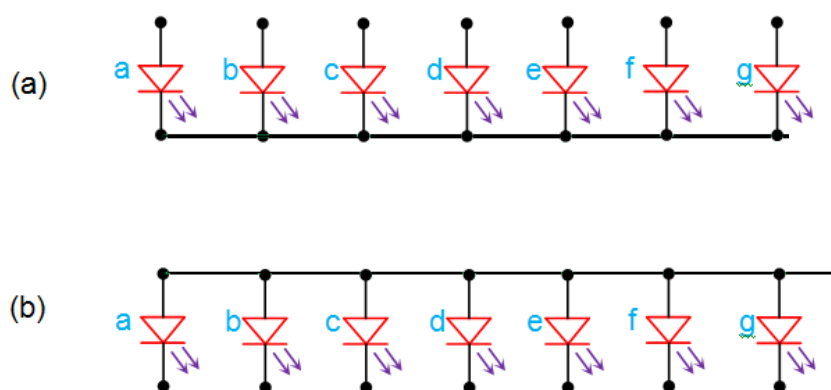


Figura 3: circuitos para “cátodo común” (a) y “ánodo común” (b).

En la mayoría de los casos, la corriente necesaria para iluminar cada segmento está comprendida entre 2 y 10 mA.

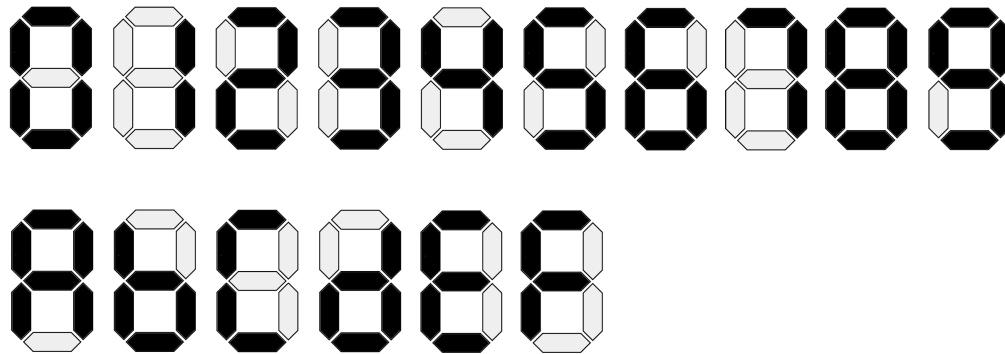


Figura 4: segmentos activados para cada dígito a representar.

Descripción del sistema a desarrollar

Debe diseñar un cronómetro con las siguientes características:

La fuente de reloj de referencia, está tomada de la línea de distribución eléctrica, que provee una frecuencia constante de 50Hz.

La resolución (mínimo valor representable) del cronómetro será de 1 segundo.

El valor máximo cronometrable será de 59 segundos.

La entrada **INICIO / PARADA** estará conectada a un pulsador y será activa en **BAJO**.

La entrada **RESET** estará conectada a otro pulsador y también será activa en **BAJO**

Cuando el cronómetro llegue a la cuenta máxima, sin que se haya activado la entrada **INICIO / PARADA** deberá mostrar el último valor (59) alternando una vez por segundo con el punto decimal, hasta que se oprima **INICIO / PARADA** o **RESET**.

Las entradas **INICIO / PARADA** y **RESET** deben activarse cuando el usuario las mantenga activadas al menos 10 ms.

Tareas a Realizar:

1. Dibuje el circuito para que cuando se opriman los pulsadores de **INICIO / PARADA** y **RESET**, produzcan un salida con valor BAJO.

2. Elija un display de 7 segmentos, ya sea con Ánodo común o Cátodo común,
 - a) Dibuje un esquema del circuito, incluyendo las resistencias limitadoras de corriente. Tenga en cuenta la corriente máxima que puede entregar la salida de una compuerta lógica (10 mA) .
 - b) Determine si el Display seleccionado se encenderá cuando sus entradas estén en BAJO o en ALTO.
3. Defina las interfaces de cada bloque.
 - a) Entradas y Salidas
 - b) Si es necesario incluir además información tal como si es activa en Bajo /Alto , cuánto tiempo debe estar activada para ser reconocida en el caso de las entradas, tiempo que va a mantener su valor en caso de las salidas.
4. Defina la funcionalidad detallada de cada bloque, esto incluye el funcionamiento interno, como reacciona a distintas combinaciones de entradas, si necesita la señal de reloj para actuar, etc.
5. Implemente los bloques por separado en Quartus y simule su funcionamiento. En la implementación puede hallar conveniente dividir a su vez el bloque en dos o más sub-bloques.
6. A partir del punto anterior genere nuevos componentes con cada bloque o sub-bloque
7. El diseño final deberá implementarse a partir de lo obtenido en 6. y simularse en Quartus.
8. Todas las etapas del diseño y ensayos deben presentarse en un informe. Pueden presentarse los archivos de simulación y testbench (archivos vwf) por separado, indicando claramente en el informe, cuales son los archivos utilizados para realizar cada simulación.
9. El informe deberá entregarse **antes del 4 de agosto** próximo, una vez presentado y aceptado, los integrantes del grupo deberán exponer frente a un docente el funcionamiento del dispositivo desarrollado.

Algunas “ayudas”

Si bien se pueden diseñar contadores que cuenten hasta un valor arbitrario, si por ejemplo quiero contar hasta 100, puedo hacer dos contadores hasta 10, y que cuando el primer contador, vuelve de 9 a 0, active que el segundo contador se incremente en 1, esto es como implementar un contador de unidades y otro de decenas. En este contexto, se llama **overflow** a la situación en la cual el contador alcanza su valor máximo y vuelve a 0.

Lo anterior puede generalizarse a otros valores. Si se quiere contar hasta N y $N = P \times Q$, puedo implementar un contador hasta P y otro hasta Q , y luego que el overflow del contador P , habilite el incremento del contador Q .

Un buen diseño digital no utiliza distintas frecuencias de reloj, ya que esto trae problemas de sincronización en sistemas grandes. En su lugar se utiliza el MISMO reloj para todo el sistema y se habilita el funcionamiento de los distintos bloques mediante divisores de frecuencia. Para eso Quartus provee FF con una entrada de ENABLE (dffe, jkffe, srffe, etc.).

Si se quiere habilitar/deshabilitar el paso de un grupo de señales, se puede utilizar una compuerta **AND** de dos entradas para cada línea: en una de las entradas se conecta la señal deseada y a la otra entrada se aplica un 1 o un 0 según queramos habilitar o deshabilitar el paso de la señal.

Si se quieren invertir los valores de un grupo de señales, se puede utilizar una compuerta **XOR** de dos entradas para cada línea: en una de las entradas se conecta la señal deseada y a la otra entrada se aplica un 1 o un 0 según queramos invertir o no la señal de entrada.

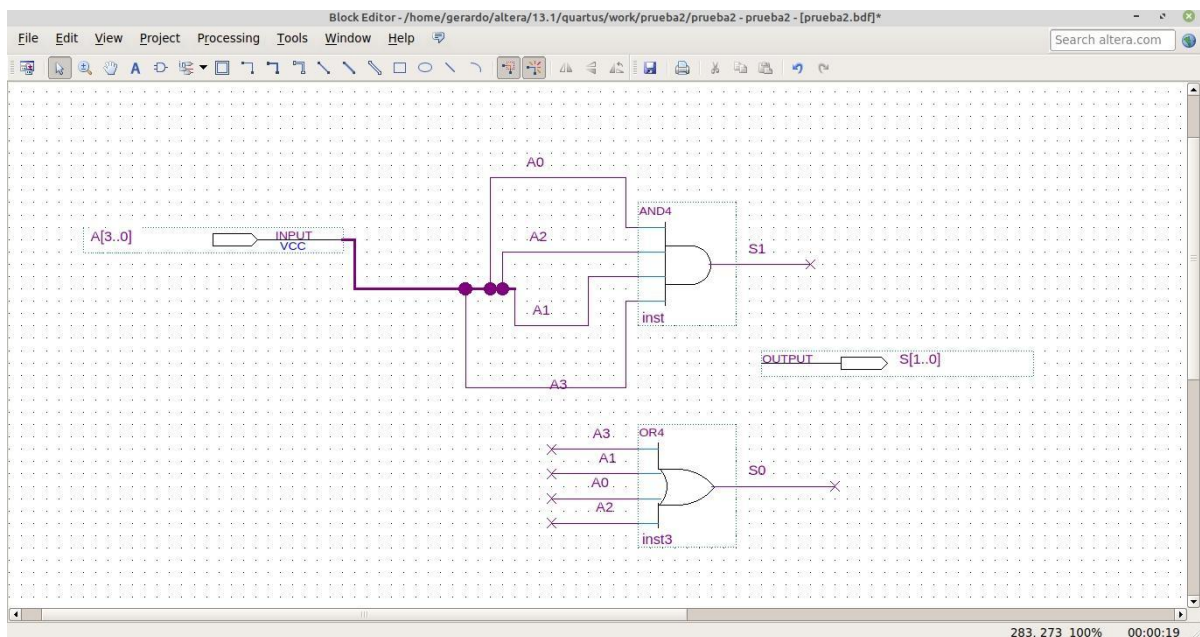
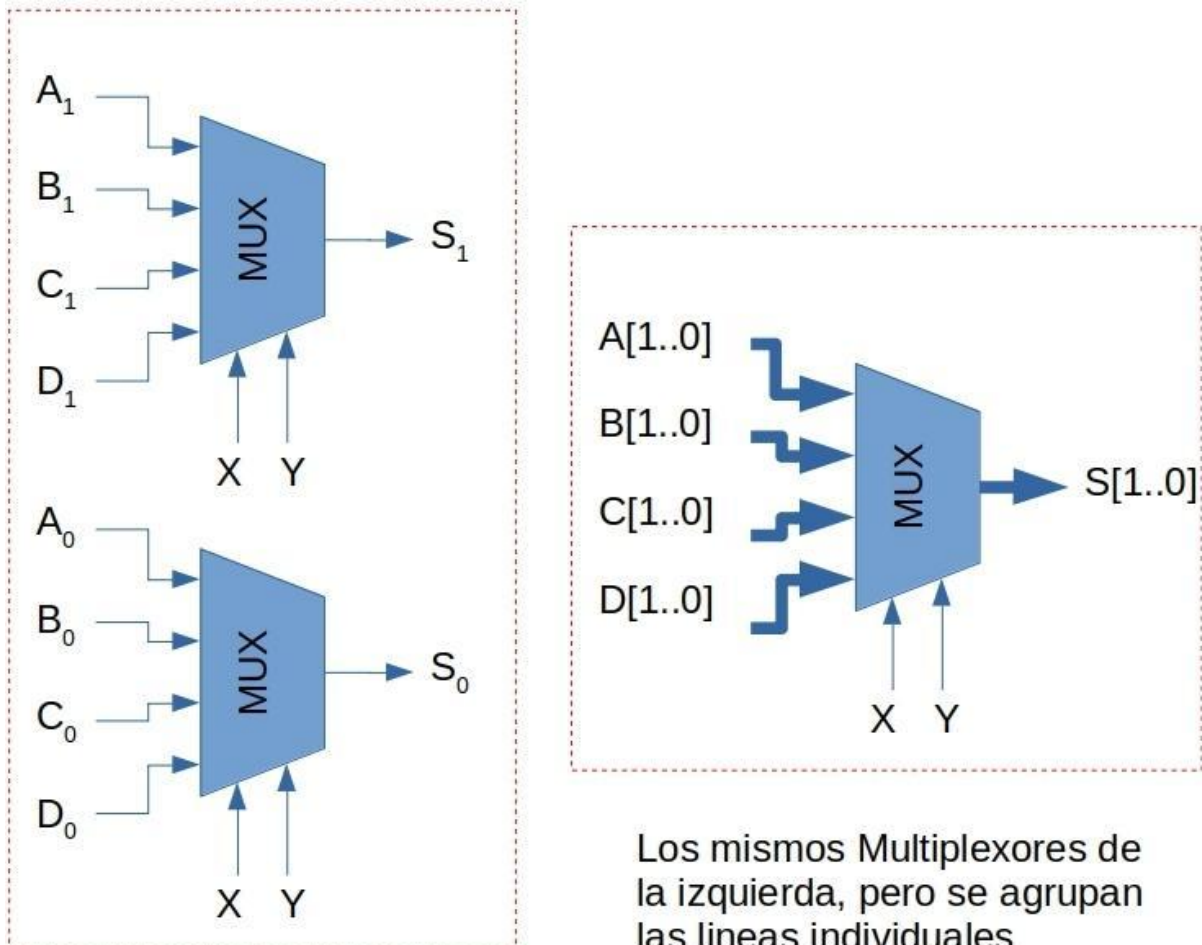


Figura 5: Buses y agrupamientos

Cuando existen múltiples líneas de señal, se pueden agrupar formando **buses**. En Quartus los buses se forman dando el mismo nombre a las líneas que se quieren agrupar y numerandolas consecutivamente a partir de 0. correspondiendo a 0 el **bit menos significativo**.

En la figura 5, la entrada consta de 4 líneas A0, A1, A2 y A3. Si se desea agruparlas, se escribe A[3..0] el primer número corresponde al bit más significativo y el segundo al LSB. Dentro del Quartus se pueden usar agrupadas o bien individualmente como se muestra en la figura. También se pueden agrupar líneas ya existentes como S1 y S0 en S[1..0].

Se pueden implementar multiplexores que realicen la selección de buses, como se muestra en la figura 6.



Dos multiplexores con líneas individuales de entrada y de salida

Los mismos Multiplexores de la izquierda, pero se agrupan las líneas individuales formando **Buses**

Figura 6: Buses y agrupamiento de multiplexores