

---

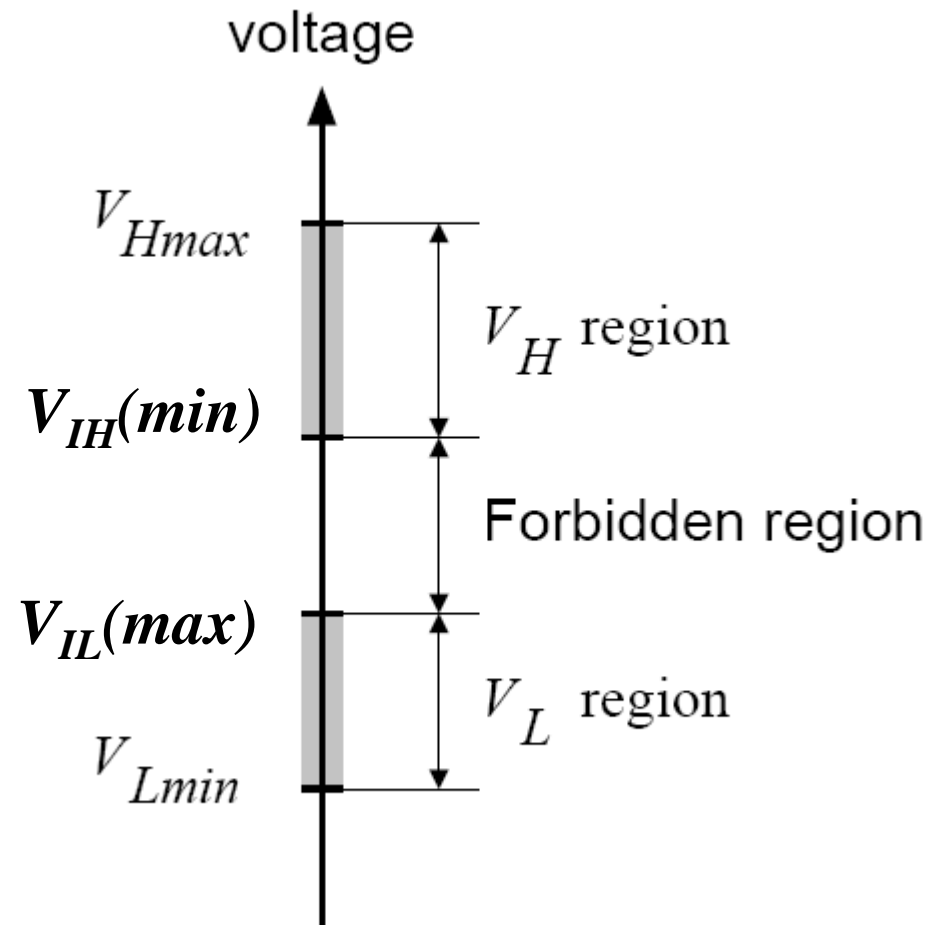
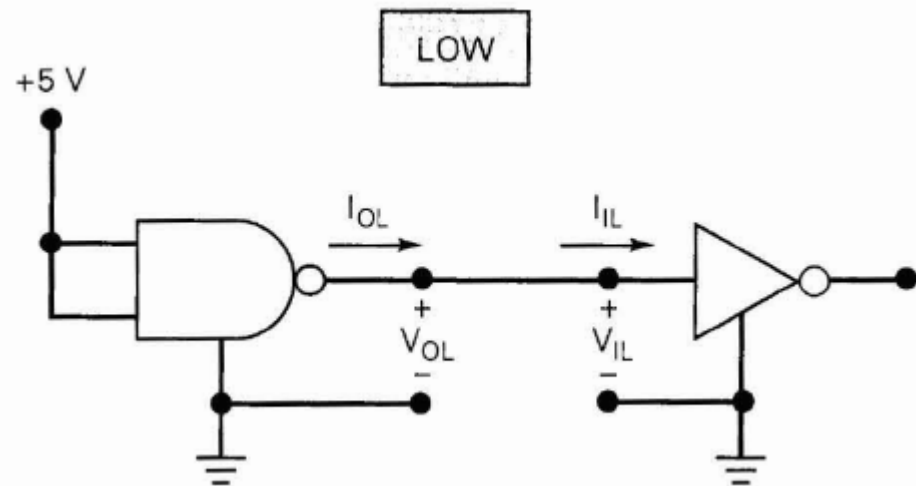
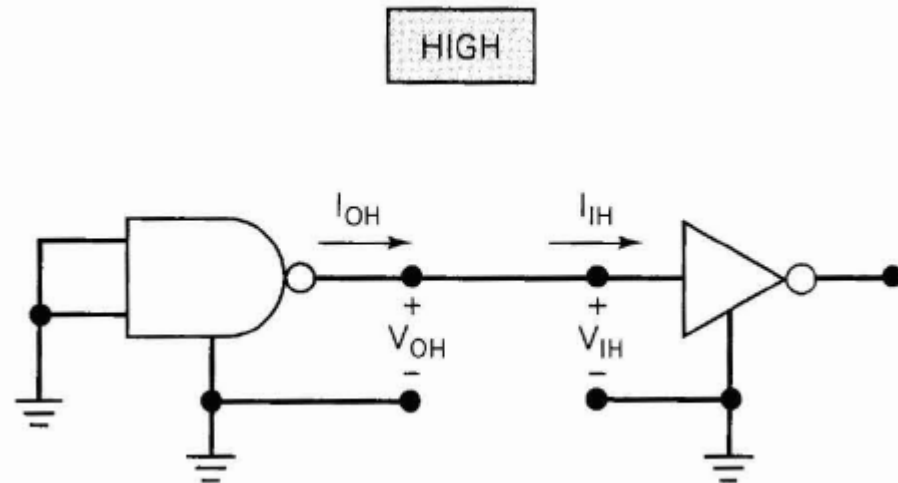
# **Circuitos digitais** **combinacionais**

## **Tecnologias de circuitos integrados digitais**

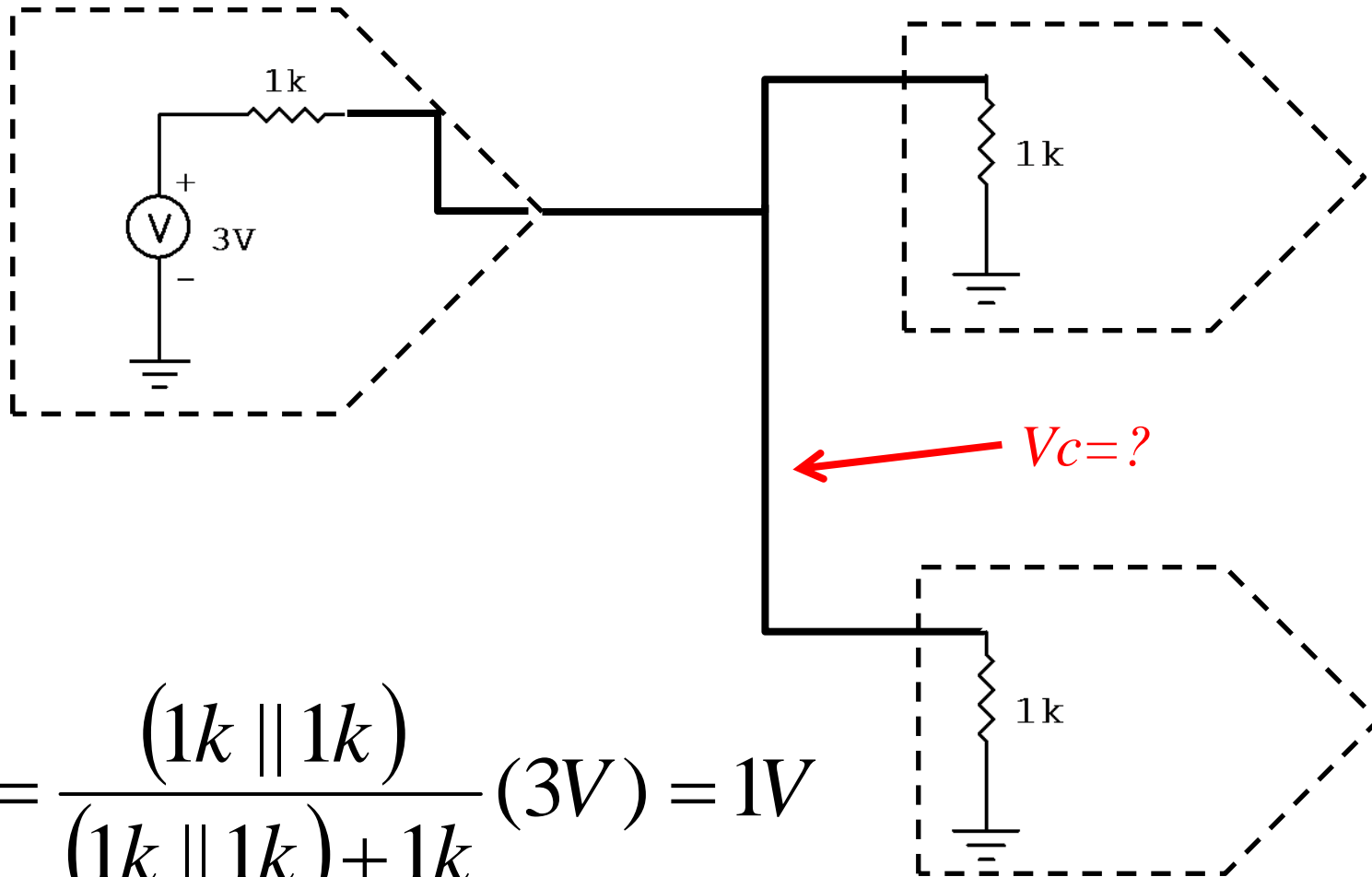
- $V_{IH}(\textit{min})$ -High-Level Input Voltage. Nível de tensão mínimo necessário para nível 1 em uma entrada. Qualquer nível de tensão abaixo não será aceito como “HIGH”.
- $V_{IL}(\textit{max})$ -Low-Level Input Voltage. Nível de tensão máximo permitido para nível 0 em uma entrada. Qualquer nível de tensão acima não será aceito como “LOW”.
- $V_{OH}(\textit{min})$ -High-Level Output Voltage. O nível mínimo de tensão em uma saída de um circuito lógico em estado 1 sob certas condições de carga definidas.
- $V_{OL}(\textit{max})$ -Low-Level Output Voltage. O nível máximo de tensão em uma saída de um circuito lógico em estado 0 sob certas condições de carga definidas.

- $I_{IH}$ -High-Level Input Current. A corrente que flui para dentro de um entrada quando o nível de tensão equivalente a um 1 lógico é aplicado a entrada da porta.
- $I_{IL}$ -Low-Level Input Current. A corrente que flui para dentro de um entrada quando o nível de tensão equivalente a um 0 lógico é aplicado a entrada da porta.
- $I_{OH}$ -High-Level Output Current. A corrente que flui para fora de uma saída quando seu nível de tensão equivalente a um 1 lógico está presente na saída.
- $I_{OL}$ -Low-Level Output Current. A corrente que flui para fora de uma saída quando seu nível de tensão equivalente a um 0 lógico está presente na saída.

# Terminologia usada para correntes em lógica digital



# Efeito de carregamento

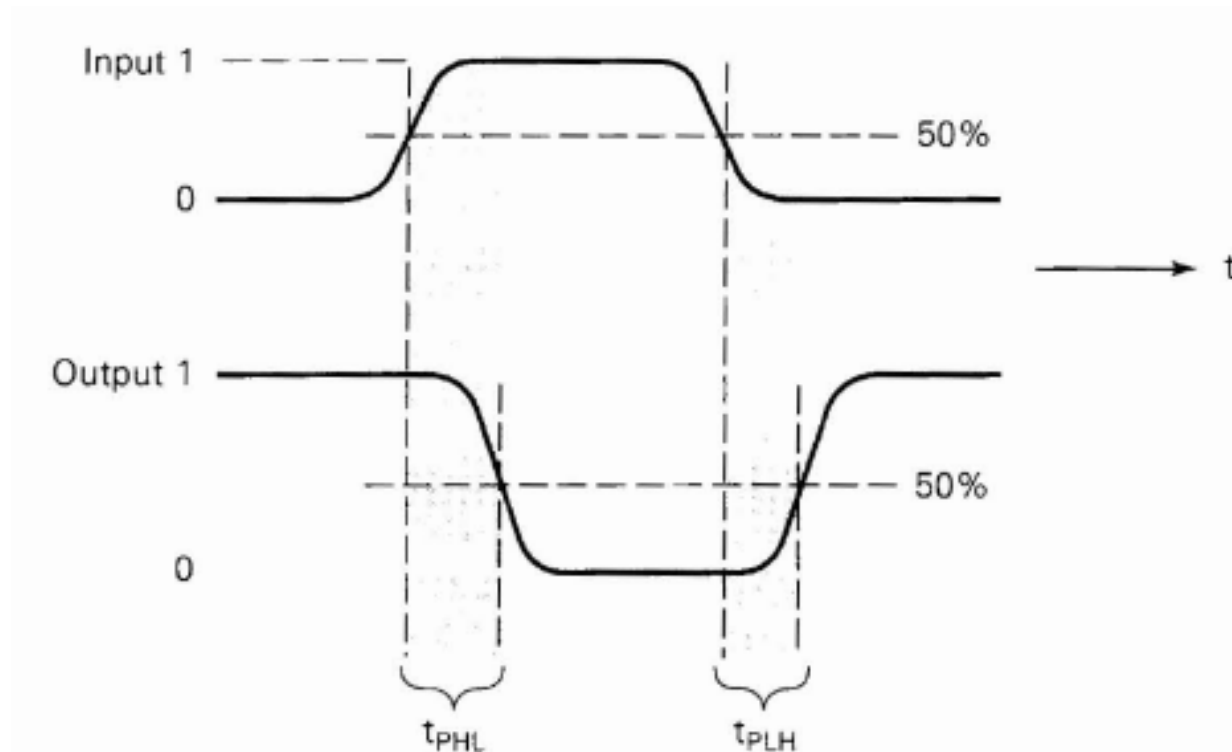


$$V_c = \frac{(1k \parallel 1k)}{(1k \parallel 1k) + 1k} (3V) = 1V$$

- *Fan out* ou fator de carregamento
  - A saída de uma porta, em geral, alimenta entradas de várias outras portas.
  - Existe um número máximo de entradas de portas que a saída de um determinada porta pode alimentar para que o sistema funcione (tensão não saia da região especificada)
  - *Fan out* é definido como o numero máximo de entradas de portas que uma saída pode alimentar de forma confiável.
  - O *Fan out* depende da natureza do dispositivo que está sendo acionado pela saída de uma porta.

# Retardos e tempos de propagação

- Um sinal sempre experimenta um retardo ao se propagar dentro de uma porta lógica. Existem dois retardos que são definidos:
  - $t_{PLH}$  - Retardo para uma mudança de estado de ZERO para UM.
  - $t_{PHL}$  - Retardo para uma mudança de estado de UM para ZERO.

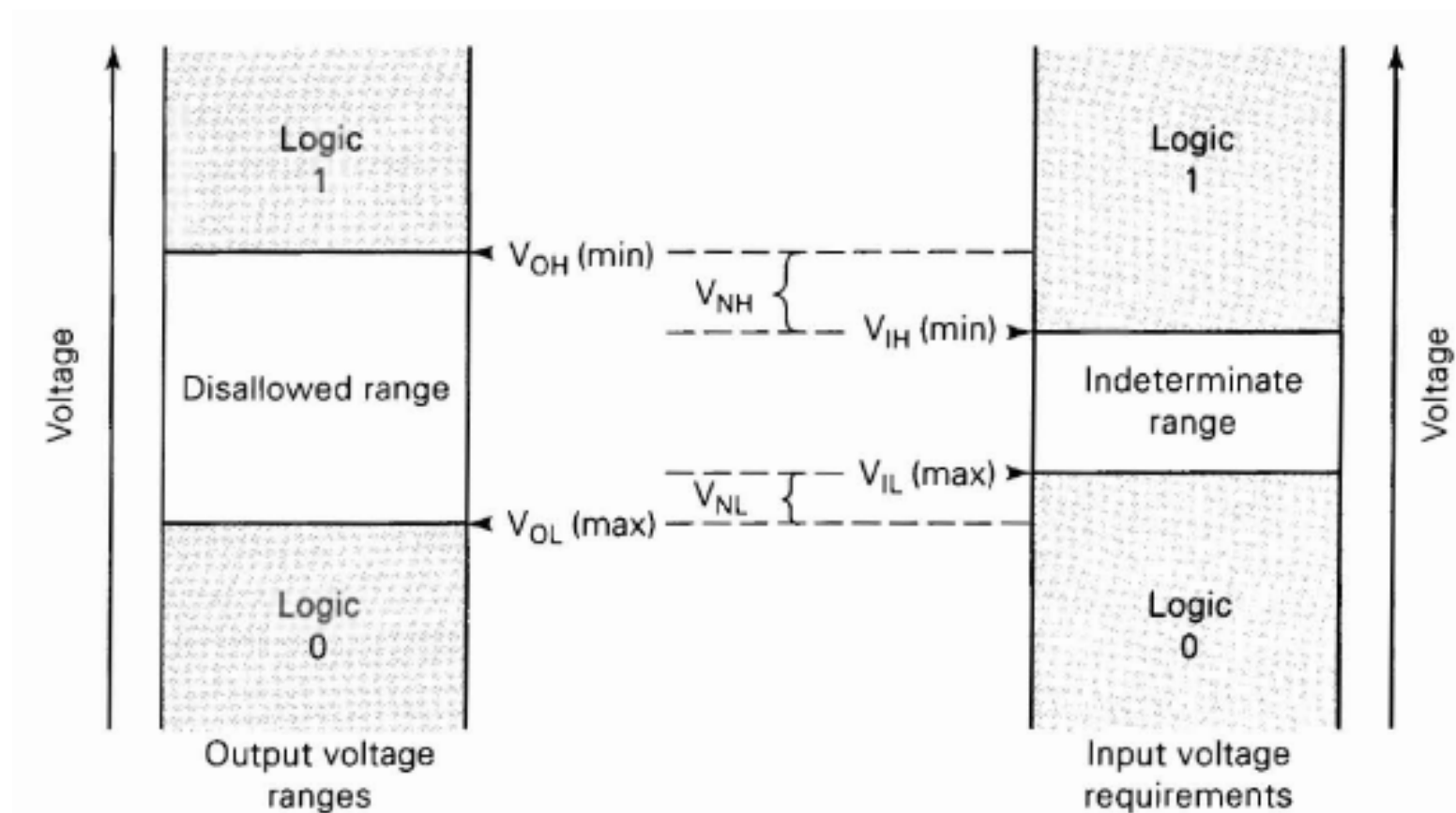


- Todo CI requer uma certa quantidade de energia para operar.
- Essa energia é fornecida por uma fonte de alimentação conectada aos pinos de alimentação do CI.
- Os pinos de alimentação são chamados  $V_{CC}$  (TTL) e  $V_{DD}$  (CMOS).
- Quantidade de energia consumida, em geral, depende do estado lógico do circuito.
- Figura de mérito para se quantificar potência e velocidade de um CI.
  - EX:

$$\begin{aligned} 10 \text{ ns} \times 5 \text{ mW} &= 50 \times 10^{-12} \text{ watt-second} \\ &= 50 \text{ picojoules (pJ)} \end{aligned}$$



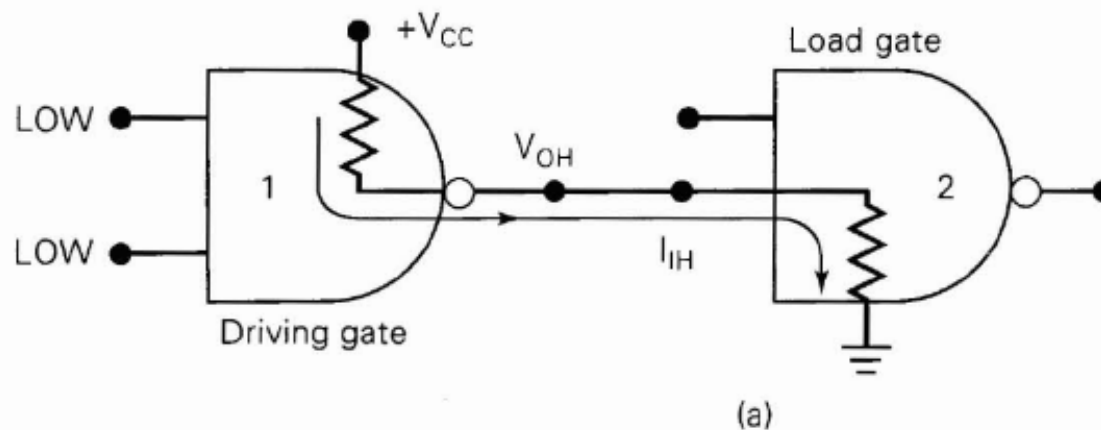
# Imunidade a ruídos – Margens de ruído



$$V_{NL} = V_{IL}(\max) - V_{OL}(\max)$$

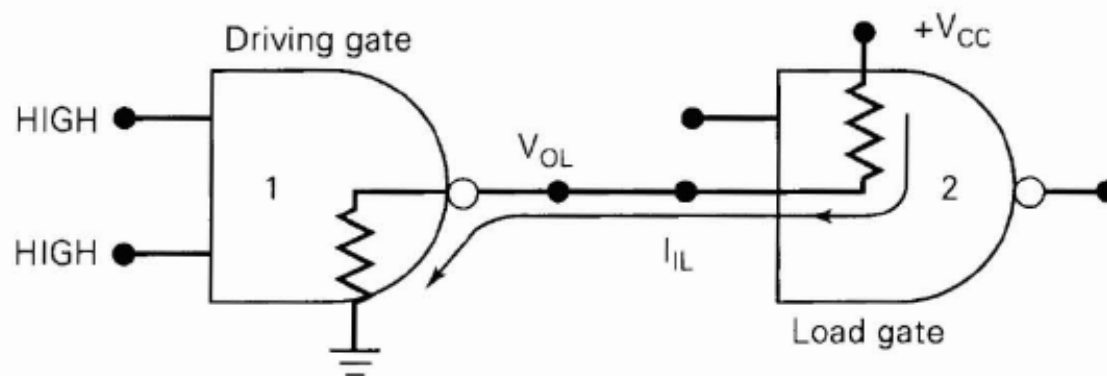
$$V_{NH} = V_{OH}(\min) - V_{IH}(\min)$$

# Sourcing ou sinking de corrente



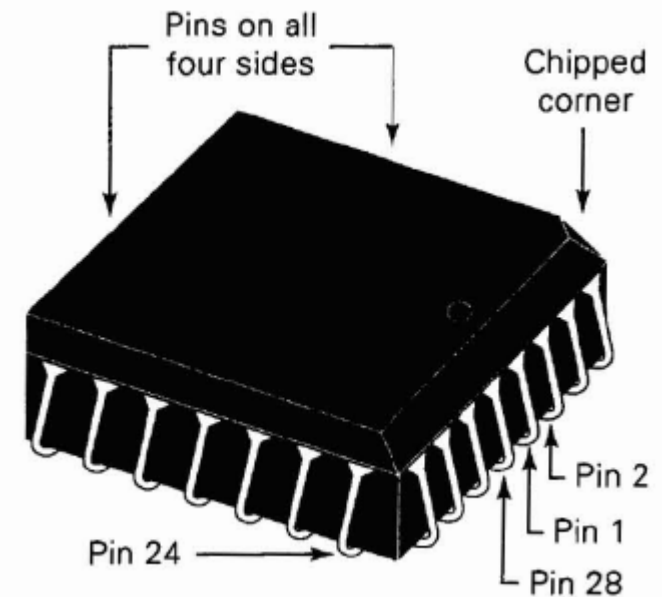
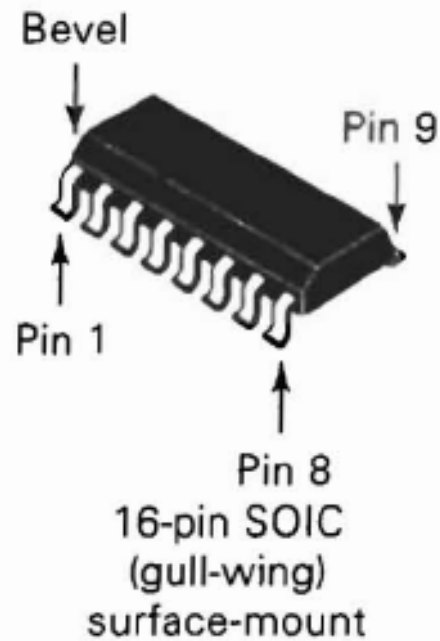
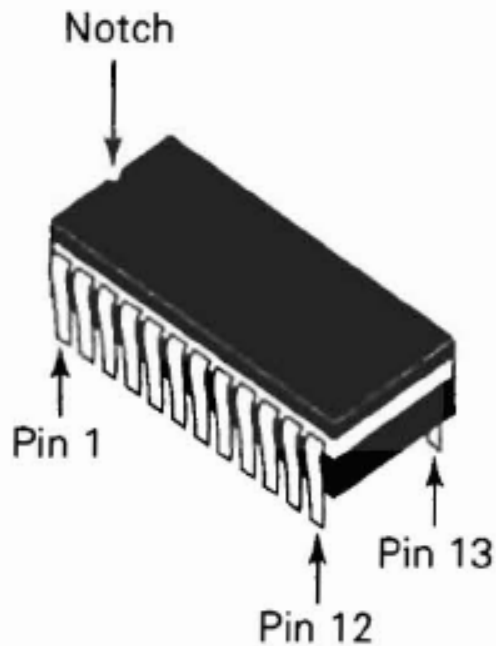
## Current sourcing

Driving gate supplies (sources) current to load gate in HIGH state.

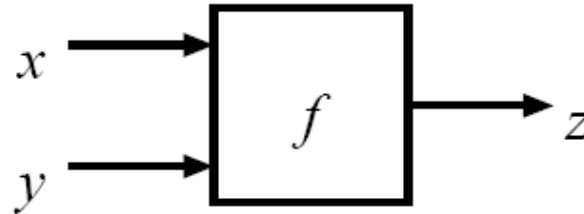


## Current sinking

Driving gate receives (sinks) current from load gate in LOW state.



# Lógica positiva e negativa



## *POSITIVE LOGIC*

$$V_H \longleftrightarrow 1$$

$$V_L \longleftrightarrow 0$$

## *NEGATIVE LOGIC*

$$V_H \longleftrightarrow 0$$

$$V_L \longleftrightarrow 1$$

Input voltages		Output voltage	Positive logic			Negative logic		
$x$	$y$	$z$	$x$	$y$	$z$	$x$	$y$	$z$
$V_L$	$V_L$	$V_L$	0	0	0	1	1	1
$V_L$	$V_H$	$V_L$	0	1	0	1	0	1
$V_H$	$V_L$	$V_L$	1	0	0	0	1	1
$V_H$	$V_H$	$V_H$	1	1	1	0	0	0
			$f = \text{AND}$			$f = \text{OR}$		

- **Vantagens:**

- Fabricação simples e barata.
- Circuitos são pequenos e de baixo consumo de energia.
- Fabricação menos complexa que CI baseados em transistores bipolares.
- Não utiliza resistores integrados => implementações menores.

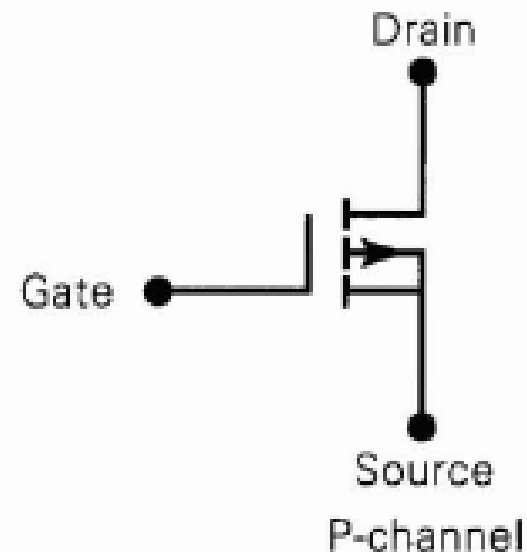
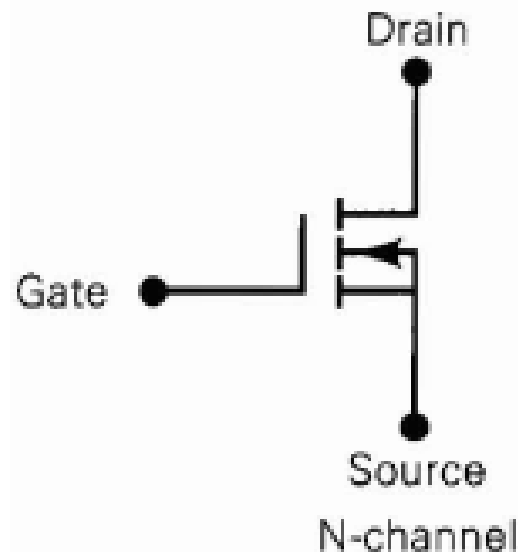
- **Desvantagens:**

- Mais susceptíveis a danos causados por eletricidade estática.
- Menos robustos
- Mais lentos que os dispositivos TTL.

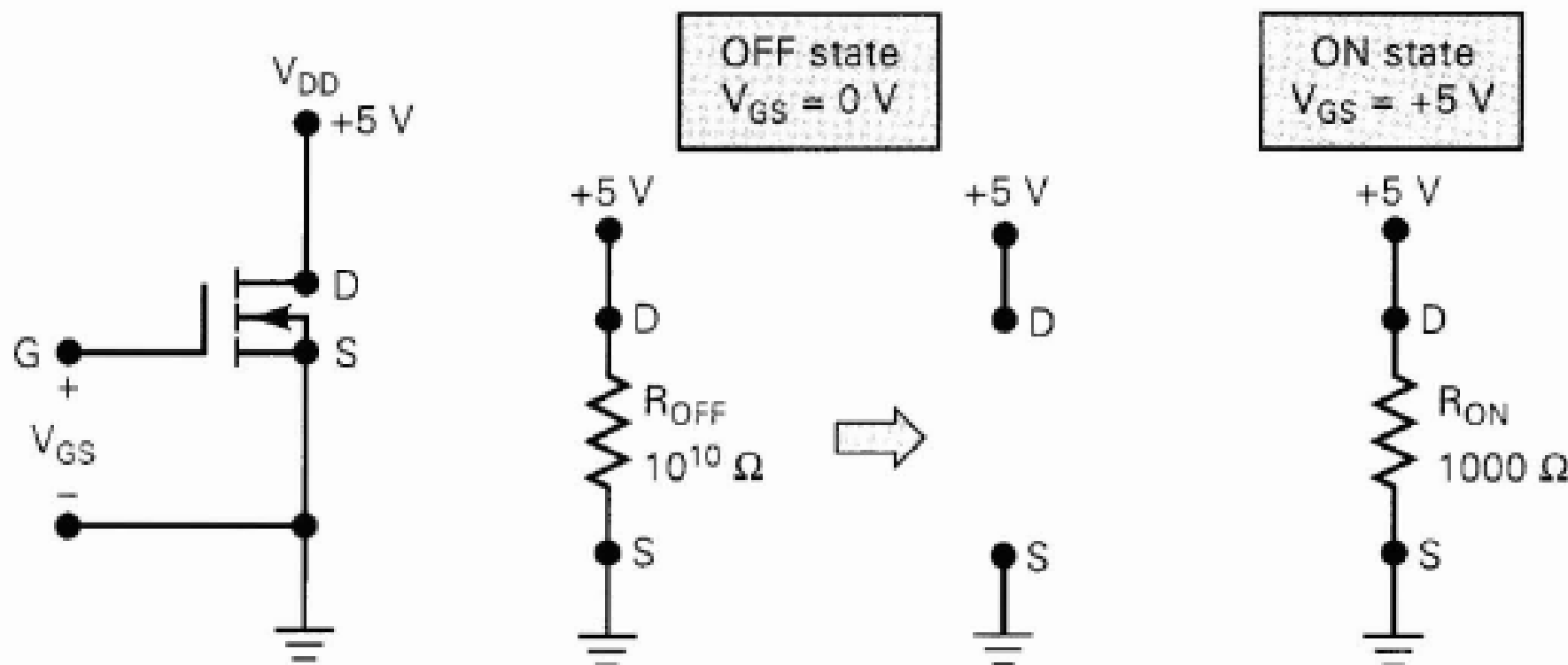
- Existem dois tipos de mosfets:
  - MOSFET tipo depleção;
  - MOSFET tipo intensificação ou enriquecimento;
- O segundo é utilizado para implementar circuitos de lógica digital.
- Os MOSFETs podem ser de canal  $n$  ou de canal  $p$
- O circuitos digitais podem ser: N-MOS, P-MOS e CMOS.

# Transistores MOSFET

- Resistência de entrada muito grande  $\Rightarrow$  a corrente no gate é praticamente nula.



# MOSFET canal n





# Transistores MOSFET

	Drain- to- Source Bias	Gate-to-Source Voltage ( $V_{GS}$ ) Needed for Conduction	$R_{ON} (\Omega)$	$R_{OFF} (\Omega)$
P-channel	Negative	Typically more negative than $-1.5\text{ V}$	1000 (typical)	$10^{10}$
N-channel	Positive	Typically more positive than $+1.5\text{ V}$	1000 (typical)	$10^{10}$

## SWITCH AND MOS TRANSISTORS

### N-TYPE:

OPEN (OFF) if  $V_{CA} < V_{Tn}$

CLOSED (ON) if  $V_{CA} > V_{Tn}$

$V_{Tn}$  – THE THRESHOLD VOLTAGE FOR N-TYPE SWITCH

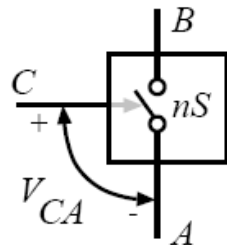
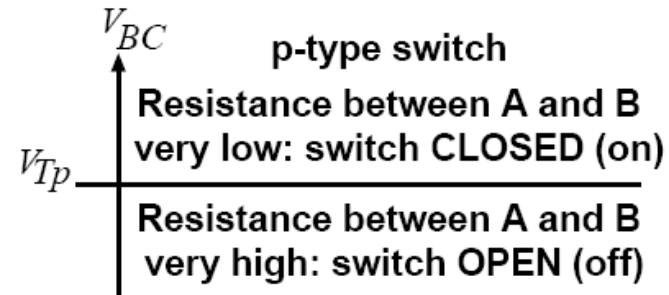
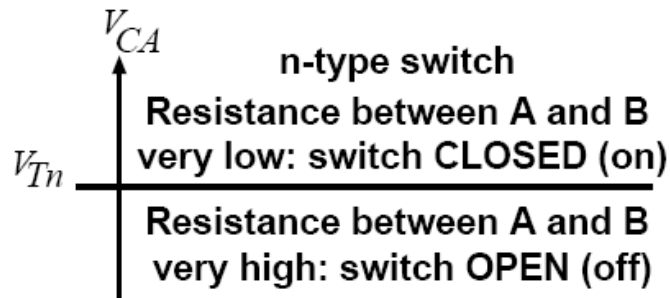
### P-TYPE:

OPEN (OFF) if  $V_{BC} < V_{Tp}$

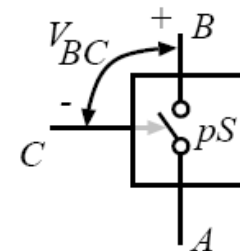
CLOSED (ON) if  $V_{BC} > V_{Tp}$

$V_{Tp}$  – THE THRESHOLD VOLTAGE FOR P-TYPE SWITCH

# Transistores/Chaves MOSFET

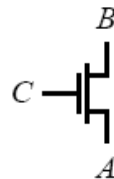
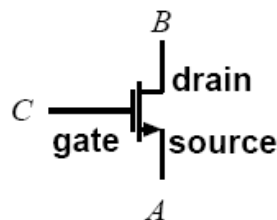


(a)



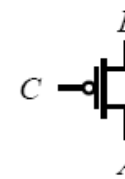
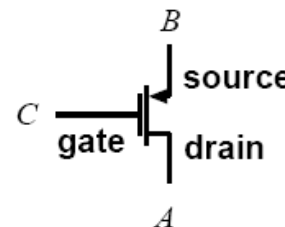
NMOS transistor

logical  
symbol



PMOS transistor

logical  
symbol



(b)

# Características MOS complementar CMOS – porta inversora

- COMPLEMENTARY MOS CIRCUIT

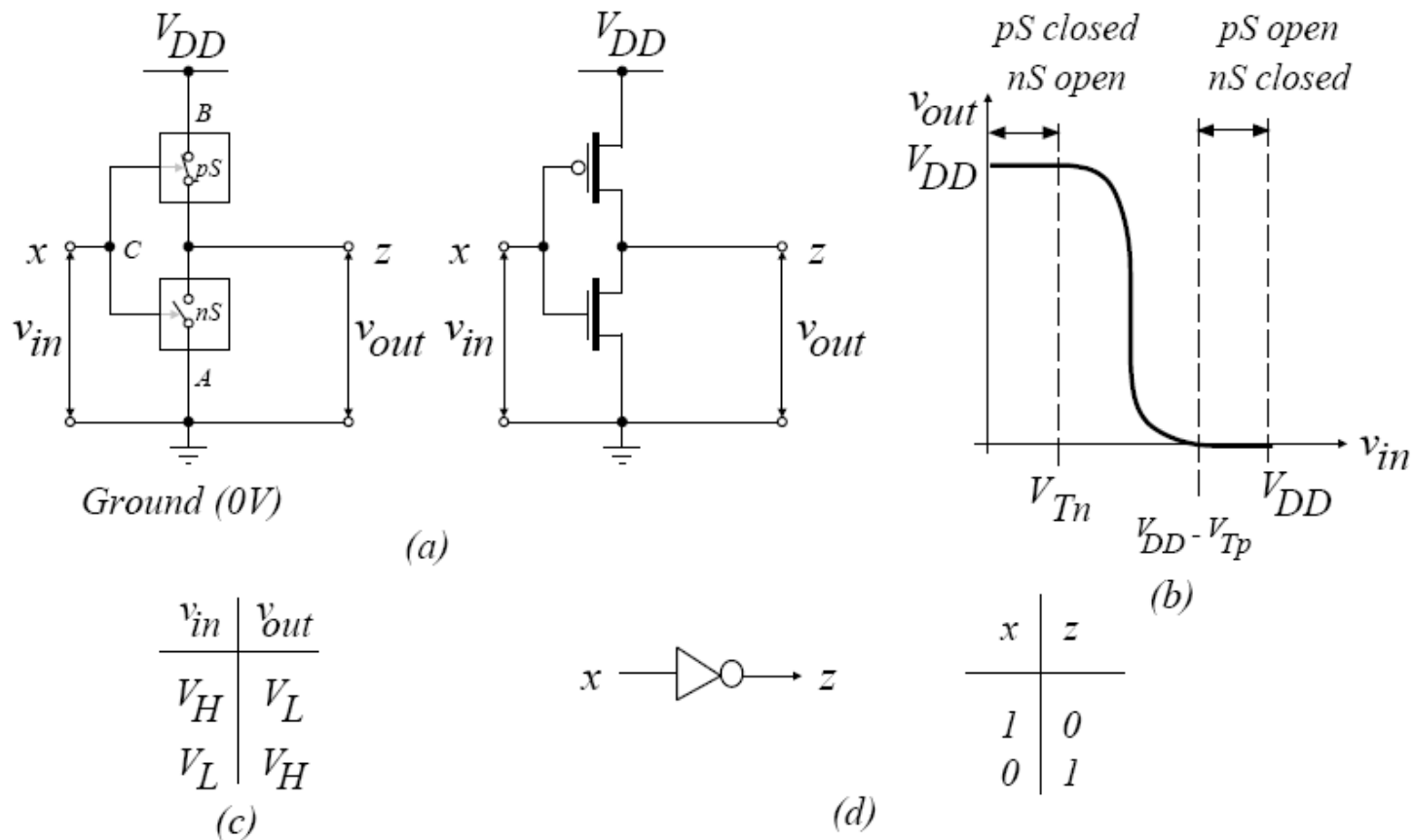


Figure 3.4: CIRCUIT, I/O CHARACTERISTIC, AND SYMBOL

# Operação da porta inversora

$$V_{BC} = V_{DD} - v_{in} \quad (V_{DD} = V_{BC} + v_{in})$$

$$1. \quad v_{in} < V_{Tn} \implies V_{CA} < V_{Tn}$$

$\implies$  N-SWITCH OPEN

If  $V_{DD} > V_{Tn} + V_{Tp}$  then  $V_{BC} > V_{Tp}$

$\implies$  P-SWITCH CLOSED AND  $v_{out} = V_{DD}$

$$2. \quad v_{in} > V_{DD} - V_{Tp} \implies V_{BC} < V_{Tp}$$

$\implies$  P-SWITCH IS OPEN

If  $V_{DD} > V_{Tn} + V_{Tp}$  then  $V_{CA} > V_{Tn}$

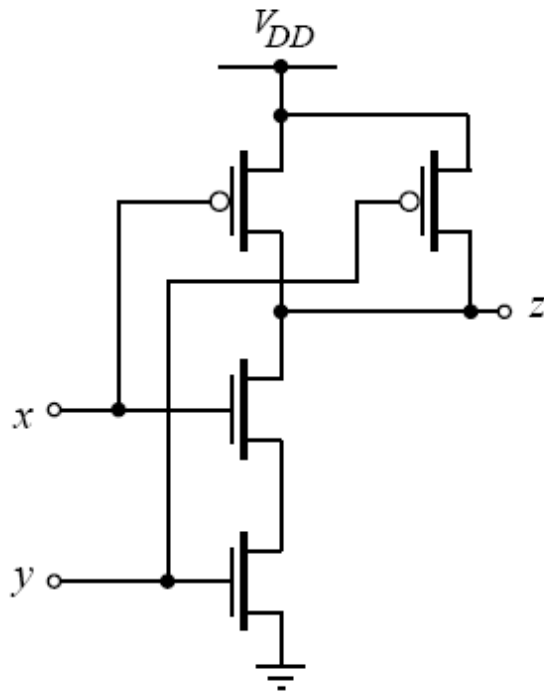
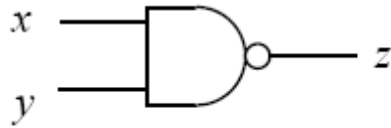
$\implies$  N-SWITCH IS CLOSED AND  $v_{out} = 0$

CIRCUIT OPERATES AS NOT IF

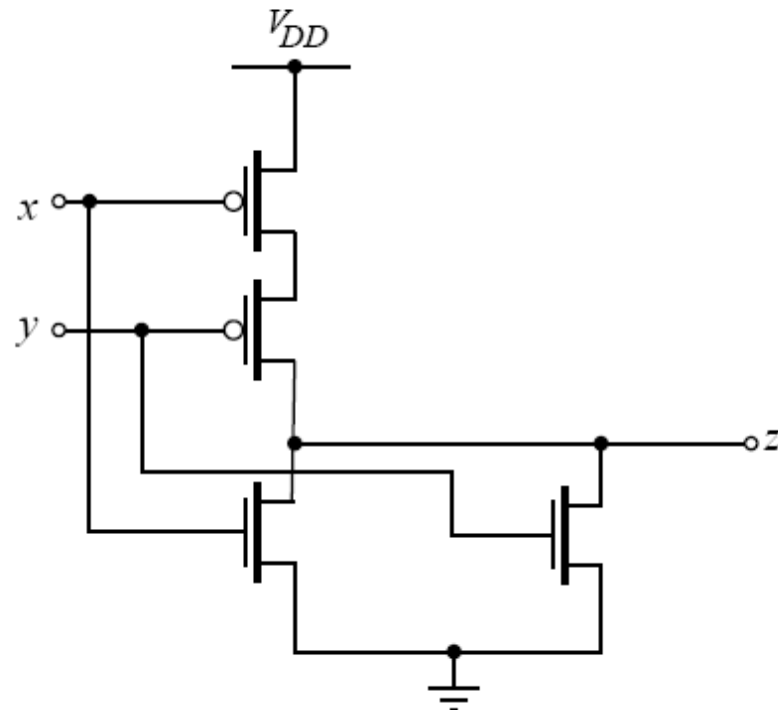
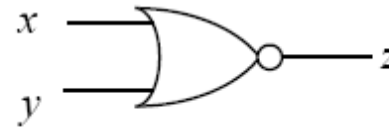
$$\begin{aligned} V_{Lmax} &< V_{Tn}, & V_{Hmin} &> V_{DD} - V_{Tp} \\ & & V_{DD} &> V_{Tn} + V_{Tp} \end{aligned}$$

# Porta NAND e NOR CMOS

Circuit 1: NAND

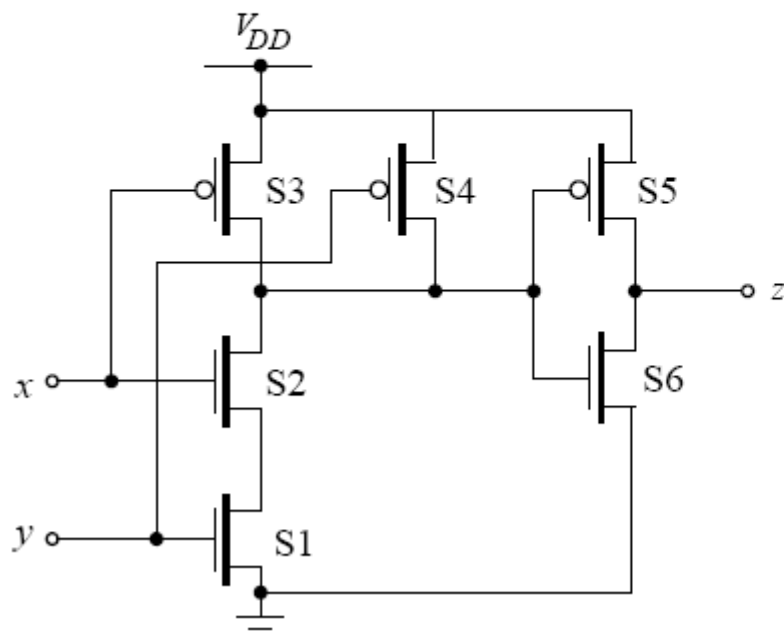
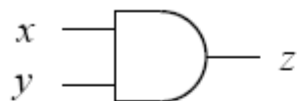


Circuit 2: NOR

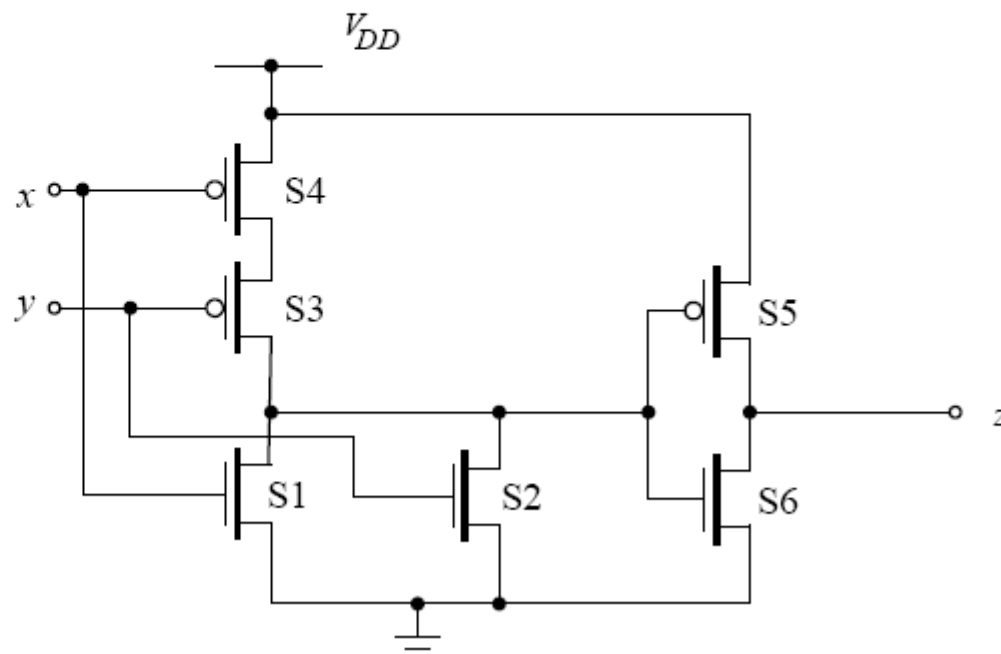


# Portas AND e OR CMOS

AND



OR



- Série 74C:
  - Compatível com TTL.
- Série 74HC e 74HCT (*High-Speed CMOS*):
  - Maior capacidade de corrente que a família 74C.
  - HCT eletricamente compatível com TTL.
  - HC eletricamente incompatível com TTL.
- Série 4000/14000:
  - Primeira série TTL.
  - Dispositivos muito mais lentos que os dispositivos TTL.



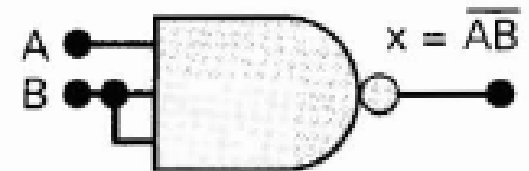
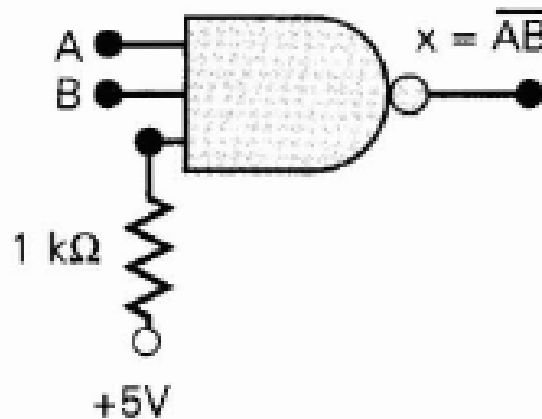
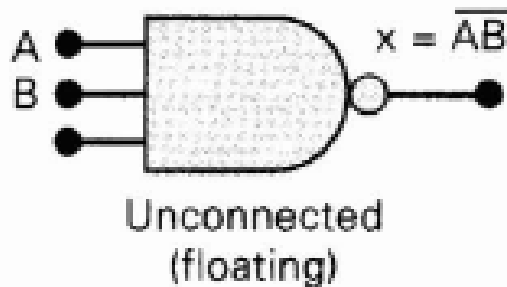
# Características das famílias CMOS

---

- Fan out = 50.
- Entradas sensível às descargas eletromagnéticas.

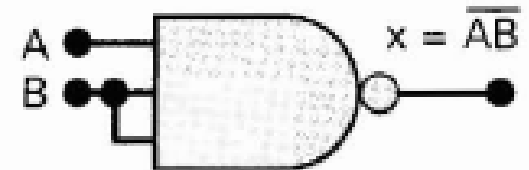
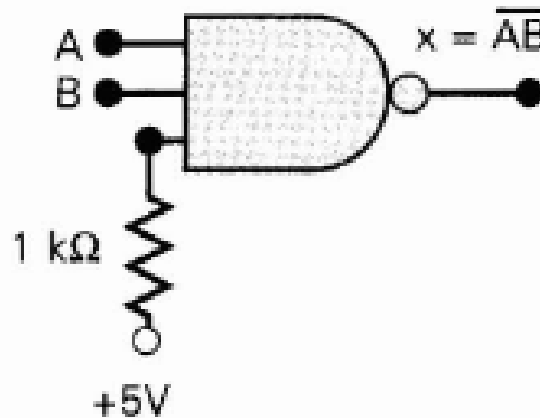
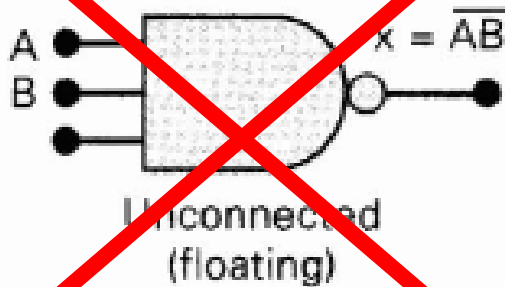
# CMOS entradas não conectadas

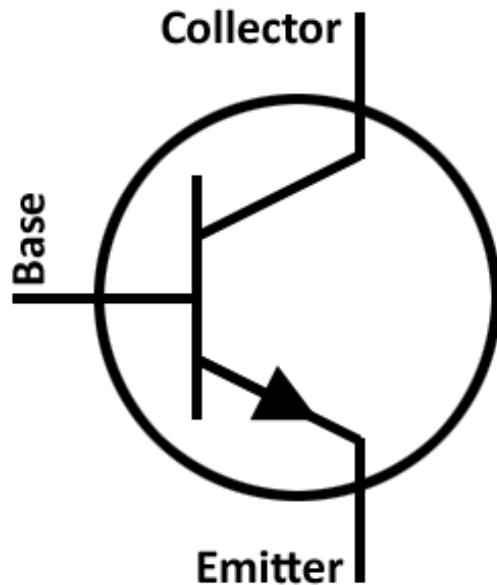
- Entradas não conectadas ficam flutuando. Podem tanto ser zero como um lógico (sujeito à ruído).
  - Entradas CMOS nunca devem ser deixadas em aberto.
- NAND de duas entradas feitas com uma NAND de três entradas:



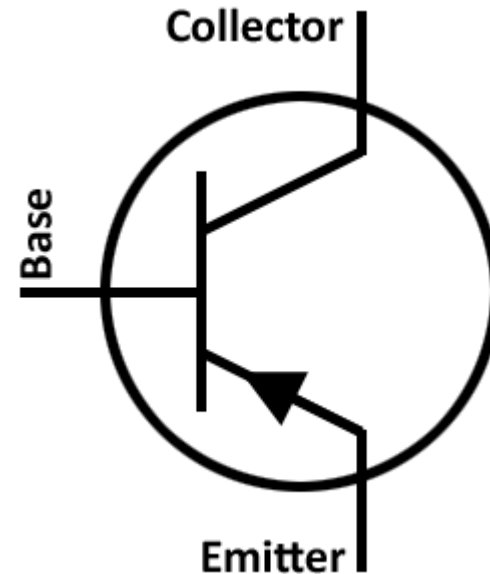
# CMOS entradas não conectadas

- Entradas não conectadas ficam flutuando. Podem tanto ser zero como um lógico (sujeito à ruído).
  - Entradas CMOS nunca devem ser deixadas em aberto.
- NAND de duas entradas feitas com uma NAND de três entradas:



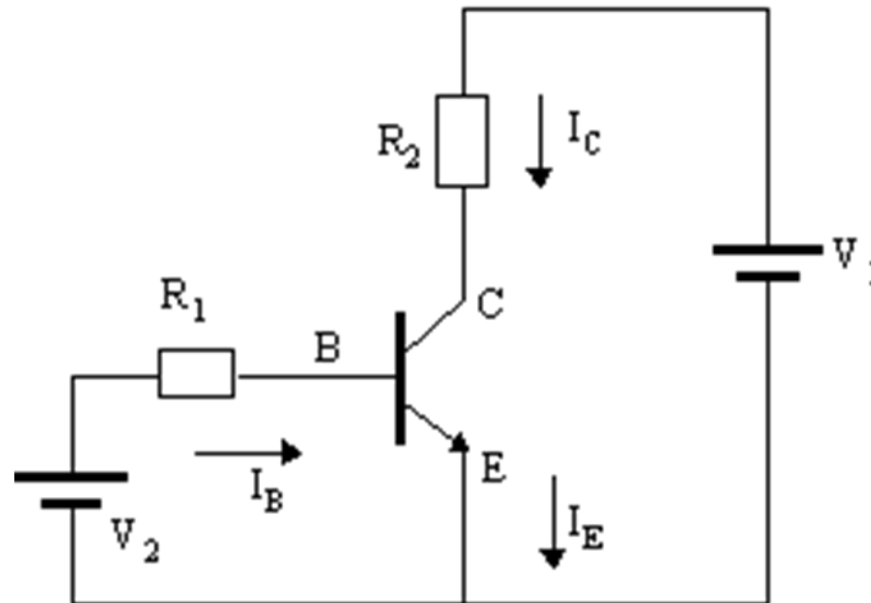


Transistor NPN



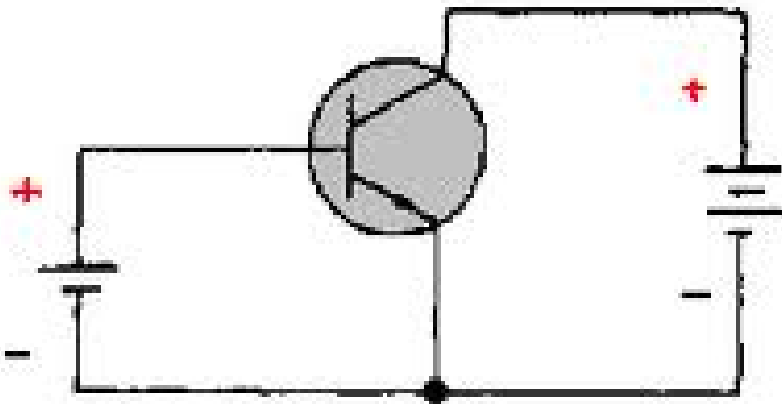
Transistor PNP

- Polarização - Transistor NPN

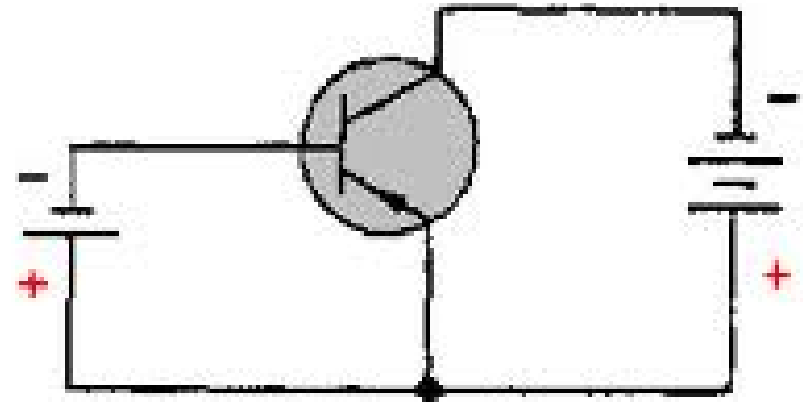


Tensão  $V_{BE} > 0,7 \text{ V}$  região de saturação  $\Rightarrow V_{CE} = 0 \text{ V}$

- Polarização - Transistor como chave



NPN



PNP

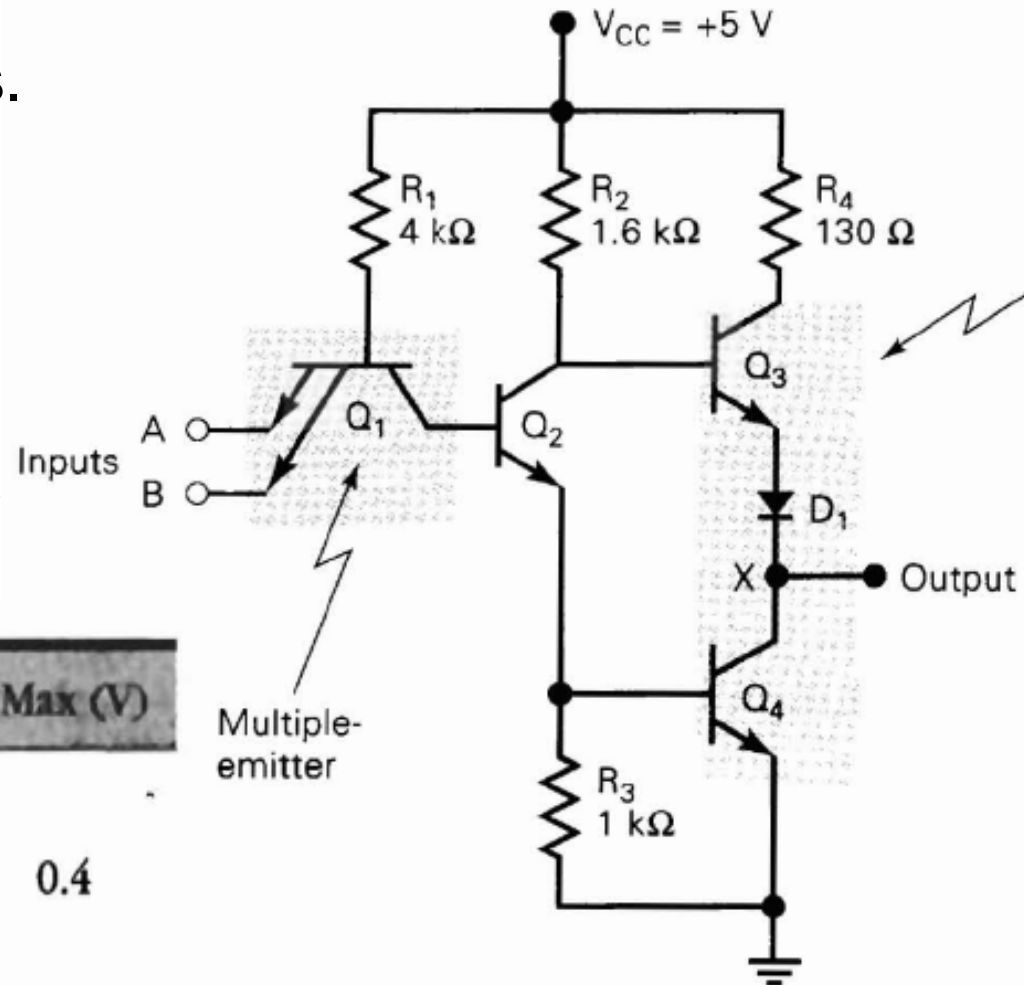
Tensão  $V_{BE} > 0,7 \text{ V}$  região de saturação  $\Rightarrow V_{CE} = 0 \text{ V}$

# Família TTL

- A família TTL é baseada em transistores bipolares.
- As portas e funções lógicas são construídas utilizando-se transistores bipolares
- Porta NAND TTL →

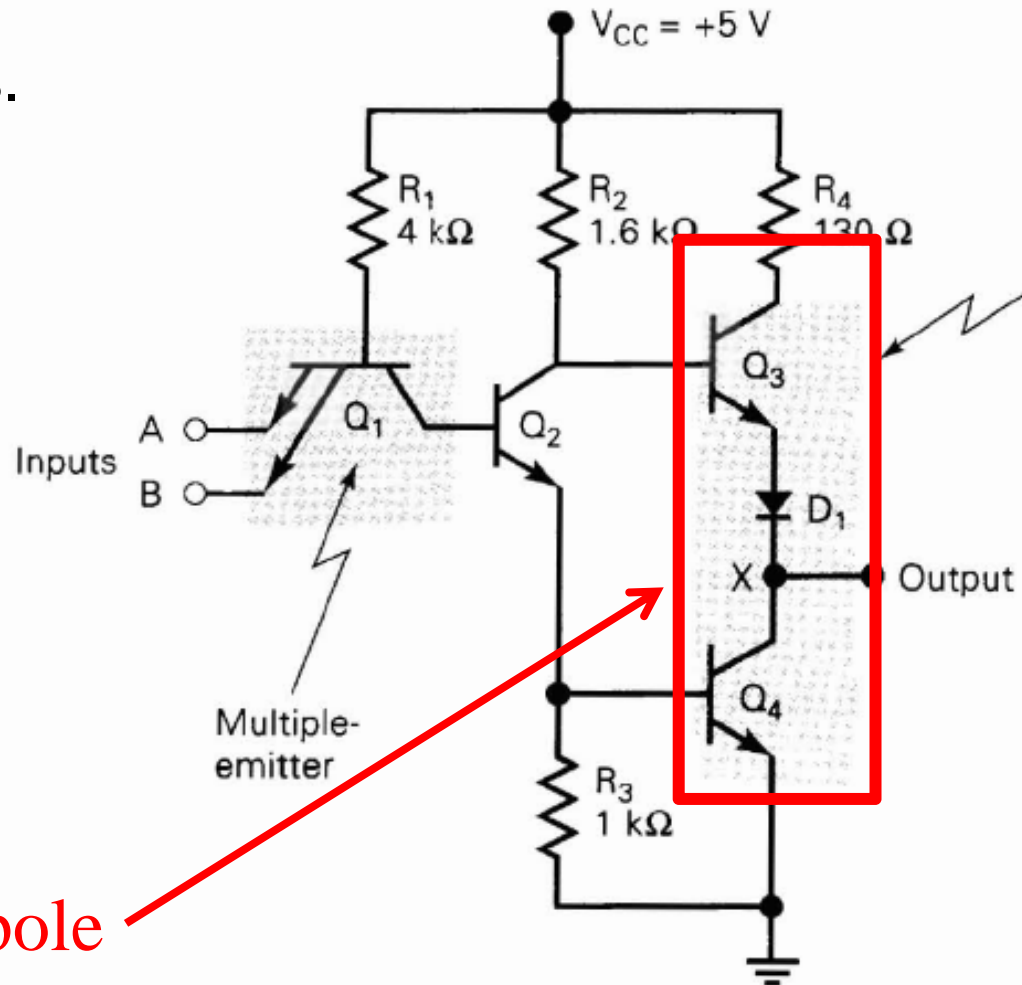
Parameter	Min (V)	Typical (V)	Max (V)
$V_{OH}$	2.4	3.4	-
$V_{OL}$	-	0.2	0.4
$V_{IH}$	2.0*	-	-
$V_{IL}$	-	-	0.8*

FROM: PAPER CHARTS



# Família TTL

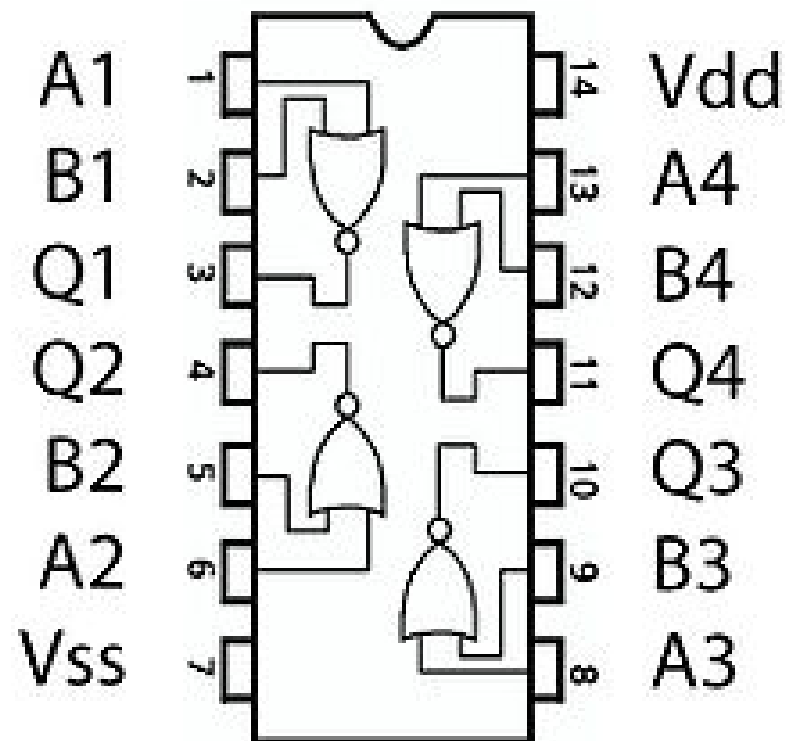
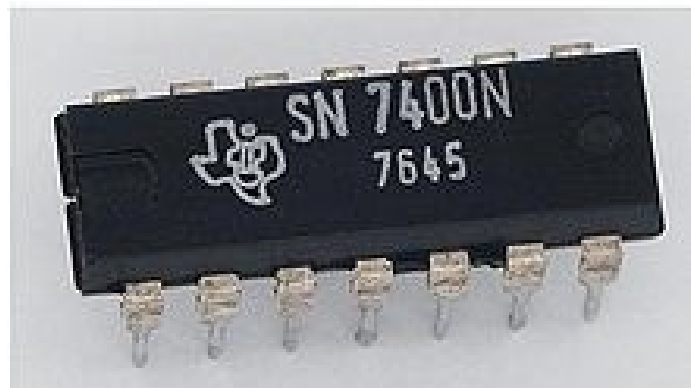
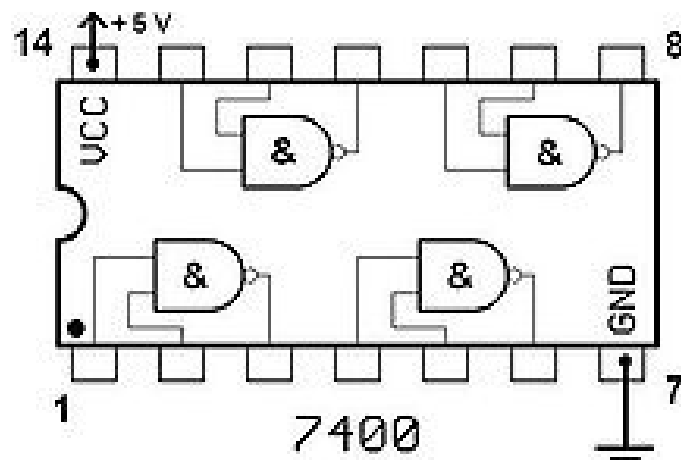
- A família TTL é baseada em transistores bipolares.
- As portas e funções lógicas são construídas utilizando-se transistores bipolares
- Porta NAND TTL



Totem-pole



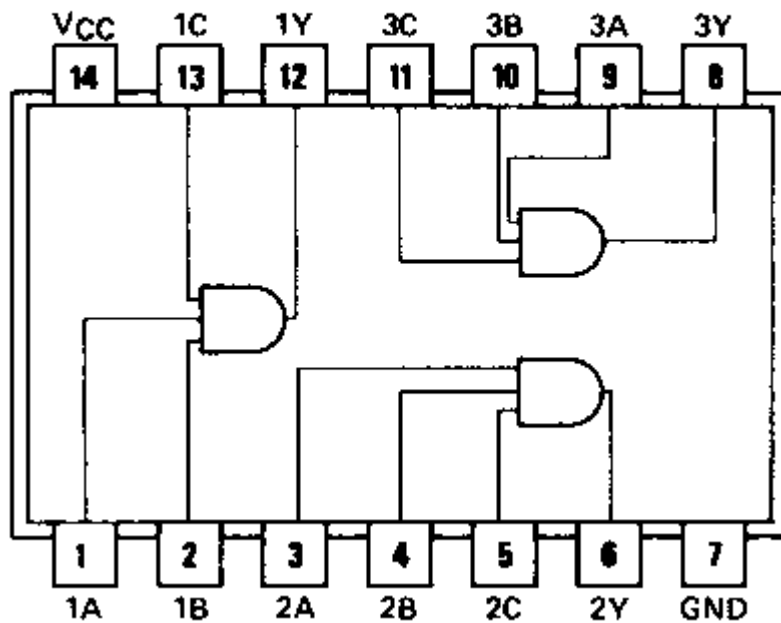
# Exemplos de Cis – Série TTL 74



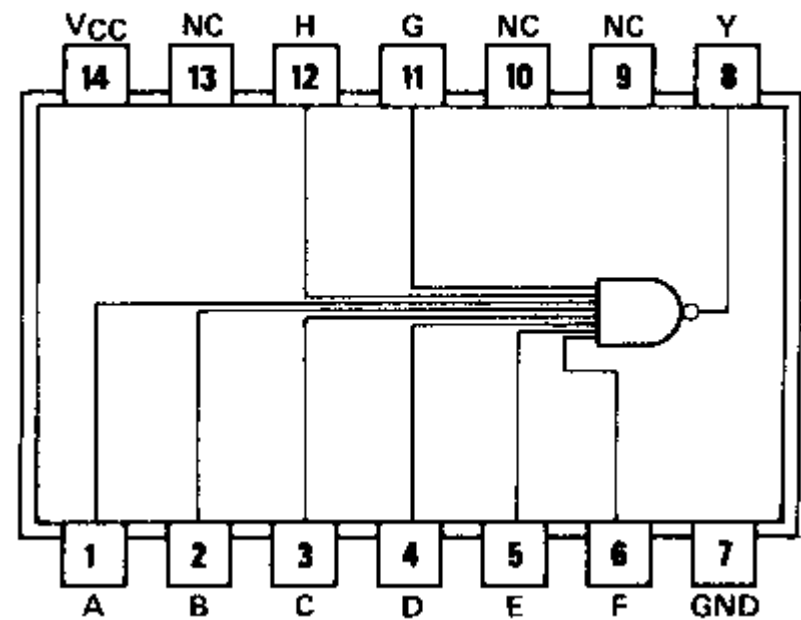
**7402**

# Exemplos de Cis – Série TTL 74

## 7411



## 7430

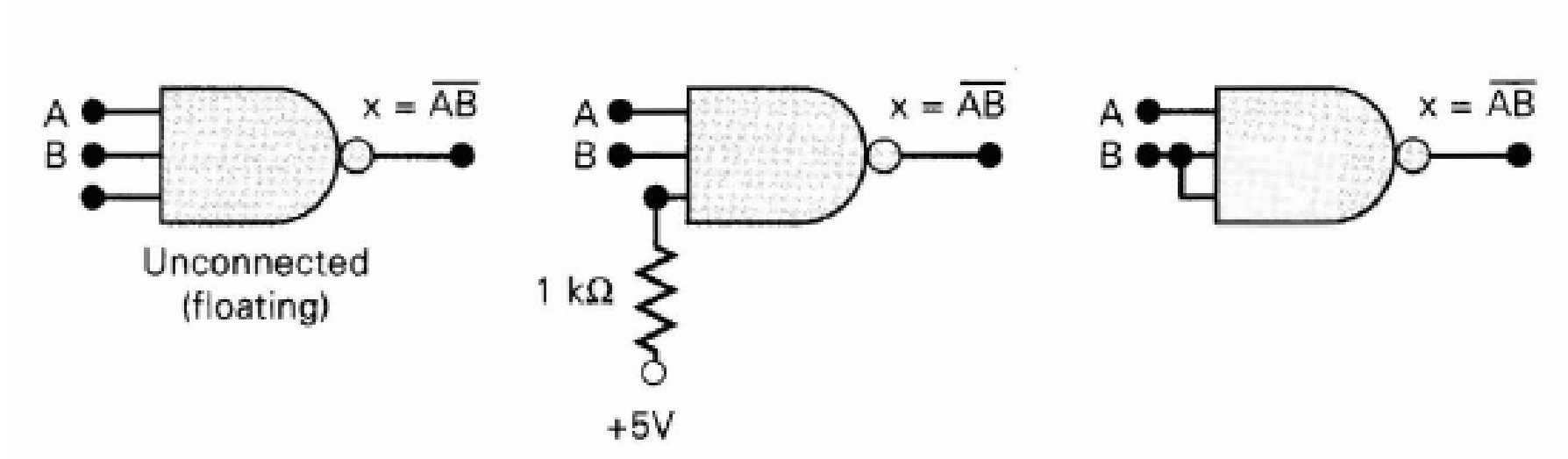


# Exemplos de Cis – Série TTL 74 Portas

- 7400 Quad 2-input NAND gates.
- 7402 Quad 2-input NOR gates.
- 7404 Hex inverters Data Sheet.
- 7408 Quad 2-input AND gates Data Sheet.
- 7410 Triple 3-input NAND gates.
- 7411 Triple 3-input AND gates.
- 7413 Dual NAND Schmitt triggers.
- 7414 Hex Schmitt trigger inverters Data Sheet.
- 7420 Dual 4-input NAND gates.
- 7425 Dual 4-input NOR gates.
- 7427 Triple 3-input NOR gates.
- 7430 8-input NAND gate.
- 7432 Quad 2-input OR gates.
- 7486 Quad 2-input Exclusive-OR gates.

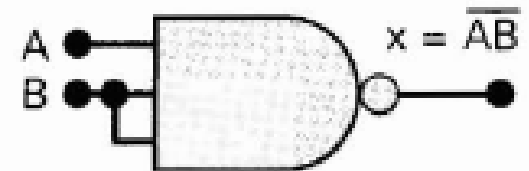
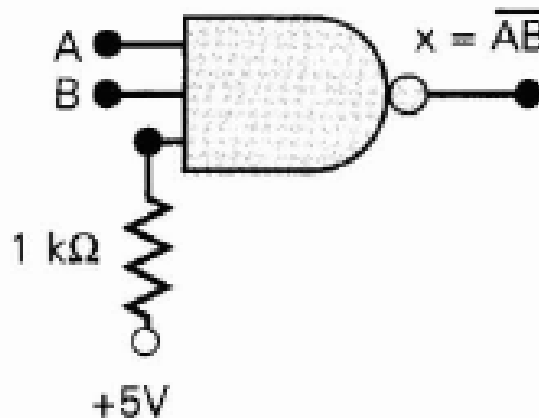
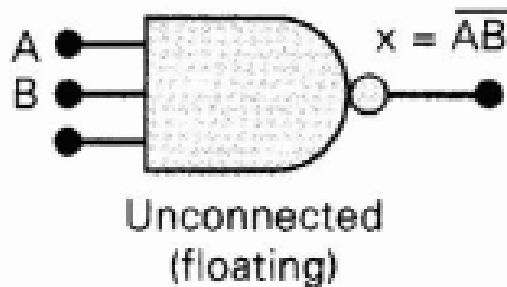
# Série TTL 74 entradas não conectadas

- Entradas não conectadas funcionam com 1 lógico,
- NAND de duas entradas feitas com uma NAND de três entradas:



# Série TTL 74 entradas não conectadas

- Entradas não conectadas funcionam com 1 lógico,
- NAND de duas entradas feitas com uma NAND de três entradas:

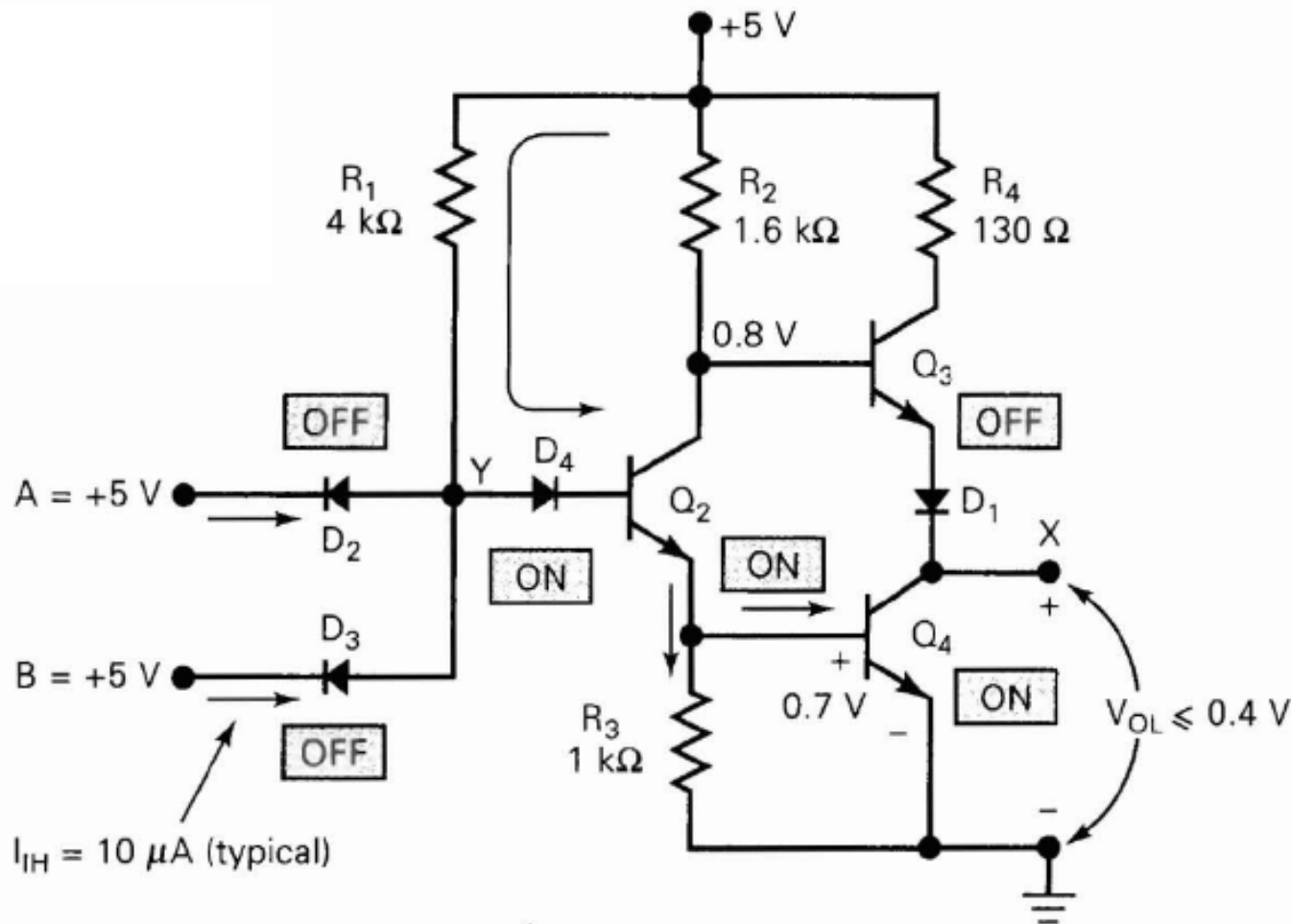


Pode diminuir o *fan out*

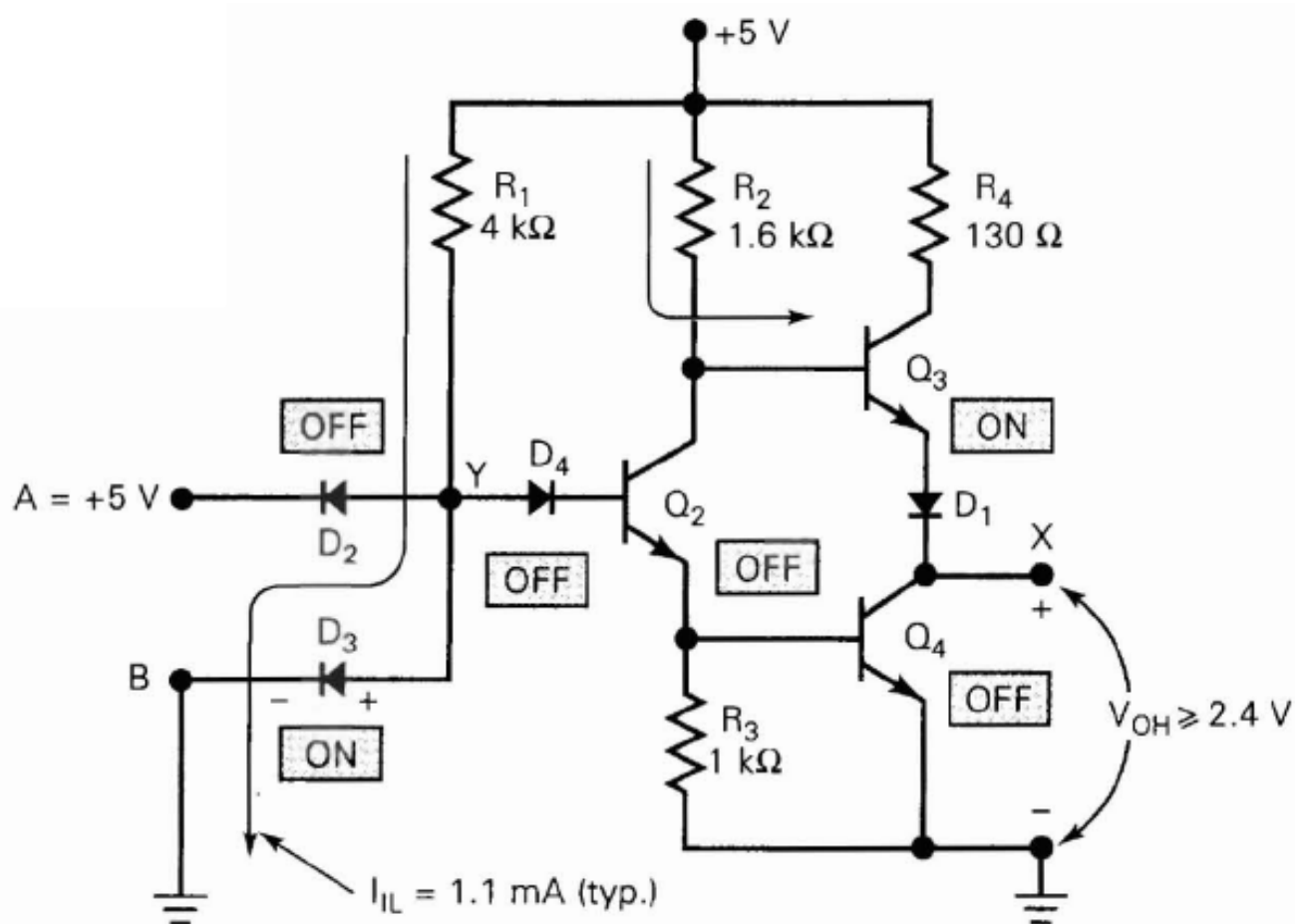
Pode não funcionar

Requer um componente externo extra

# Operação da porta NAND TTL – entradas 1



# Operação da porta NAND TTL – entrada 0



# Outras séries da família TTL 74

- 74LS
  - Baixo consumo de potência a custo de menor velocidade de chaveamento.
- 74ALS
  - Melhora as características de velocidade de chaveamento e consumo de potência da série 74LS
- 74AS
  - É a série TTL com a menor velocidade de chaveamento.

	74S	74AS	74LS	74ALS
Propagation delay	3 ns	1.7 ns	9.5 ns	4 ns
Power dissipation	20 mW	8 mW	2 mW	1.2 mW
Speed–power product	60 pJ	13.6 pJ	19 pJ	4.8 pJ

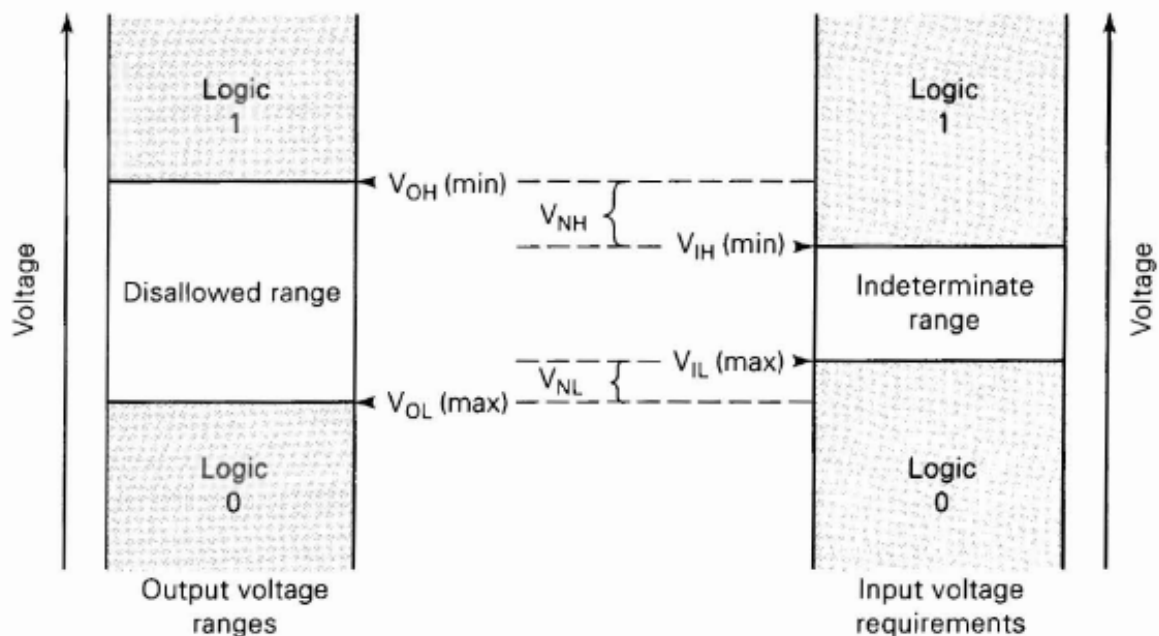


# Comparativo séries TTL

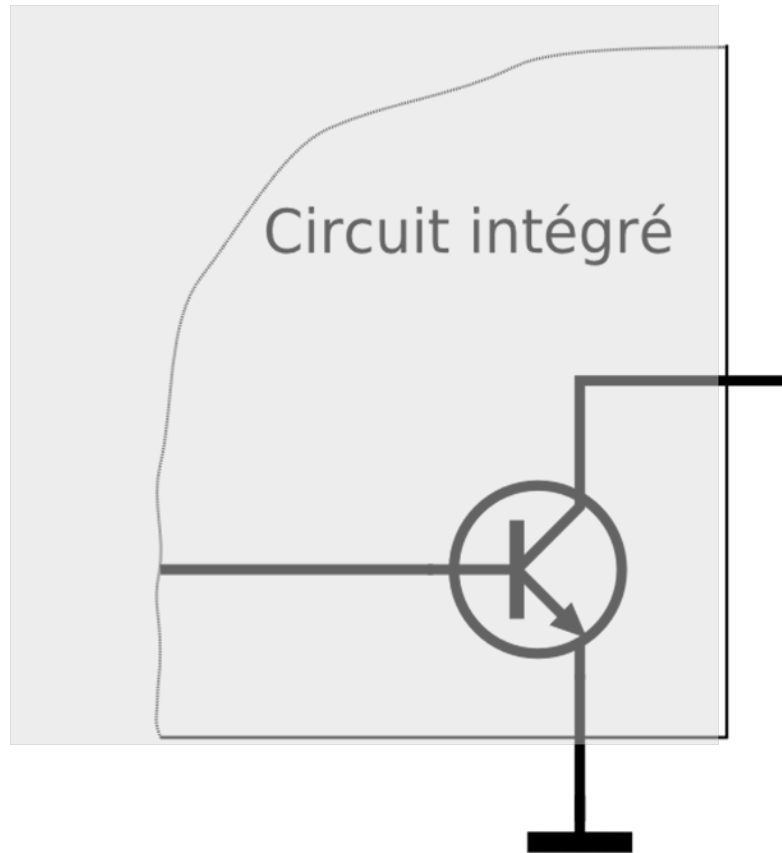
	74	74S	74LS	74AS	74ALS	74F
<b>Performance ratings</b>						
Propagation delay (ns)	9	3	9.5	1.7	4	3
Power dissipation (mW)	10	20	2	8	1.2	6
Speed–power product (pJ)	90	60	19	13.6	4.8	18
Max. clock rate (MHz)	35	125	45	200	70	100
Fan-out (same series)	10	20	20	40	20	33
<b>Voltage parameters</b>						
$V_{OH}(\text{min})$	2.4	2.7	2.7	2.5	2.5	2.5
$V_{OL}(\text{max})$	0.4	0.5	0.5	0.5	0.5	0.5
$V_{IH}(\text{min})$	2.0	2.0	2.0	2.0	2.0	2.0
$V_{IL}(\text{max})$	0.8	0.8	0.8	0.8	0.8	0.8

# Comparação entre TTL e CMOS

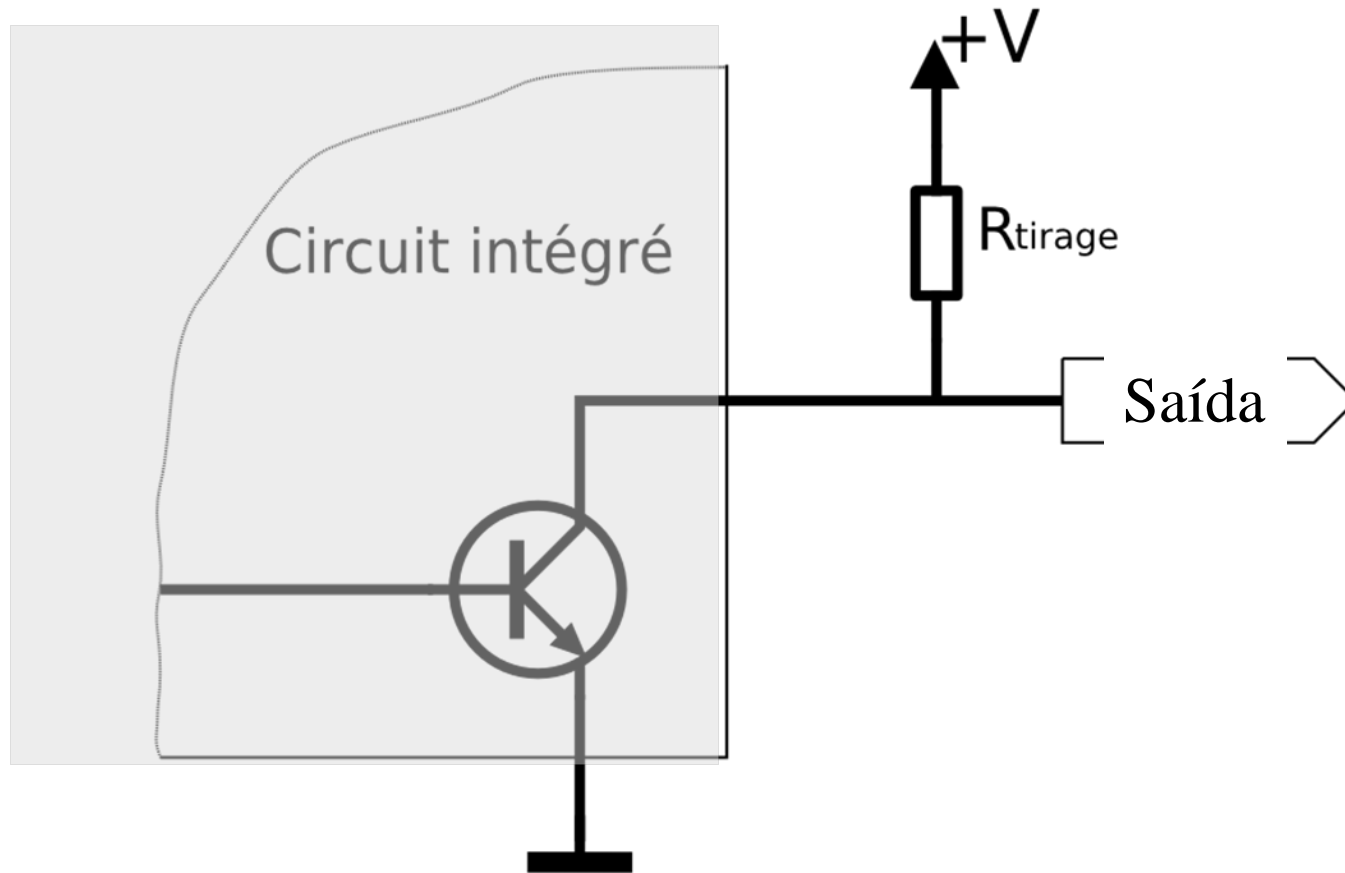
Parameter	CMOS							TTL			
	4000B	74HC	74HCT	74AC	74ACT	74AHC	74AHCT	74	74LS	74AS	74ALS
$V_{IH}(\text{min})$	3.5	3.5	2.0	3.5	2.0	3.85	2.0	2.0	2.0	2.0	2.0
$V_{IL}(\text{max})$	1.5	1.0	0.8	1.5	0.8	1.65	0.8	0.8	0.8	0.8	0.8
$V_{OH}(\text{min})$	4.95	4.9	4.9	4.9	4.9	4.4	3.15	2.4	2.7	2.7	2.5
$V_{OL}(\text{max})$	0.05	0.1	0.1	0.1	0.1	0.44	0.1	0.4	0.5	0.5	0.5
$V_{NH}$	1.45	1.4	2.9	1.4	2.9	0.55	1.15	0.4	0.7	0.7	0.7
$V_{NL}$	1.45	0.9	0.7	1.4	0.7	1.21	0.7	0.4	0.3	0.3	0.4



# Coletor/dreno aberto

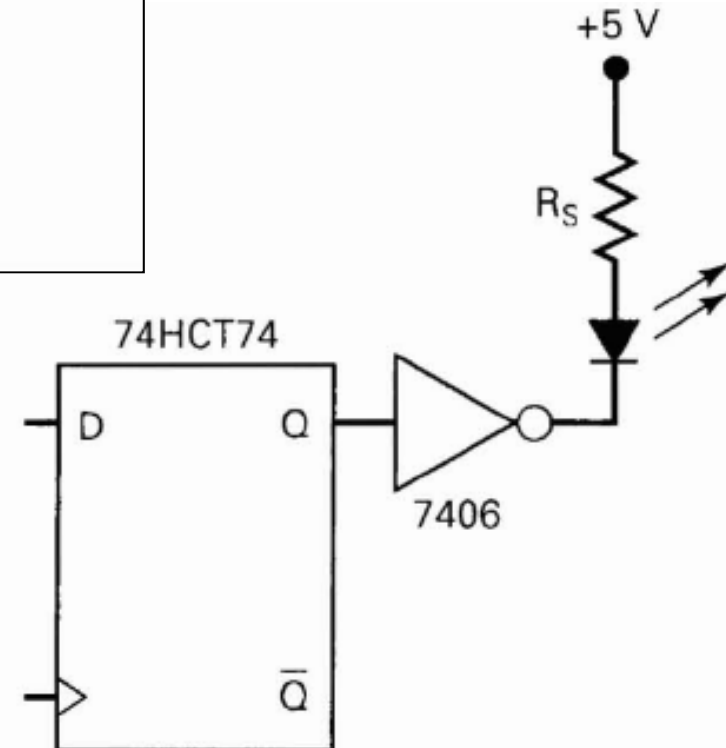
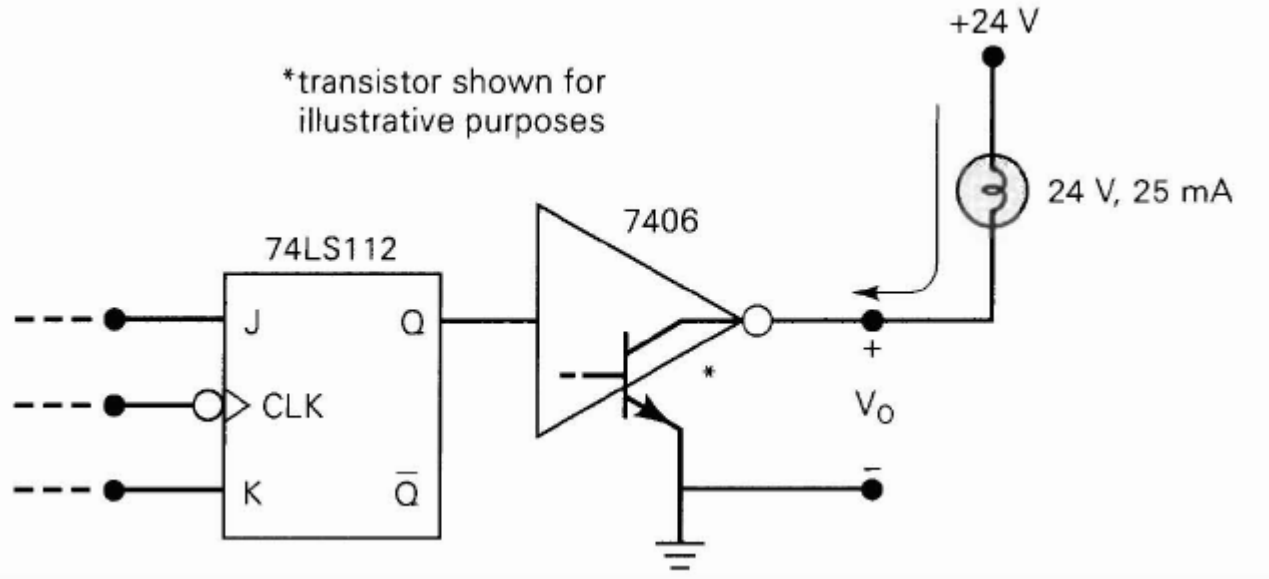


# Revisão Coletor/dreno aberto

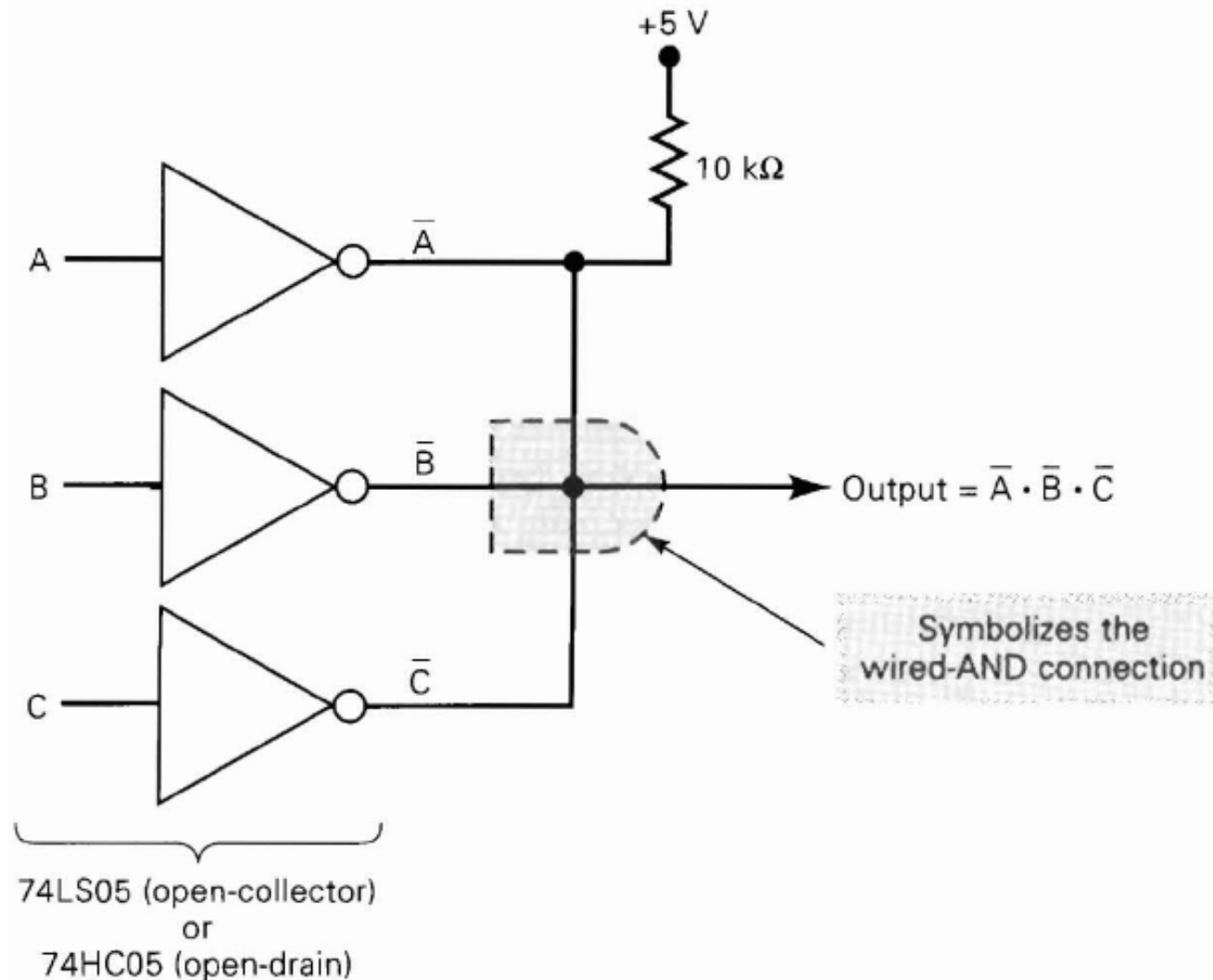


# Revisão Coletor/dreno aberto

\*transistor shown for illustrative purposes

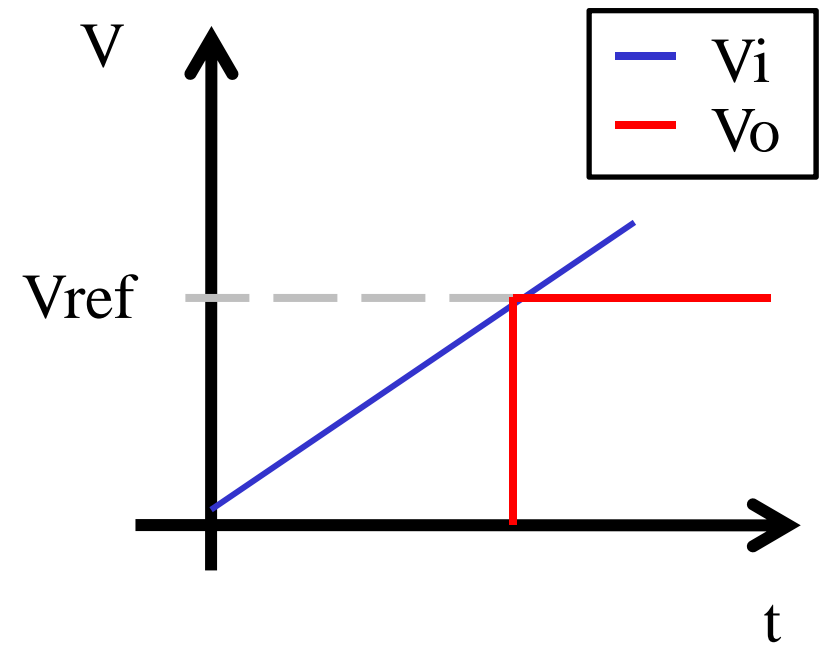
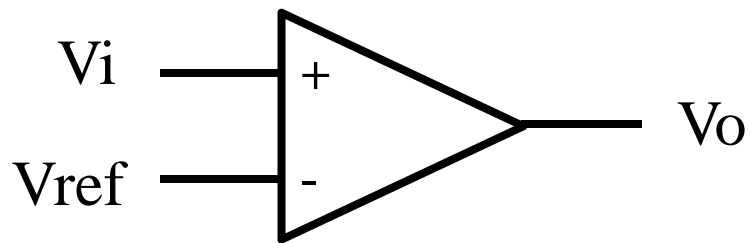


# Revisão Coletor/dreno aberto (Porta NOR “wired”)



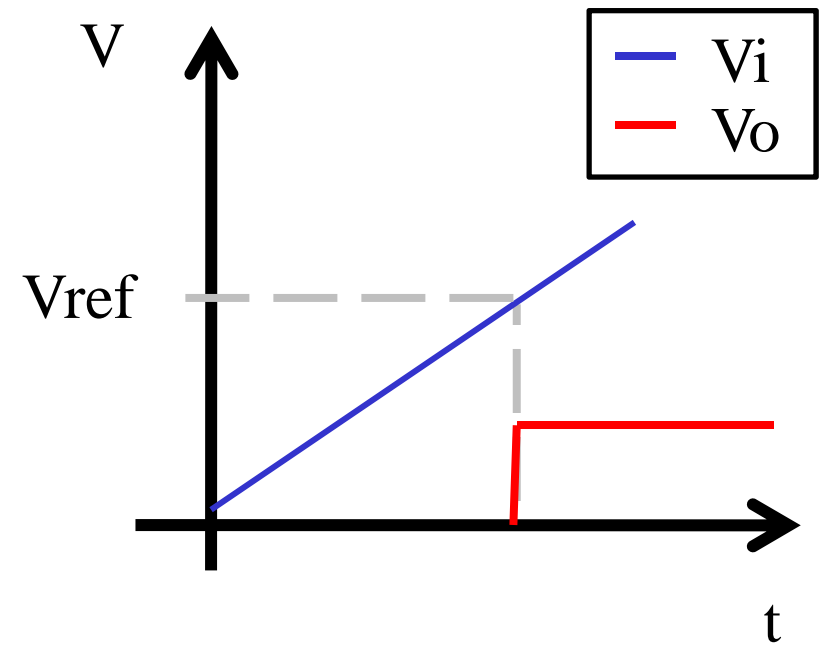
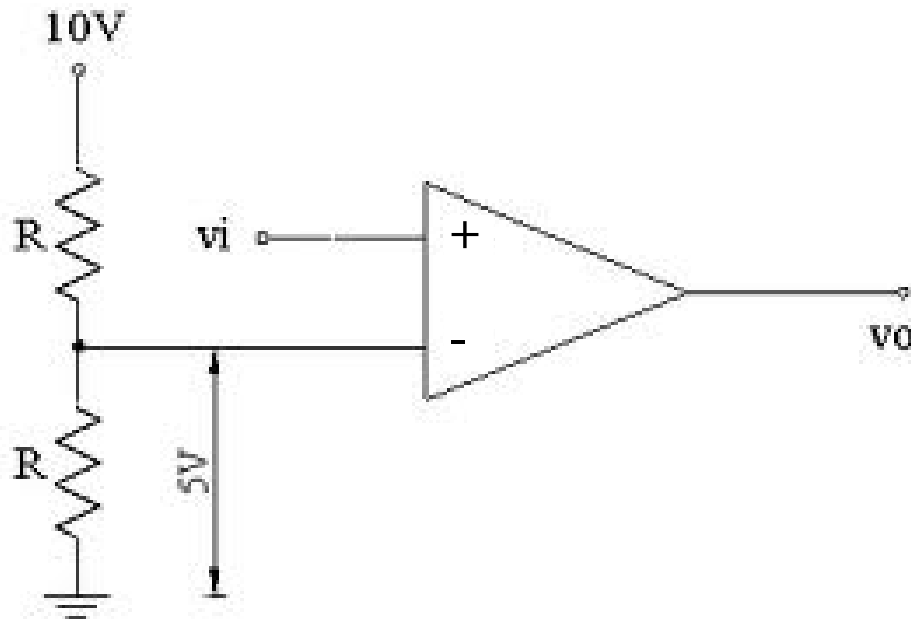
# Comparador

- Circuito comparador



# Comparador

- Circuito comparador

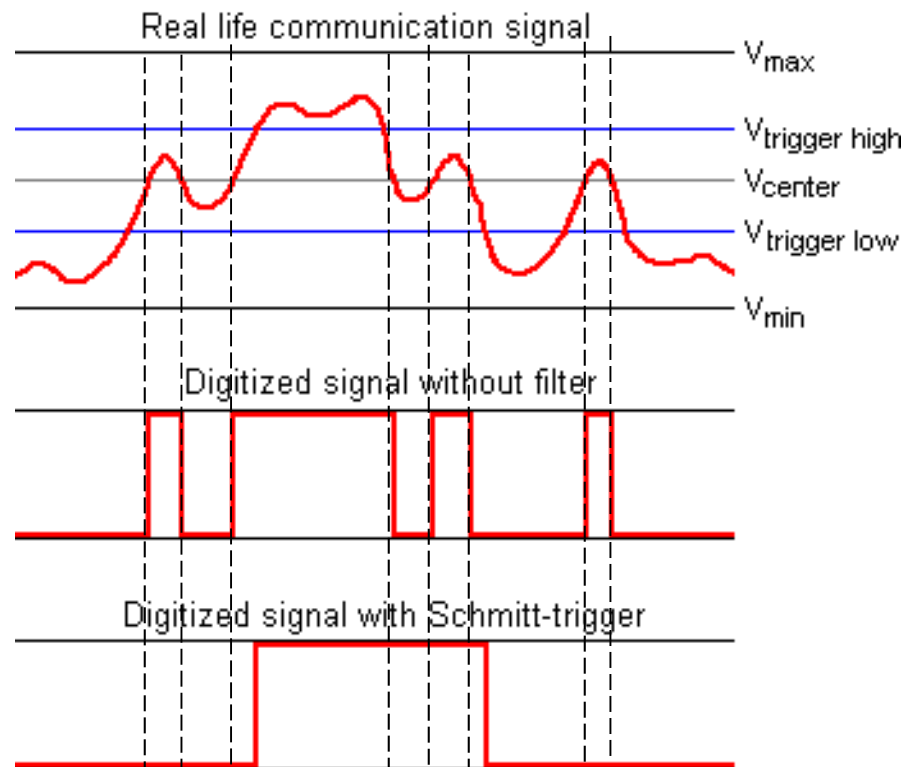
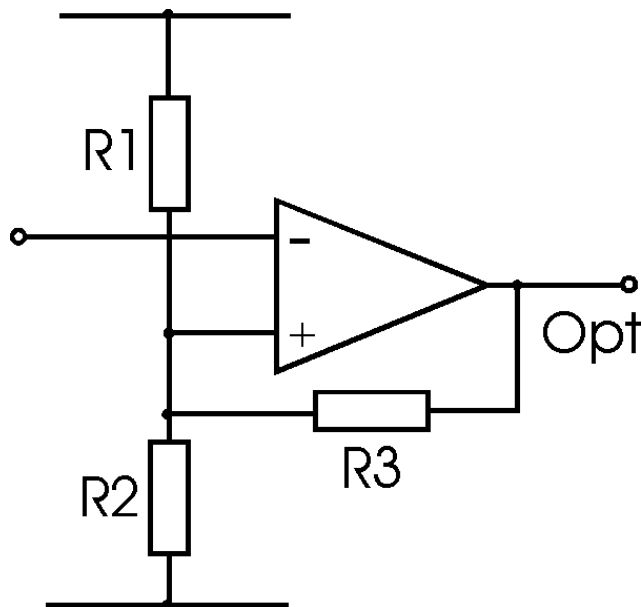
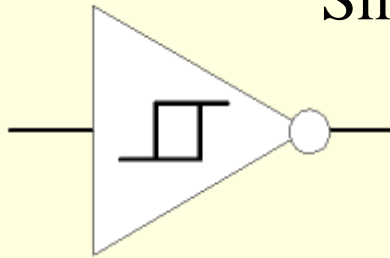




# Schmitt Trigger

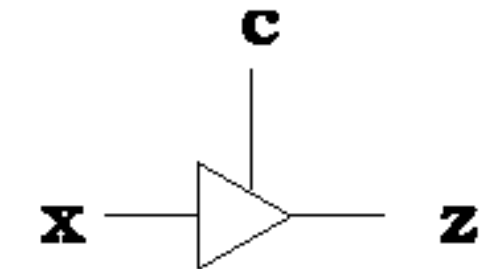
- Na entrada do reset (pino 9) existe internamente um schmitt trigger

Símbolo do schmitt trigger

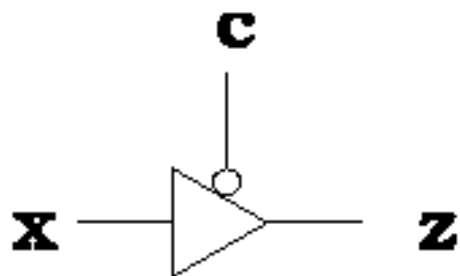


# Tristate

- Circuito digital cuja saída apresenta três estados: um lógico, zero lógico e alta impedância ou circuito aberto;



tri-state buffer with  
active high control



tri-state buffer with  
active low control

C	X	Z
0	0	Z
0	1	Z
1	0	0
1	1	1

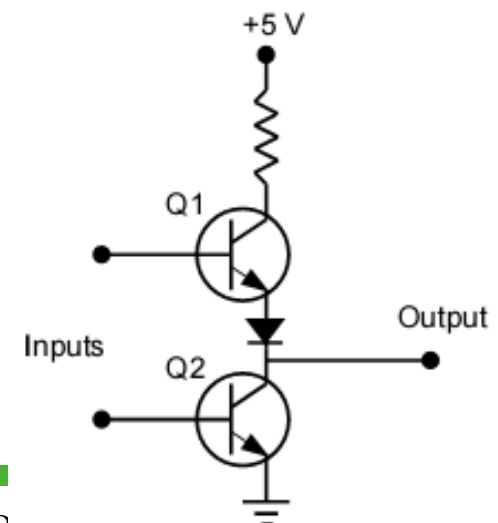
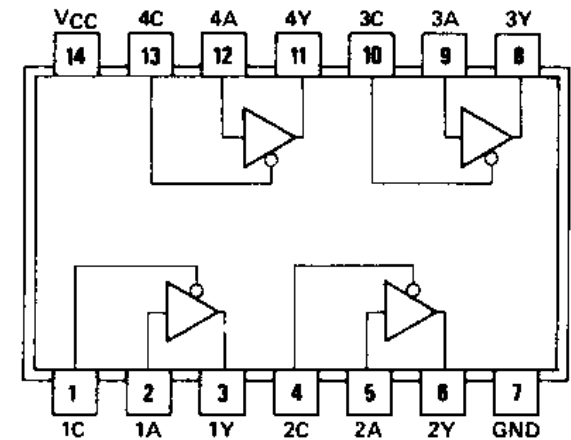
## Entradas de Q1 Q2

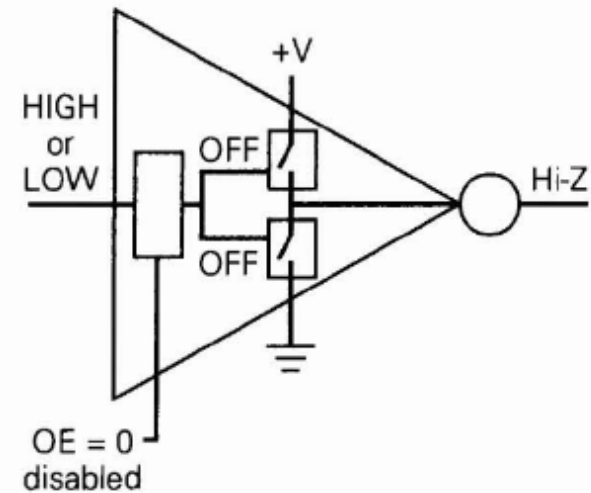
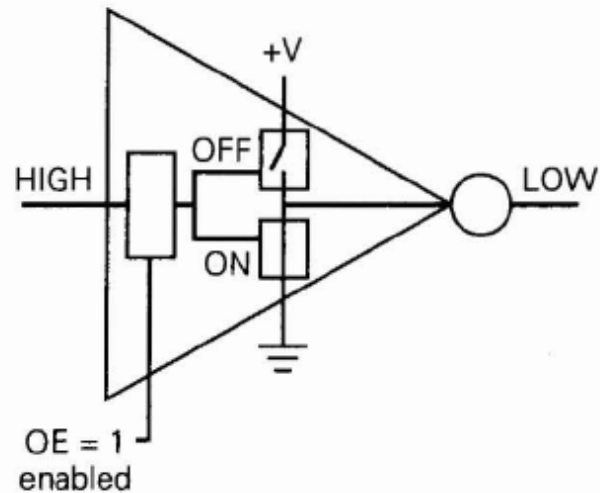
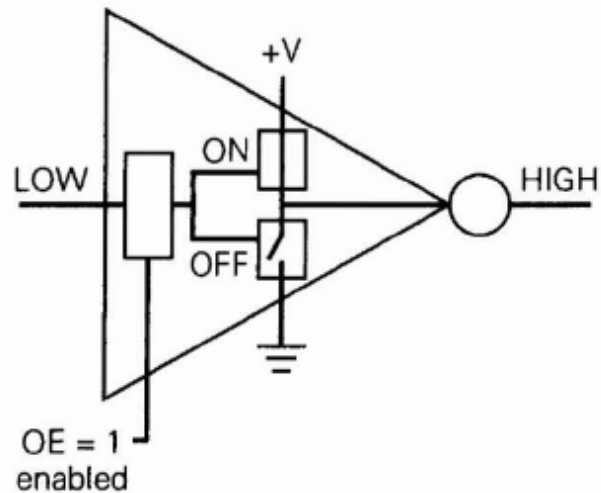
OFF OFF High Impedance

OFF ON 0V

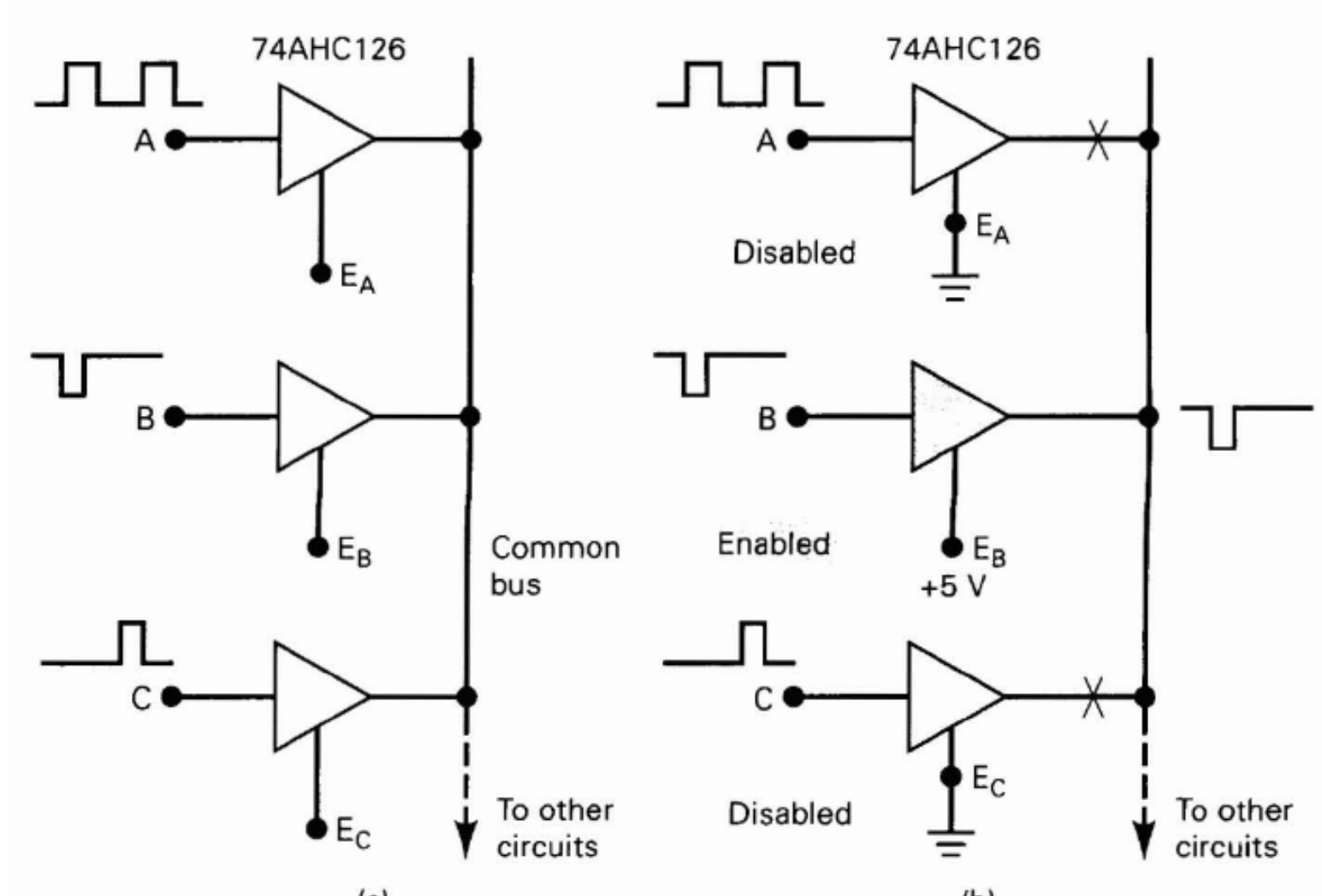
ON OFF +5V

## 74125



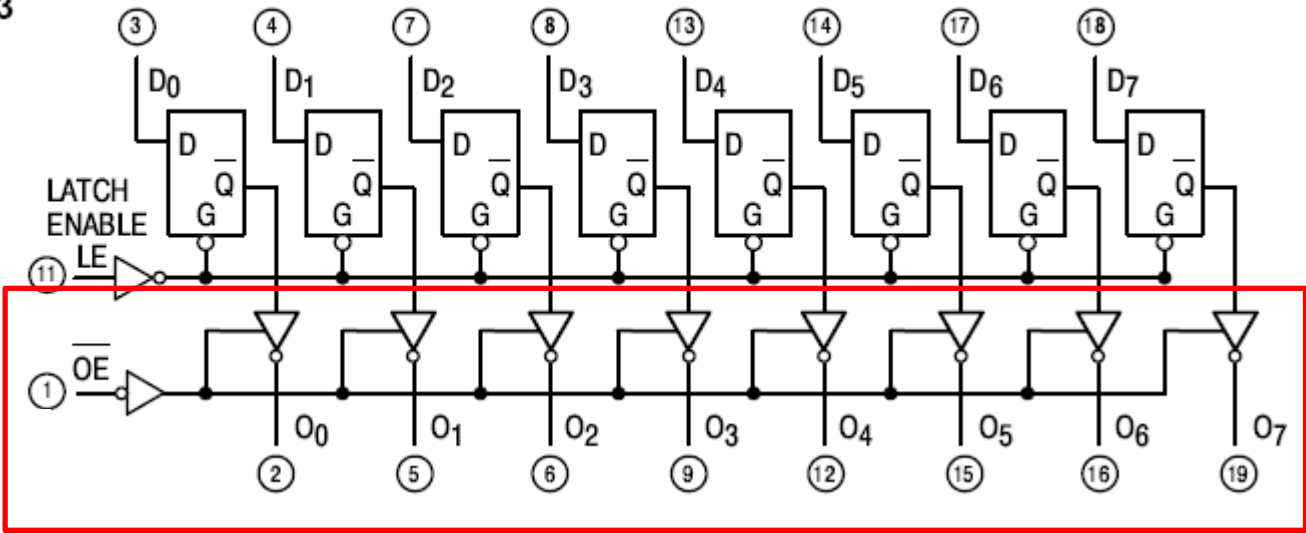


# Tristate - Exemplo



# Habilitação de saídas em barramentos compartilhados.

SN54LS/74LS373



LS373

D <sub>n</sub>	LE	OE	O <sub>n</sub>
H	H	L	H
L	H	L	L
X	L	L	Q <sub>0</sub>
X	X	H	Z*

H = HIGH Voltage Level  
L = LOW Voltage Level  
X = Immaterial  
Z = High Impedance