

Conjunto reduzido de instruções

João Pedro Carneiro de Almeida
Evandro Felipe Rodrigues

Conjunto reduzido de instruções

I - Características da execução de instruções

- ☐ Operações
- ☐ Operandos
- ☐ Chamadas de procedimentos
- ☐ Implicações

II - Uso de um grande banco de registradores

- ☐ Janelas de registradores
- ☐ Variáveis globais
- ☐ Grande banco de registradores VS memória cache

III - Otimização do uso de registradores baseada em compiladores

IV - Arquiteturas com um conjunto reduzido de instruções

- ☐ Características de arquiteturas com um conjunto reduzido de instruções
- ☐ Características CISC versus RISC

Conjunto reduzido de instruções

V - Pipeline de instruções RISC

- ☐ Pipeline com instruções regulares
- ☐ Otimização da pipeline

VI - MIPS R4000

- ☐ Conjunto de instruções
- ☐ Pipeline de instruções

VII - SPARC

- ☐ Conjunto de registradores da SPARC
- ☐ conjunto de instruções
- ☐ Formato das instruções

Características da execução de instruções

- Uma das formas de evolução mais evidentes associada aos computadores foi a das linguagens de programação.
 - queda no custo do hardware => aumento no custo do software
 - Além de apresentar um alto custo, o sistema de software é, em geral, pouco confiável
- desenvolvimento de linguagens de programação de alto nível cada vez mais poderosas e complexas
- gap semântico
 - ineficiência na execução de programas
 - tamanho excessivo dos programas
 - grande complexidade dos compiladores

Características da execução de instruções

Operações

	Ocorrência dinâmica		Ponderada por instrução de máquina		Ponderada por referência à memória	
	Pascal	C	Pascal	C	Pascal	C
Comando de atribuição	45	38	13	13	14	15
Comando de repetição	5	3	42	32	33	26
Chamada de procedimento	15	12	31	33	44	45
Comando condicional	29	43	11	21	7	13
Desvio incondicional	—	3	—	—	—	—
Outros	6	1	3	1	2	1

Características da execução de instruções

Operandos

	Pascal	C	Média
Constante inteira	16	23	20
Variável escalar	58	53	55
Vetor/registro	26	24	25

Características da execução de instruções

chamadas de procedimentos

Porcentagem de execução de chamadas de procedimentos com	Compiladores, interpretadores e editores de texto	Pequenos programas não-numéricos
>3 argumentos	0–7%	0–5%
>5 argumentos	0–3%	0%
>8 palavras de argumentos e variáveis escalares locais	1–20%	0–6%
>12 palavras de argumentos e variáveis escalares locais	1–6%	0–3%

Características da execução de instruções

Implicações

- projetar uma arquitetura com instruções de linguagens de alto nível não é muito efetivo
- RISC
 - grande numero de registradores em uso
 - cuidadosa atenção no projeto de pipelines de instruções
 - conjunto de instruções simplificado(reduzido)

Uso de um grande banco de registradores

- registradores constituem o dispositivo que oferece acesso mais rápido
- banco de registradores
 - fisicamente pequeno
 - contido na mesma ULA e da unidade de controle
 - endereços de tamanho menor em comparação a memória cache ou memória principal
- duas abordagens possíveis
 - software
 - compilador com a tarefa de otimizar o uso de registradores
 - hardware
 - número maior de registradores
- **Foco na abordagem via hardware!!**

Uso de um grande banco de registradores

Janelas de registradores

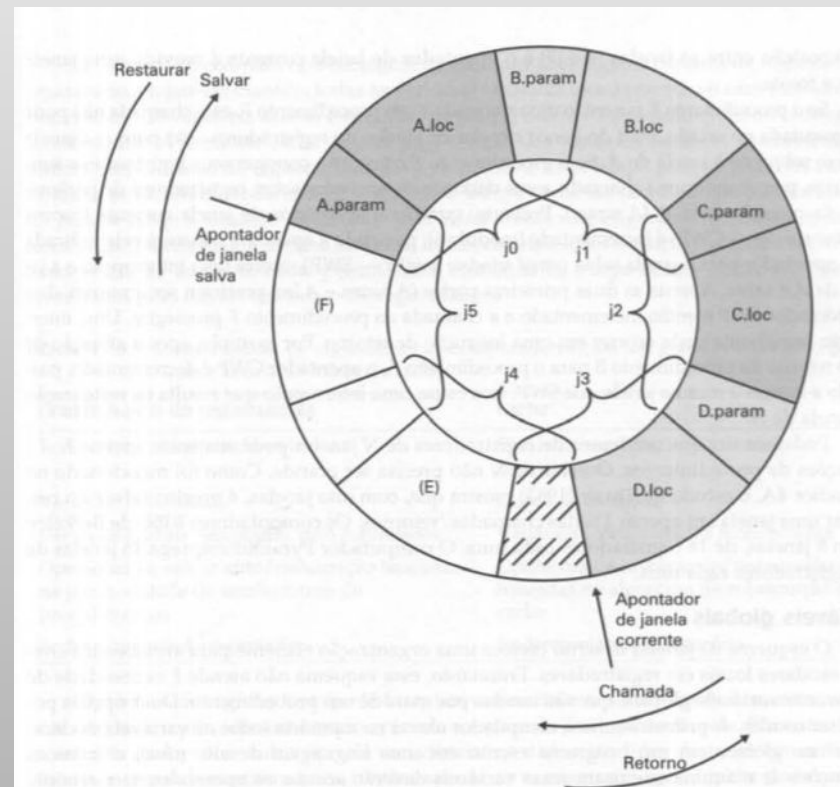
- mais registradores = menos acesso a memória



Uso de um grande banco de registradores

Janelas de registradores

- banco de registradores é organizado como um arranjo circular de janelas sobrepostas.



Uso de um grande banco de registradores

Variáveis globais

- o esquema de janelas oferece uma organização eficiente para armazenar variáveis escalares locais em registradores
 - esse caso não resolve o problema das variáveis globais
- Alternativa: incorporar no processador um conjunto de registradores globais

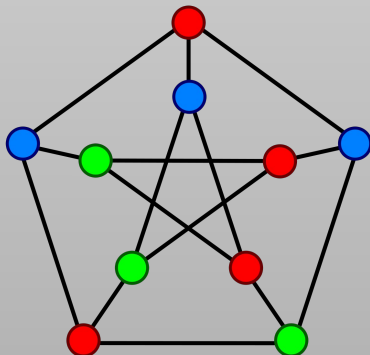
Uso de um grande banco de registradores

Grande banco de registradores versus memória cache

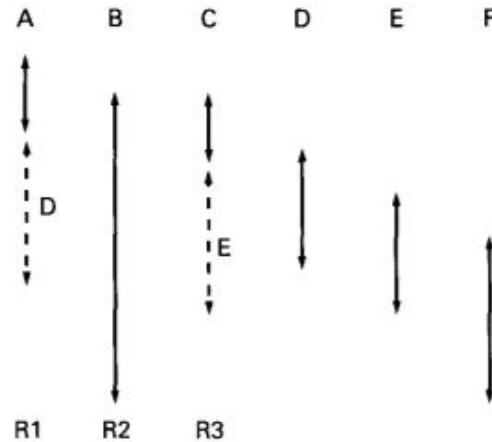
Grande banco de registradores	Cache
Todas as variáveis escalares locais	Variáveis escalares locais usadas recentemente
Variáveis individuais	Blocos de memória
Variáveis globais designadas pelo compilador	Variáveis globais usadas recentemente
Operações de salvamento/restauração baseadas na profundidade de aninhamento de procedimentos	Operações de salvamento/restauração baseadas no algoritmo de substituição de cache
Endereçamento de registrador	Endereçamento de memória

Otimização do uso de registradores baseada em compiladores

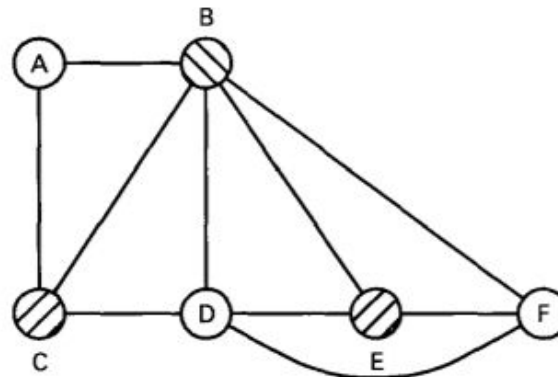
- **Abordagem por software**
- Compilador mantém em registradores os operandos requeridos no maior número possível de computações
 - alocação em um registrador simbólico ou virtual
 - mapeamento dos registradores simbólicos em registradores reais
 - registradores simbólicos sem dados sobrepostos podem coexistir no mesmo registrador real
 - Caso o programa manipule uma quantidade de dados maior que o número de registradores reais, usa-se a memória.
- **Coloração de grafos**



Otimização do uso de registradores baseada em compiladores



(a) Sequência de intervalos de uso ativo de registradores



(b) Grafo de interferência entre registradores

Arquitetura com conjunto reduzido de instruções

Características de arquiteturas com conjunto reduzido de instruções

- Uma instrução por ciclo
- Operações de registrador para registrador
- Modos de endereçamento simples
- Formatos de instrução simples

Arquitetura com conjunto reduzido de instruções

Características CISC versus RISC

1. Tamanho de instrução único
2. Tamanho típico de instrução de 4 bytes
3. Pequeno número de modos de endereçamento de dados, usualmente menor que 5
4. Nenhum endereçamento indireto que faça acesso à memória para obter o endereço de um operando.
5. Nenhuma operação que combine carga ou armazenamento de dados com uma operação aritmética
6. Não mais que um operando endereçado na memória por instrução.
7. Inexistência de suporte a alinhamento arbitrário de dados para operações de carga ou armazenamento.
8. Máximo número de usos da unidade de gerenciamento de memória
9. Uso de cinco ou mais bits para especificar um registrador de número inteiro
10. Uso de quatro ou mais bits para especificar um registrador de ponto flutuante.

Arquitetura com conjunto reduzido de instruções

Características CISC versus RISC

Processador	Número de tamanhos de instruções	Tamanho máximo de instrução em bytes	Número de modos de endereçamento	Endereçamento indireto	Carga/armazenamento combinado com aritmética	Número máximo de operandos na memória	Possibilidade de endereçamento não-alinhado	Número máximo de usos da MMU	Número de bits para especificar registrador de número inteiro	Número de bits para especificar registrador de ponto flutuante
AMD29000	1	4	1	não	não	1	não	1	8	3 ^a
MIPS R2000	1	4	1	não	não	1	não	1	5	4
SPARC	1	4	2	não	não	1	não	1	5	4
MC88000	1	4	3	não	não	1	não	1	5	4
HP PA	1	4	10 ^a	não	não	1	não	1	5	4
IBM RT/PC	2 ^a	4	1	não	não	1	não	1	4 ^a	3 ^a
IBM RS/6000	1	4	4	não	não	1	sim	1	5	5
Intel i860	1	4	4	não	não	1	não	1	5	4
IBM 3090	4	8	2 ^b	não ^b	sim	2	sim	4	4	2
Intel 80486	12	12	15	não ^b	sim	2	sim	4	3	3
NSC 32016	21	21	23	sim	sim	2	sim	4	3	3
MC68040	11	22	44	sim	sim	2	sim	8	4	3
VAX	56	56	22	sim	sim	6	sim	24	4	0
Clipper	4 ^a	8 ^a	9 ^a	não	não	1	0	2	4 ^a	3 ^a
Intel 80960	2 ^a	8 ^a	9 ^a	não	não	1	sim ^a	—	5	3 ^a

a RISC que não possui essa característica.
b CISC que não possui essa característica.

Arquitetura com conjunto reduzido de instruções

PIPELINE DE INSTRUÇÕES RISC

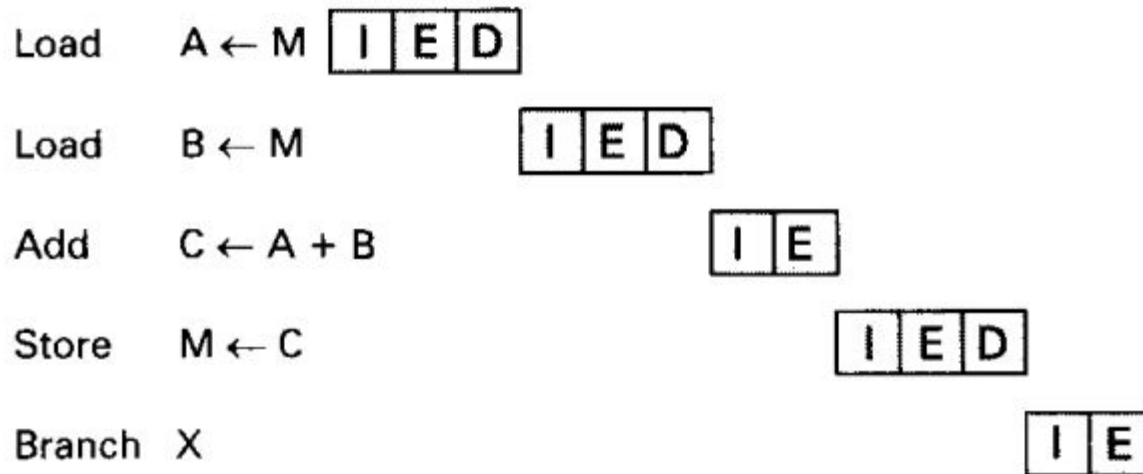
Ciclo de instrução apresenta as duas fases seguintes

- I: Busca de instrução.
- E: Execução. Realiza uma operação da ULA, com entrada e saída em registradores.

A execução de operações de carga e armazenamento requer três fases:

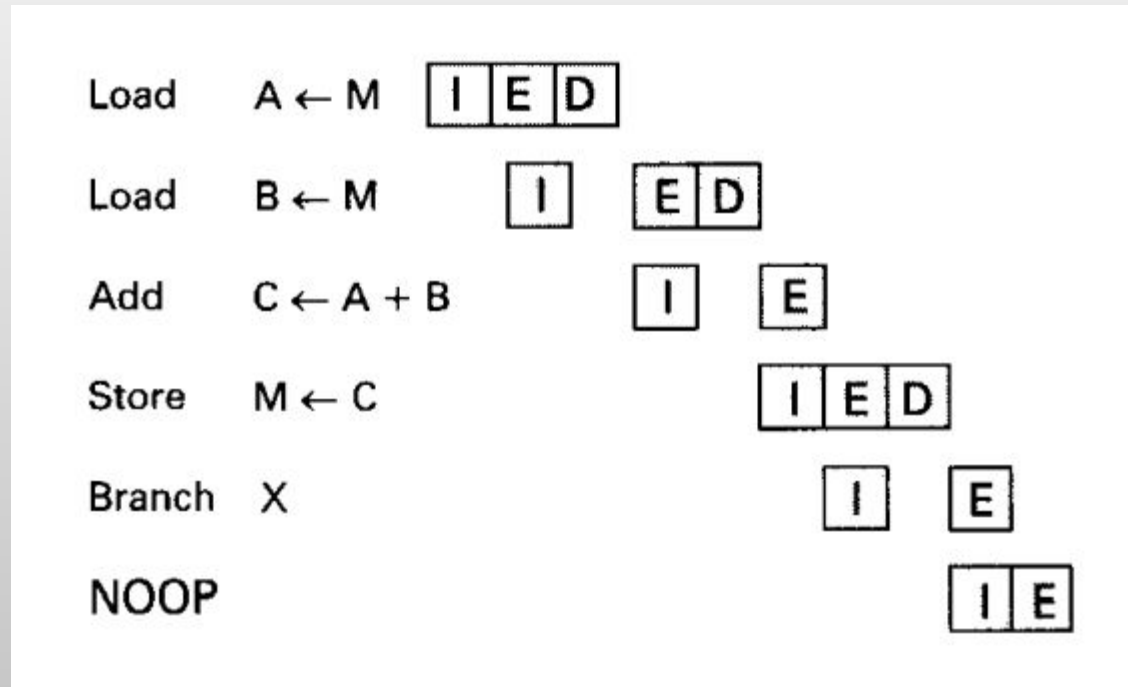
- I: Busca de instrução.
- E: Execução. Calcula o endereço de memória.
- O: Memória. Operação de registrador para memória ou de memória para registrador

Arquitetura com conjunto reduzido de instruções



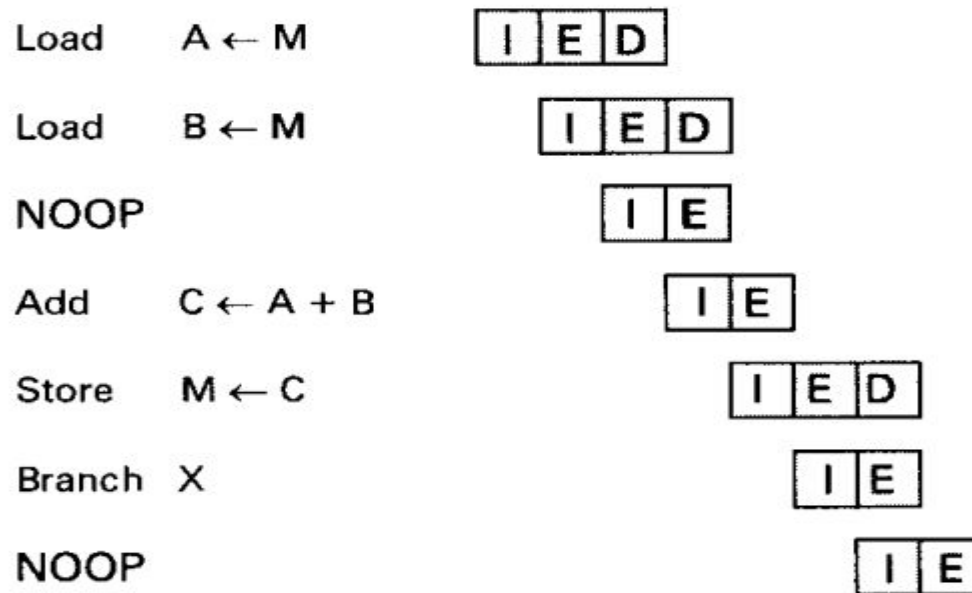
- Execução Sequencial
- Apresenta certo desperdício.
- Pode ser melhorado substancialmente

Arquitetura com conjunto reduzido de instruções



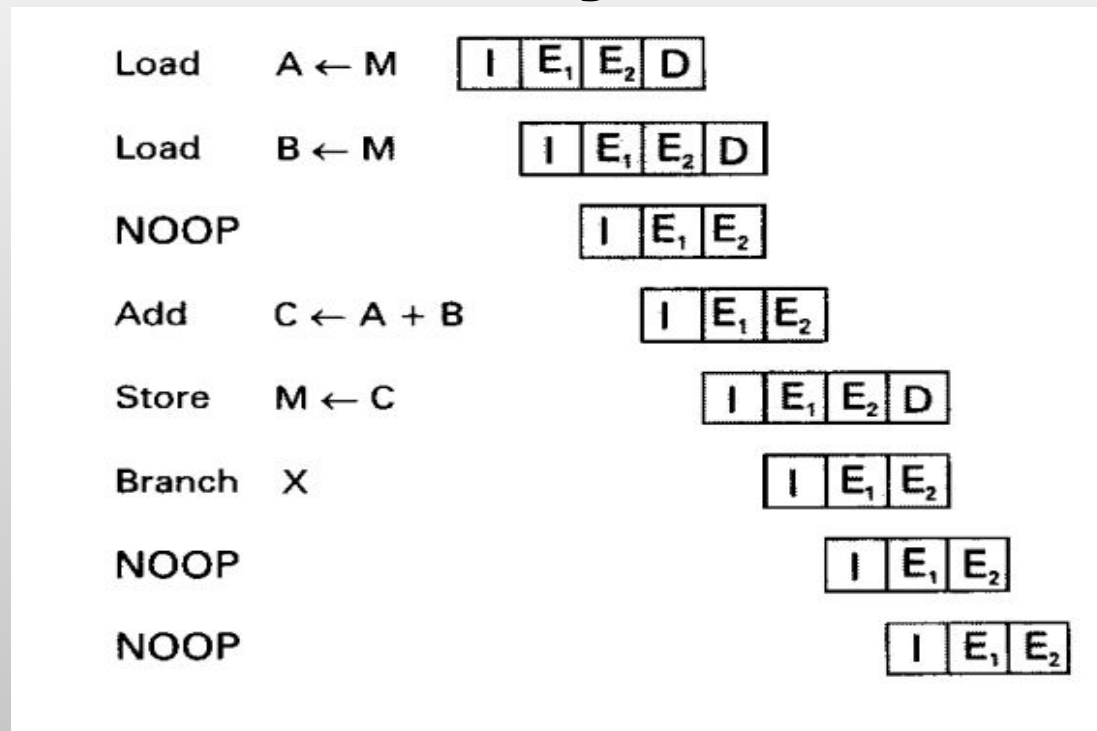
- Diagrama pipeline com dois caminhos
- Executadas simultaneamente as fases I e E
- Taxa de execução de instruções até duas vezes maior

Arquitetura com conjunto reduzido de instruções



- Diagrama de pipeline com três caminhos
- Até três instruções podem ser sobrepostas

Arquitetura com conjunto reduzido de instruções



- Diagrama de pipeline com quatro caminhos
- Ganho de 4 vezes

Arquitetura com conjunto reduzido de instruções

MIPS R4000

- Um dos primeiros conjuntos de processadores RISC
- 64 bits
- Maior espaço de endereçamento
- processar dados como números de ponto flutuante de precisão simples

Arquitetura com conjunto reduzido de instruções

MIPS R4000

- pastilha dividida em duas seções
 - CPU
 - Coprocessador
- 32 registradores de 64 bits
- 128 Kbytes de memória cache de alta velocidade

Arquitetura com conjunto reduzido de instruções

MIPS R4000

- O R4000 não usa códigos de condição.
- o MIPS usa um único tamanho de instrução de 32 bits.

Arquitetura com conjunto reduzido de instruções

OP	Descrição
Instruções de carga/armazenamento	
LB	Carregar byte
LBU	Carregar byte sem sinal
LH	Carregar meia palavra
LHU	Carregar meia palavra sem sinal
LW	Carregar palavra
LWL	Carregar palavra da esquerda
LWR	Carregar palavra da direita
SB	Armazenar byte
SH	Armazenar meia palavra
SW	Armazenar palavra
SWL	Armazenar palavra à esquerda
SWR	Armazenar palavra à direita

Arquitetura com conjunto reduzido de instruções

OP	Descrição
Instruções de divisão/multiplicação	
MULT	Multiplicação
MULTU	Multiplicação sem sinal
DIV	Divisão
DIVU	Divisão sem sinal
MFHI	Mover de HI
MTHI	Mover para HI
MFLO	Mover de LO
MTLO	Mover para LO

Arquitetura com conjunto reduzido de instruções

Instruções aritméticas (ULA)

ADDI	Adicionar operando imediato
ADDIU	Adicionar operando imediato sem sinal
SLTI	Atribuir 1 se menor que operando imediato
SLTIU	Atribuir 1 se menor que operando imediato sem sinal
ANDI	AND com operando imediato
ORI	OR com operando imediato
XORI	XOR com operando imediato
LUI	Carregar metade superior com operando imediato

Arquitetura com conjunto reduzido de instruções

Instruções de desvio

J	Desvio incondicional
JAL	Desvio incondicional com ligação
JR	Desvio incondicional para registrador
JALR	Desvio incondicional para registrador com ligação
BEQ	Desvio se igual
BNE	Desvio se diferente
BLEZ	Desvio se menor ou igual a zero
BGTZ	Desvio se maior que zero
BLTZ	Desvio se menor que zero
BGEZ	Desvio se maior ou igual a zero
BLTZAL	Desvio se menor que zero com ligação
BGEZAL	Desvio se maior ou igual a zero com ligação

Arquitetura com conjunto reduzido de instruções

Instruções aritméticas (3 operandos, tipo R)

ADD	Adicionar
ADDU	Adicionar sem sinal
SUB	Subtrair
SUBU	Subtrair sem sinal
SLT	Atribuir 1 se menor que
SLTU	Atribuir 1 se menor que
AND	AND
OR	OR
XOR	XOR
NOR	NOR

Arquitetura com conjunto reduzido de instruções

Instruções do co-processador

LWCz	Carregar palavra para co-processador
SWCz	Armazenar palavra de co-processador
MTCz	Mover para co-processador
MFCz	Mover do co-processador
CTCz	Mover controle para co-processador
CFCz	Mover controle do co-processador
COPz	Operação do co-processador
BCzT	Desvio se condição z do co-processador é verdadeira
BCzF	Desvio se condição z do co-processador é falsa

Instruções especiais

SYSCALL	Chamada de sistema
BREAK	Gera uma exceção

Arquitetura com conjunto reduzido de instruções

Instruções de deslocamento

SLL	Deslocamento lógico para esquerda
SRL	Deslocamento lógico para direita
SRA	Deslocamento aritmético para direita
SLLV	Deslocamento lógico variável para esquerda
SRLV	Deslocamento lógico variável para direita
SRAV	Deslocamento aritmético variável para direita

Arquitetura com conjunto reduzido de instruções

- INSTRUÇÕES ADICIONAIS DO R4000

OP	Descrição
Instruções de carga/armazenamento	
LL	Carga ligada
SC	Armazenamento condicional
SYNC	Sincronização
Instruções de desvio	
BEQL	Desvio provável se igual
BNEL	Desvio provável se diferente
BLEZL	Desvio provável se menor ou igual a zero
BGTZL	Desvio provável se maior que zero
BLTZL	Desvio provável se menor que zero
BGEZL	Desvio provável se maior ou igual a zero
BLTZALL	Desvio provável se menor que zero com ligação
BGEZALL	Desvio provável se maior ou igual a zero com ligação
BCzTL	Desvio provável se condição z do co-processador verdadeira
CDzFL	Desvio provável se condição z do co-processador falsa

Arquitetura com conjunto reduzido de instruções

- INSTRUÇÕES ADICIONAIS DO R4000

OP	Descrição
Instruções de exceção	
TGE	Interrompe se maior ou igual
TLGEU	Interrompe se maior ou igual, sem sinal
TLT	Interrompe se menor
TLTU	Interrompe se menor, sem sinal
TEQ	Interrompe se igual
TNE	Interrompe se diferente
TGEI	Interrompe se maior ou igual a operando imediato
TGEIU	Interrompe se maior ou igual a operando imediato, sem sinal
TLTI	Interrompe se menor que operando imediato
TLTIU	Interrompe se menor que operando imediato, sem sinal
TEQI	Interrompe se igual a operando imediato
TNEI	Interrompe se diferente de operando imediato
Instruções de co-processador	
LDCz	Carregar palavra dupla para co-processador
SDCz	Armazenar palavra dupla de co-processador

Arquitetura com conjunto reduzido de instruções

Exemplo de instrução

- **lw r2, 128 (r3)**

lw - carregar palavra

r2 - local a ser carregada

128 - endereço de deslocamento de 128 bytes

r3 - a partir do local

Arquitetura com conjunto reduzido de instruções

- SPARC
 - Scalable Processor Architecture
 - Inspirada na máquina RISC I de Berkeley

Arquitetura com conjunto reduzido de instruções

- SPARC
 - Conjunto de registradores da SPARC
 - A arquitetura SPARC usa janelas de registradores
 - 24 registradores
 - Variando entre 2 e 32 janelas

Registadores físicos

135	⋮	Ins
128		
127	⋮	Locais
120		
119	⋮	Outs/Ins
112		
111	⋮	Locais
104		
103	⋮	Outs/Ins
96		
95	⋮	Locais
88		
87	⋮	Outs
80		

⋮

7	⋮	Globais
0		

Procedimento A

R31 _c	⋮	Ins
R24 _c		
R23 _c	⋮	Locais
R16 _c		
R15 _c	⋮	Outs
R8 _c		

⋮

R7	⋮	Globais
R0		

Registadores lógicos

Procedimento B

R31 _c	⋮	Ins
R24 _c		
R23 _c	⋮	Locais
R16 _c		
R15 _c	⋮	Outs
R8 _c		

⋮

R7	⋮	Globais
R0		

Procedimento C

R31 _c	⋮	Ins
R24 _c		
R23 _c	⋮	Locais
R16 _c		
R15 _c	⋮	Outs
R8 _c		

⋮

R7	⋮	Globais
R0		

OP	Descrição
Instruções de carga e armazenamento	
LSDB	Carregar byte com sinal
LDSH	Carregar meia palavra com sinal
LDUB	Carregar byte sem sinal
LDUH	Carregar meia palavra sem sinal
LD	Carregar palavra
LDD	Carregar palavra dupla
STB	Armazenar byte
STH	Armazenar meia palavra
STD	Armazenar palavra
STDD	Armazenar palavra dupla

OP	Descrição
Instruções aritméticas	
ADD	Adição
ADDCC	Adição e modificação de icc
ADDX	Adição com 'vai-um'
ADDXCC	Adição com 'vai-um' e modificação de icc
SUB	Subtração
SUBCC	Subtração e modificação de icc
SUBX	Subtração com 'vai-um'
SUBXCC	Subtração com 'vai-um' e modificação de icc
MULSCC	Passo de multiplicação e modificação de icc

Instruções de deslocamento	
SLL	Deslocamento lógico para a esquerda
SRL	Deslocamento lógico para a direita
SRA	Deslocamento aritmético para a direita
Instruções lógicas	
AND	AND
ANDCC	AND e modificação de icc
ANDN	NAND
ANDNCC	NAND e modificação de icc
OR	OR
ORCC	OR e modificação de icc
ORN	NOR
ORNCC	NOR e modificação de icc
XOR	XOR
XORCC	XOR e modificação de icc
XNOR	XNOR
XNORCC	XNOR e modificação de icc

Instruções de desvio	
BCC	Desvio condicional
FBCC	Desvio sob condição de ponto flutuante
CBCC	Desvio sob condição de co-processador
CALL	Chamada de procedimento
JMPL	Desvio com ligação
TCC	Exceção condicional
SAVE	Avança janela de registradores
RESTORE	Volta janela de registradores
RETT	Retorna de exceção
Outras instruções	
SETHI	Modifica os 22 bits mais significativos
UNIMP	Instrução não implementada
RD	Leitura de registrador especial
WR	Escrita em registrador especial
IFLUSH	Limpa cache de instrução

Arquitetura com conjunto reduzido de instruções

- SPARC

```
sethi %hi (K), %r8
```

```
ld [%r8+%lo(K)], %r8
```

;carrega 22 bits de mais alta ordem do

;endereço de memória K no registrador r8

;carrega conteúdo da posição K em r8

:%hi e %lo são usadas para definir operandos imediatos, que consistem nos bits apropriados do endereço de uma posição.

Exercícios

1- Considerando o padrão chamada e retorno de procedimentos mostrado na Figura 4.29, quantas situações de overflow e underflow (cada um dos quais causando uma operação de salvamento / restauração de um registrador) ocorreriam com uma janela de registradores com tamanho de:

- a. 5 registradores?**
- b. 8 registradores?**
- c. 16 registradores?**

2 - Em muitos casos, instruções de máquina comuns, que não são relacionadas como parte do conjunto de instruções MIPS, podem ser sintetizadas com uma única instrução MIPS. Mostre que isso ocorre para as seguintes instruções:

- a. Mover dado de registrador para registrador**
- b. Incrementar, decrementar**
- c. Complementar**
- d. Negar**
- e. Limpar**

3 - Exemplifique uma instrução MIPS R4000 e discorra sobre a mesma.