



Barramento dos sistemas

Alunos:

Cláudio André Rocha Alvares de Oliveira

Luís Henrique Nunes da Silva

Gustavo José Pimentel Brasileiro

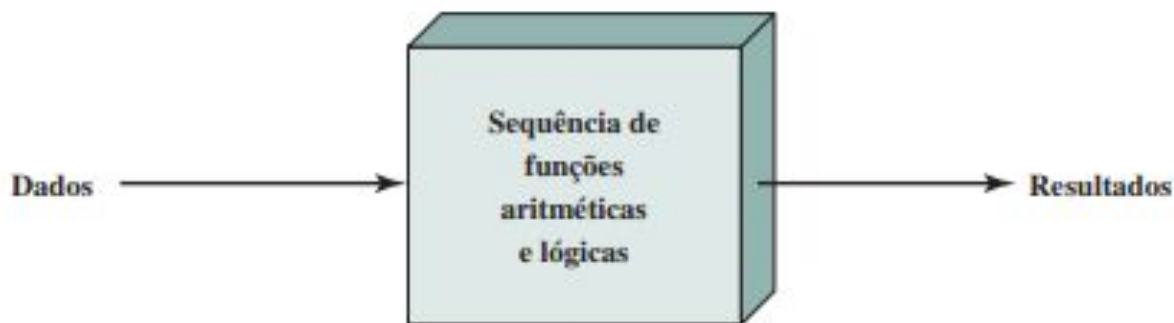
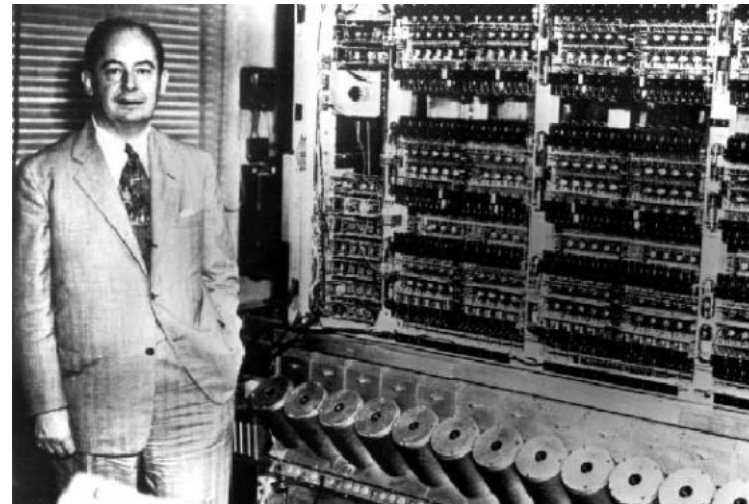
Organização e Arquitetura de Computadores

2021.1

Barramento dos sistemas

Componentes do computador

- John von Neumann (Arquitetura Von Neumann)
- Programa
- sistema aceita dados e produz resultados

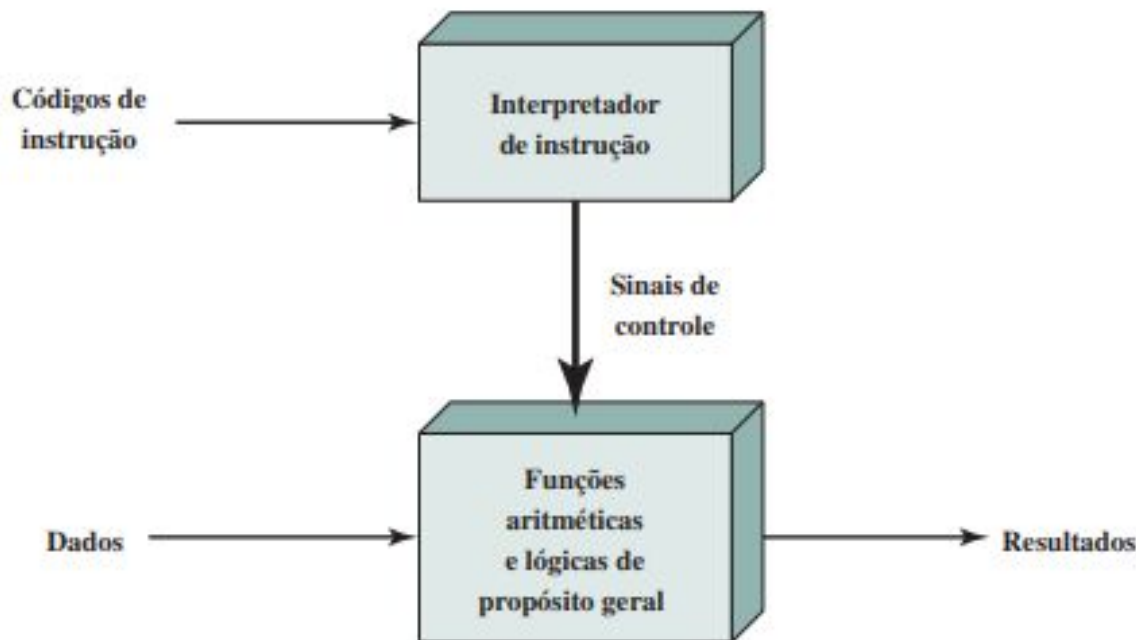


(a) Programação no hardware

Barramento dos sistemas

Componentes do computador

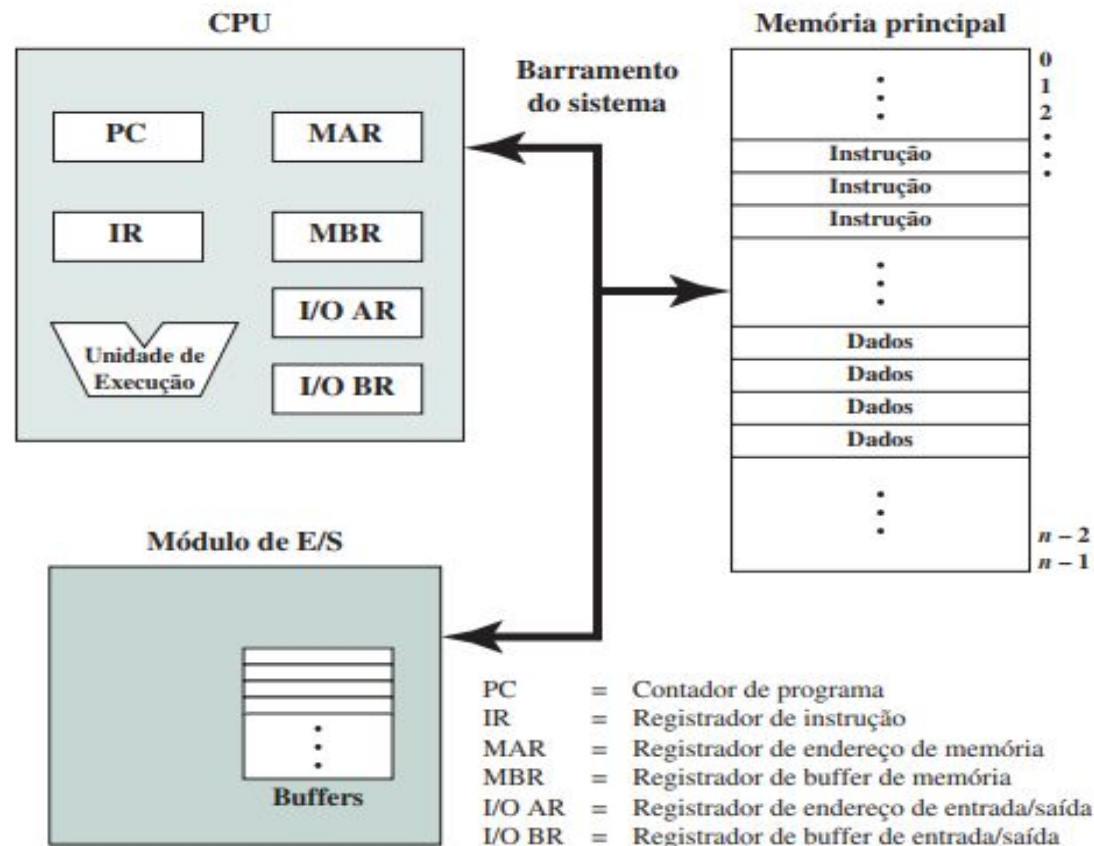
- John von Neumann (Arquitetura Von Neumann)
- Programa
- sistema aceita dados e produz resultados
- Código de instrução



(b) Programação no software

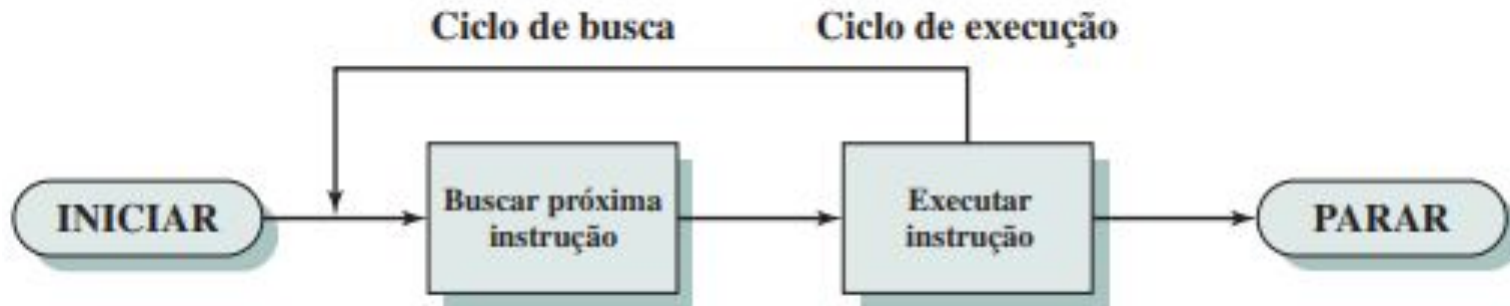
Componentes do computador

- Componentes de E/S
- Armazenamento de instruções e dados (Memória)
- Registrador de Endereço de memória
- Registrador de buffer de memória
- Registrador de endereço de entrada/saída
- Registrador de buffer de entrada/saída



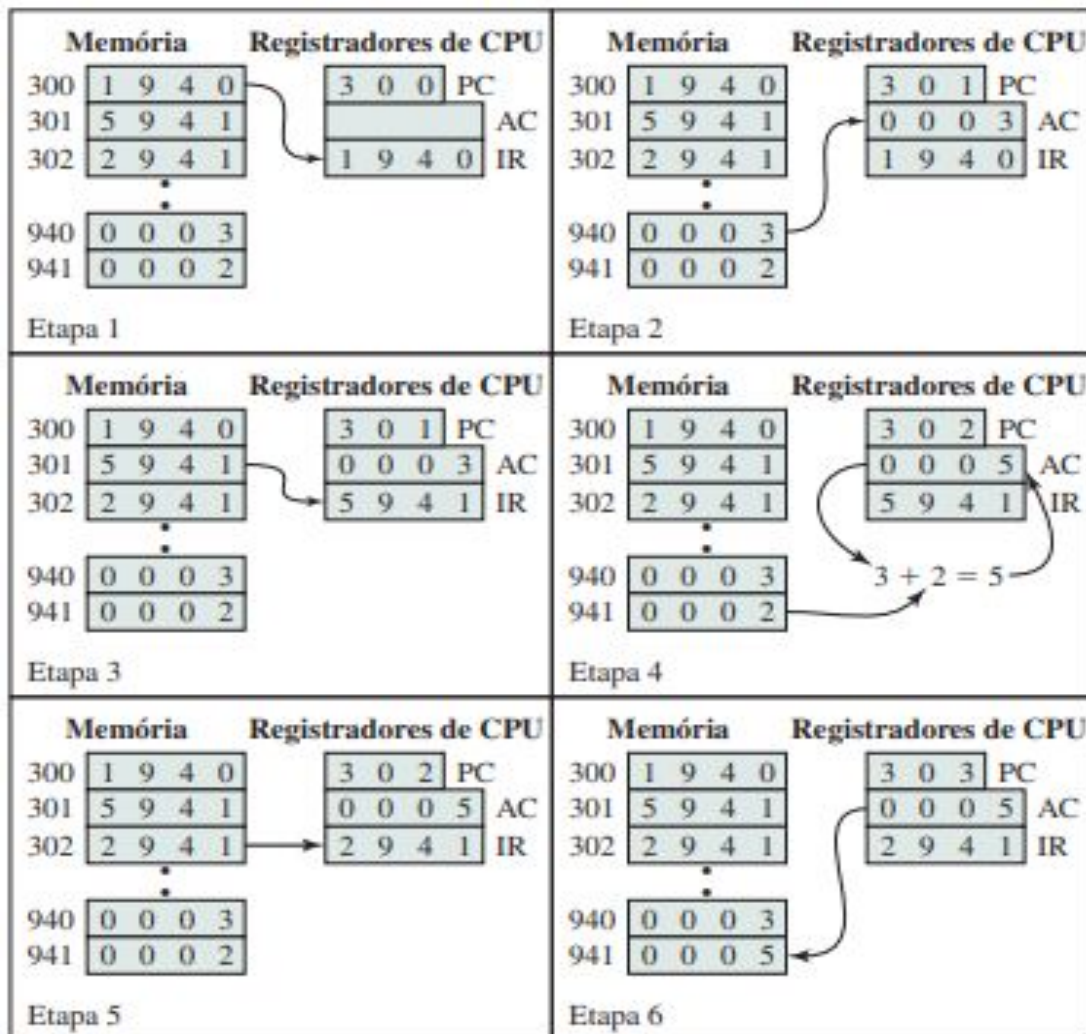
Função do Computador

- **Leitura e Execução**
- **Ciclo de instrução**
- **Ciclo de busca e Ciclo de execução**
- **Contador de Programa**
- **Registrador de Instrução**
- **Processador-memória**
- **Processador E/S**
- **Processamento de dados**
- **Controle**



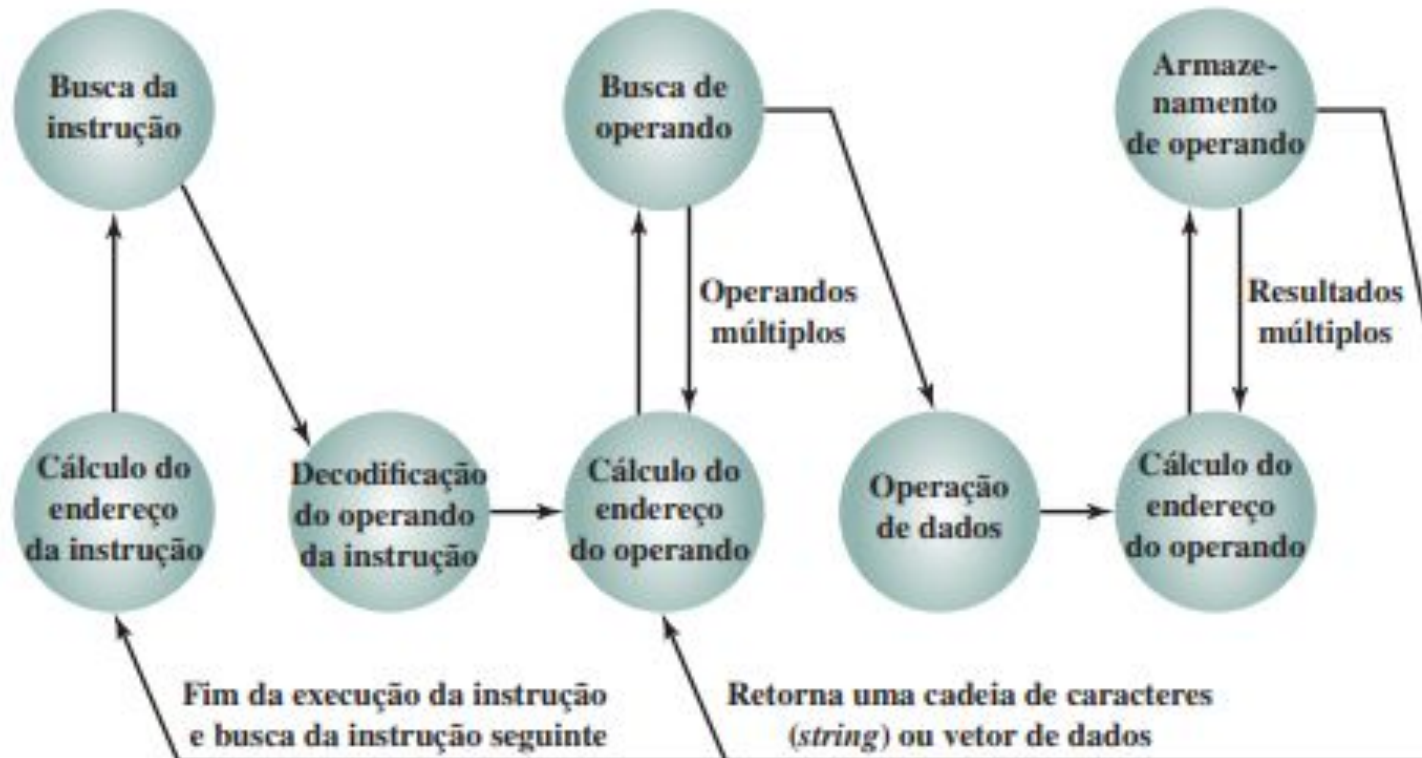
Função do Computador

- Ciclo de Busca e execução de instruções



Função do Computador

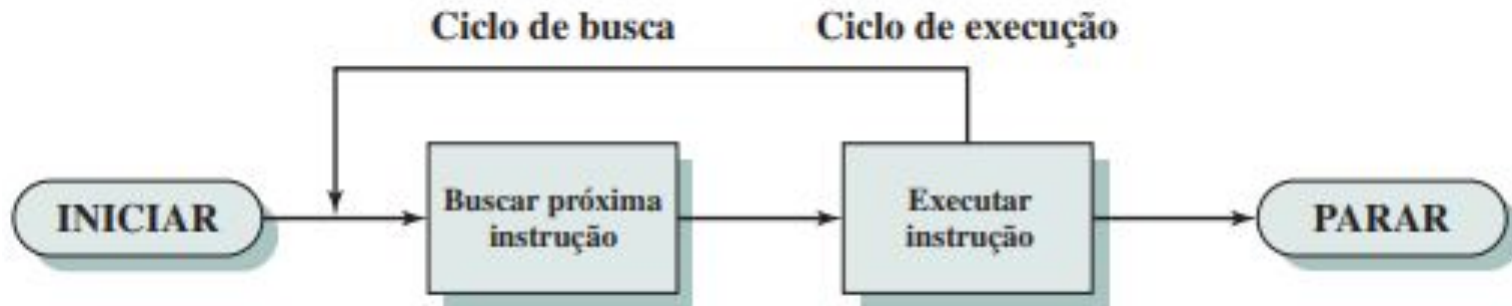
- Ciclo de Busca e execução de instruções



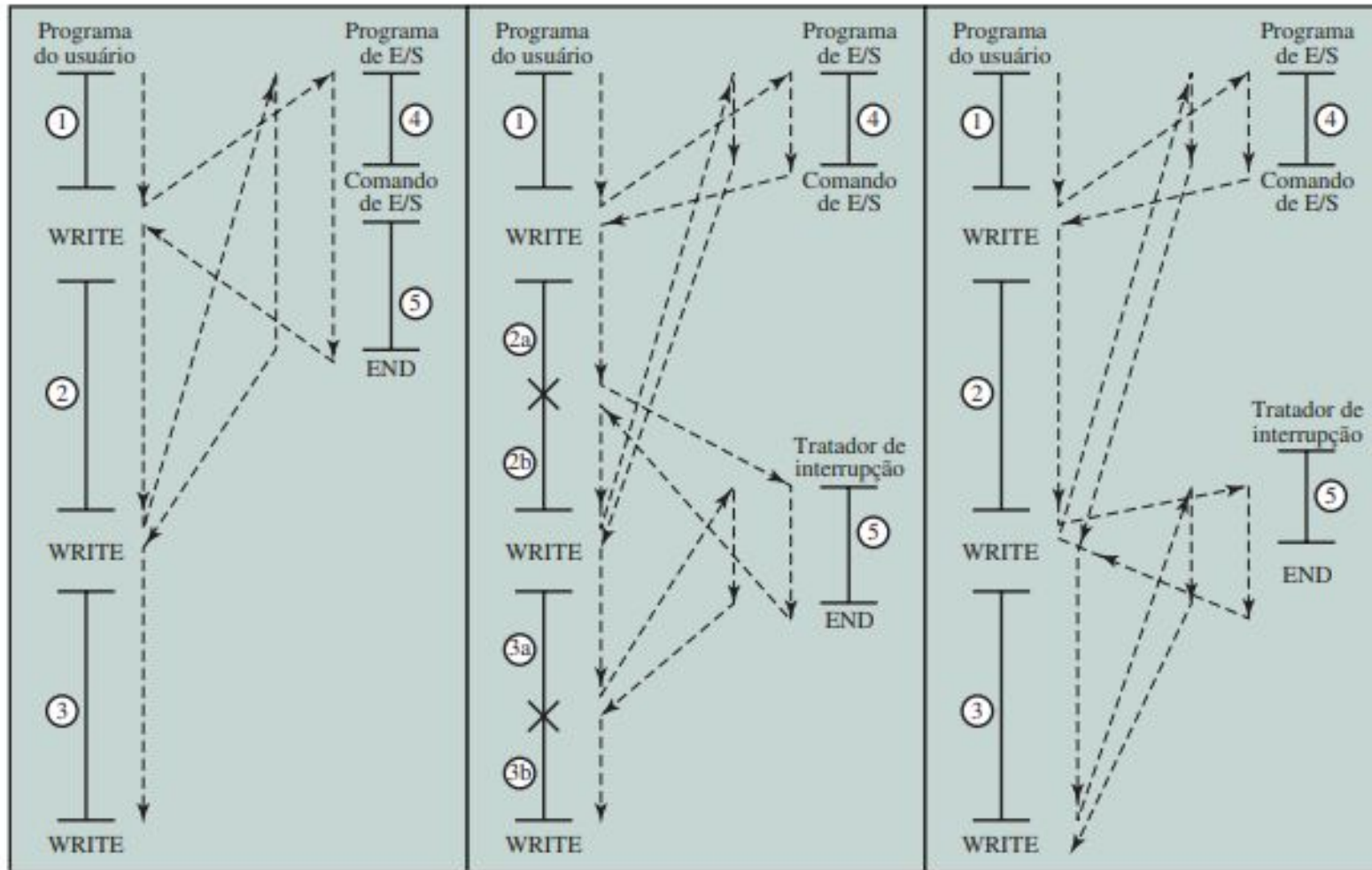
Interrupções

Classes de interrupções.

Programa	Gerada por alguma condição que ocorre como resultado da execução de uma instrução, como o <i>overflow</i> aritmético, divisão por zero, tentativa de executar uma instrução de máquina ilegal ou referência fora do espaço de memória permitido para o usuário.
Timer	Gerada por um timer dentro do processo. Isso permite que o sistema operacional realize certas funções regularmente.
E/S	Gerada por um controlador de E/S para sinalizar o término normal de uma operação ou para sinalizar uma série de condições de erro.
Falha de hardware	Gerada por uma falha como falta de energia ou erro de paridade de memória.



Interrupções



(a) Sem interrupções

(b) Interrupções; curta espera de E/S

(c) Interrupções; longa espera de E/S

Interrupções

PROGRAMA DO USUÁRIO

$\left\{ \begin{array}{l} \langle \text{comando} \rangle \\ \langle \text{comando} \rangle \\ \vdots \\ \langle \text{comando} \rangle \end{array} \right\}$ Segmento de código 1

WRITE

$\left\{ \begin{array}{l} \langle \text{comando} \rangle \\ \langle \text{comando} \rangle \\ \vdots \\ \langle \text{comando} \rangle \end{array} \right\}$ Segmento de código 2

WRITE

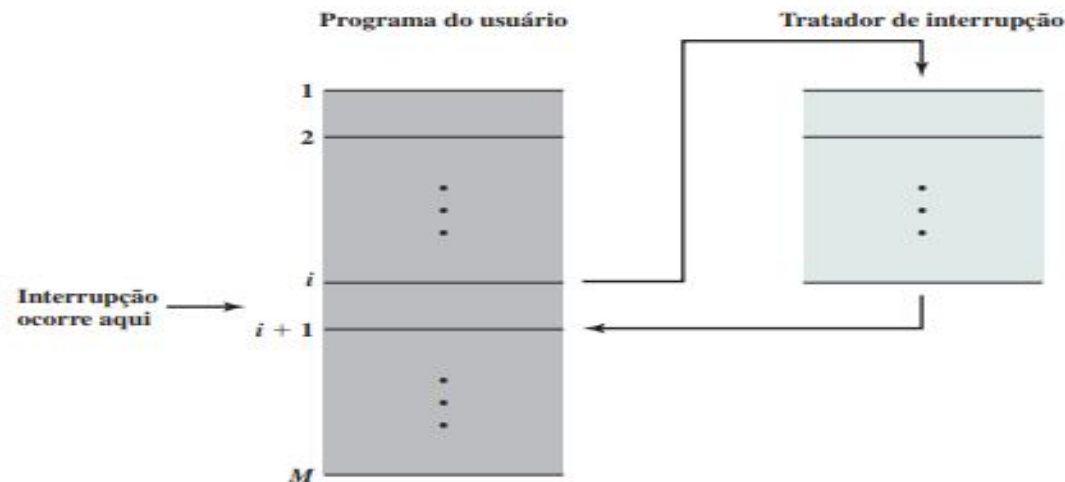
$\left\{ \begin{array}{l} \langle \text{comando} \rangle \\ \langle \text{comando} \rangle \\ \vdots \\ \langle \text{comando} \rangle \end{array} \right\}$ Segmento de código 3

PROGRAMA DE E/S

$\left\{ \begin{array}{l} \langle \text{comando} \rangle \\ \langle \text{comando} \rangle \\ \vdots \\ \langle \text{comando} \rangle \end{array} \right\}$ Segmento de código 4

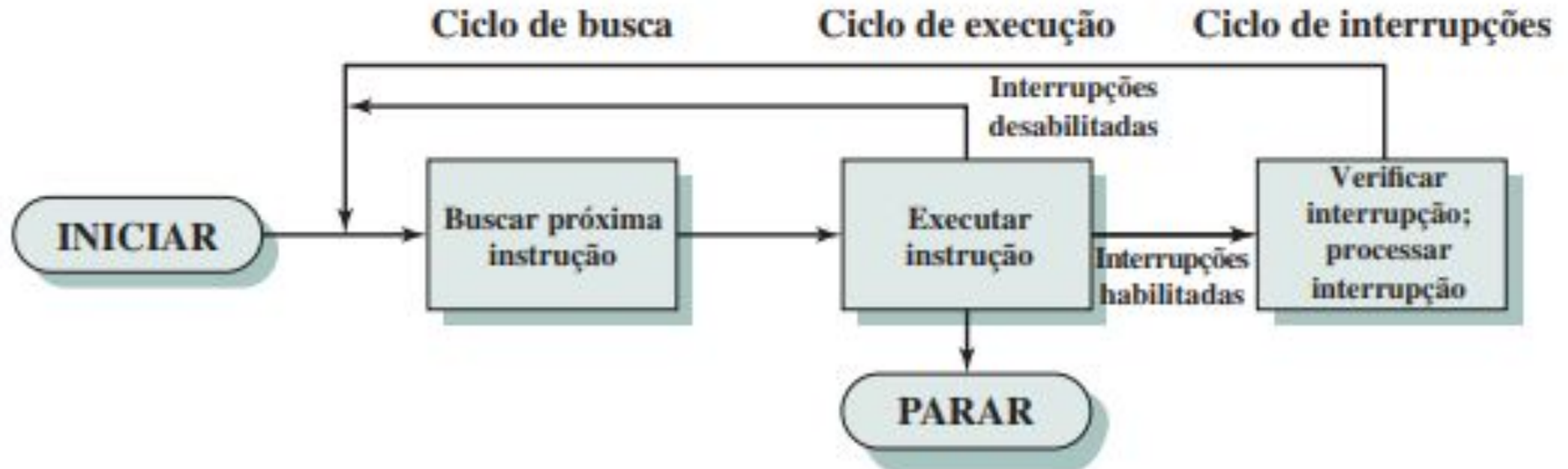
Comando de E/S

$\left\{ \begin{array}{l} \langle \text{comando} \rangle \\ \langle \text{comando} \rangle \\ \vdots \\ \langle \text{comando} \rangle \end{array} \right\}$ Segmento de código 5

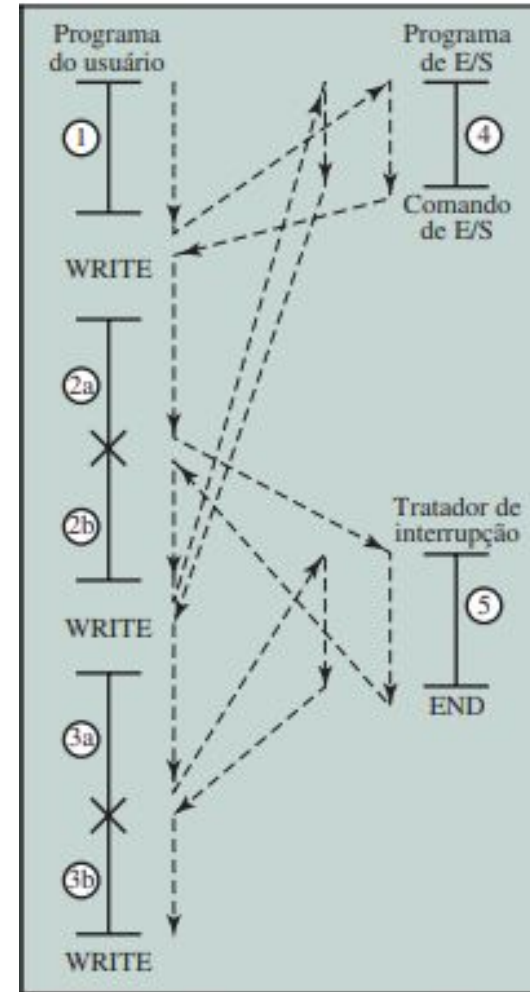
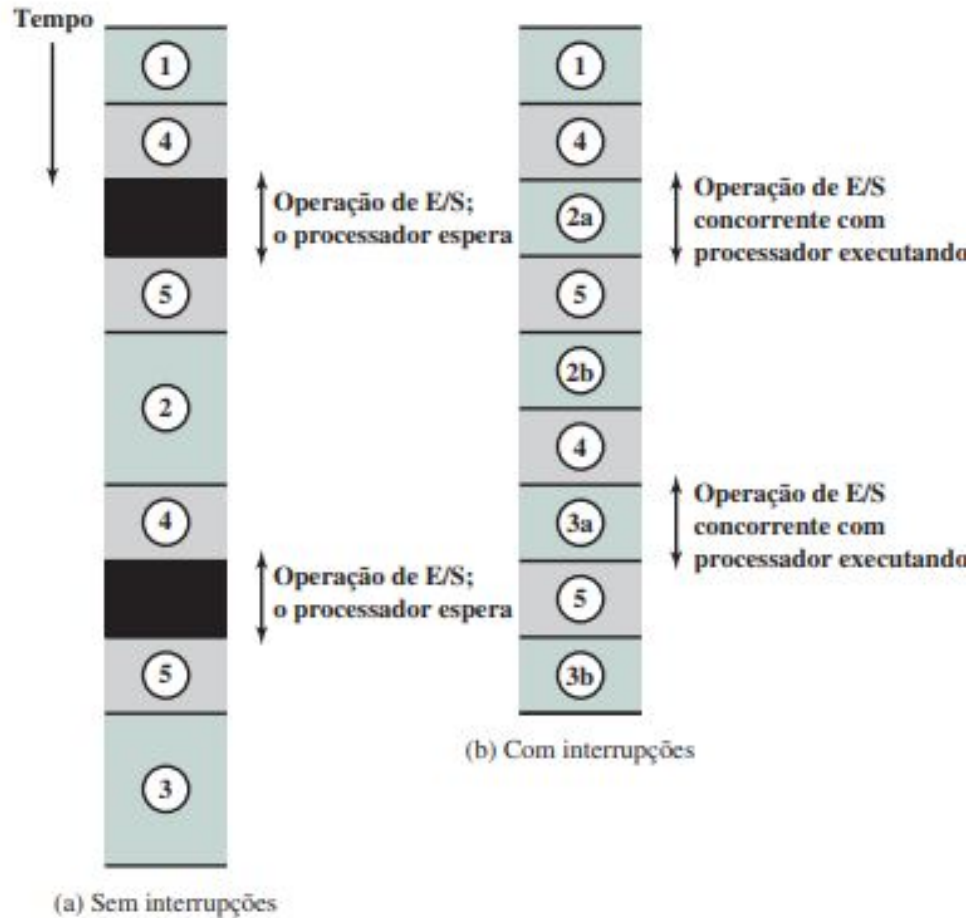


Interrupções

- Ciclo de instruções com interrupções

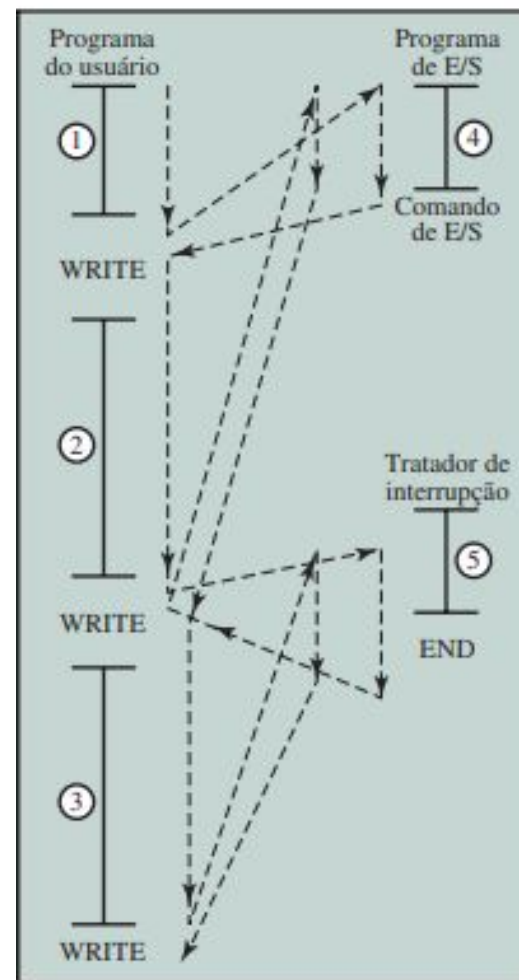
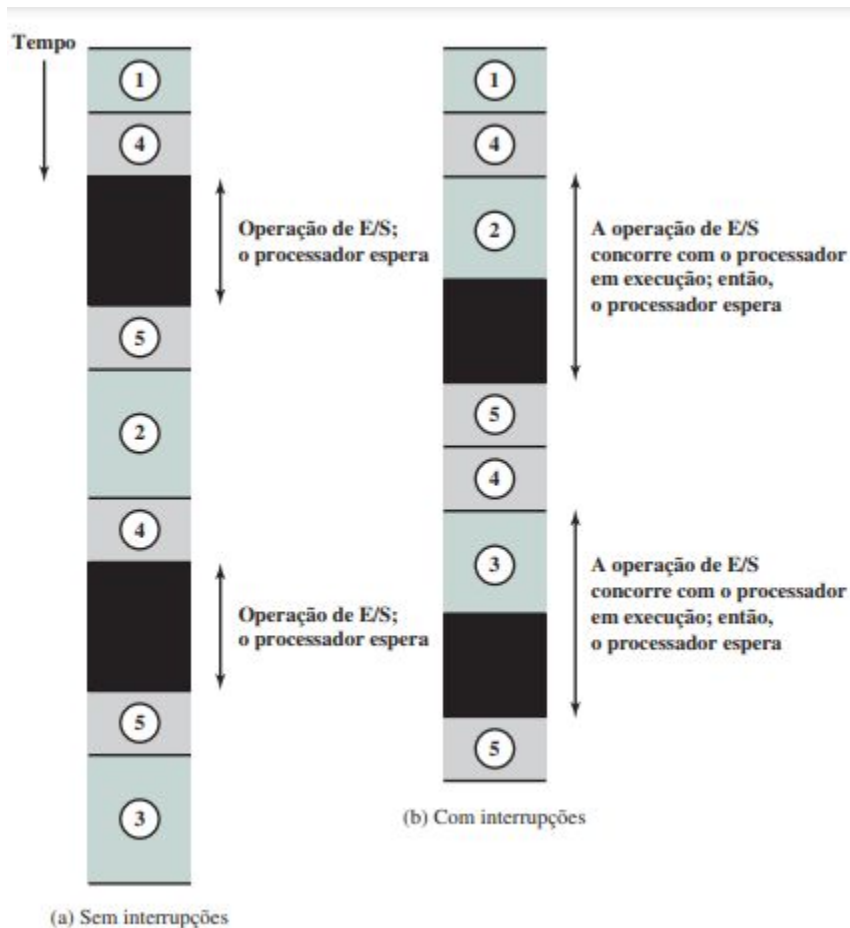


Interrupções



(b) Interrupções; curta espera de E/S

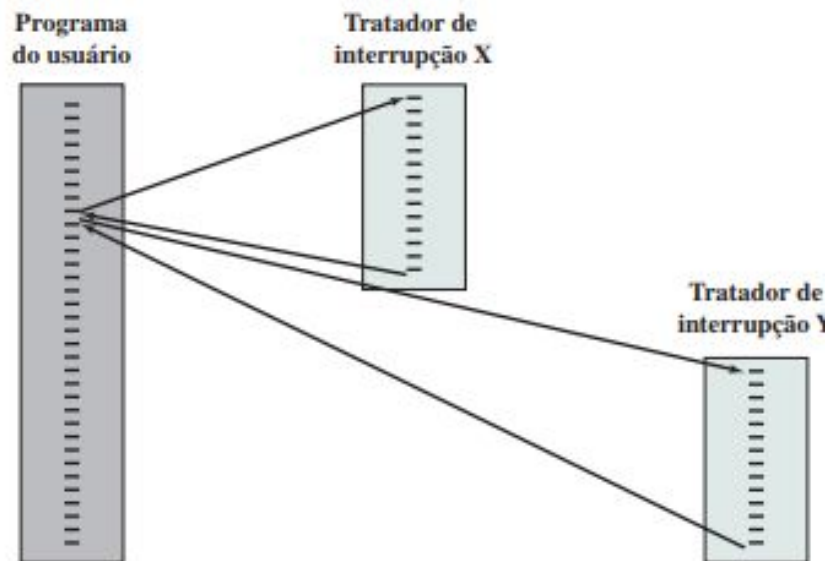
Interrupções



(c) Interrupções; longa espera de E/S

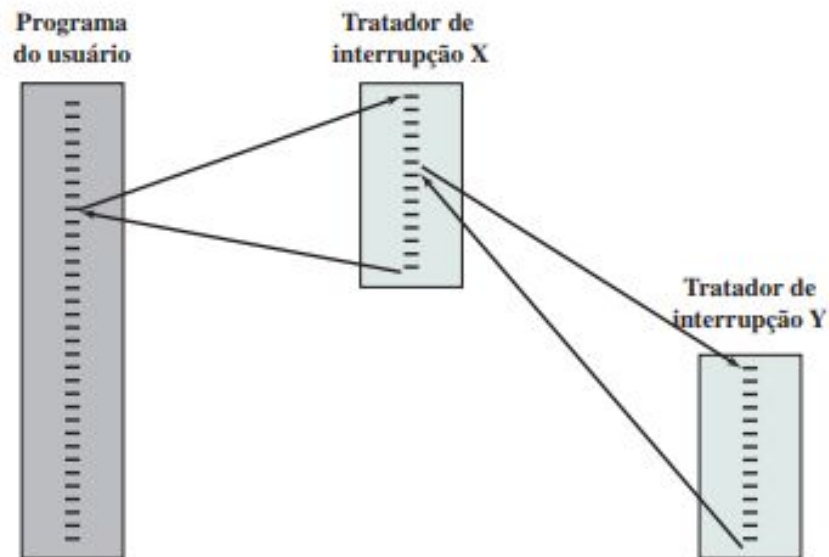
Interrupções Múltiplas

- Técnica 1



(a) Processamento de interrupção sequencial

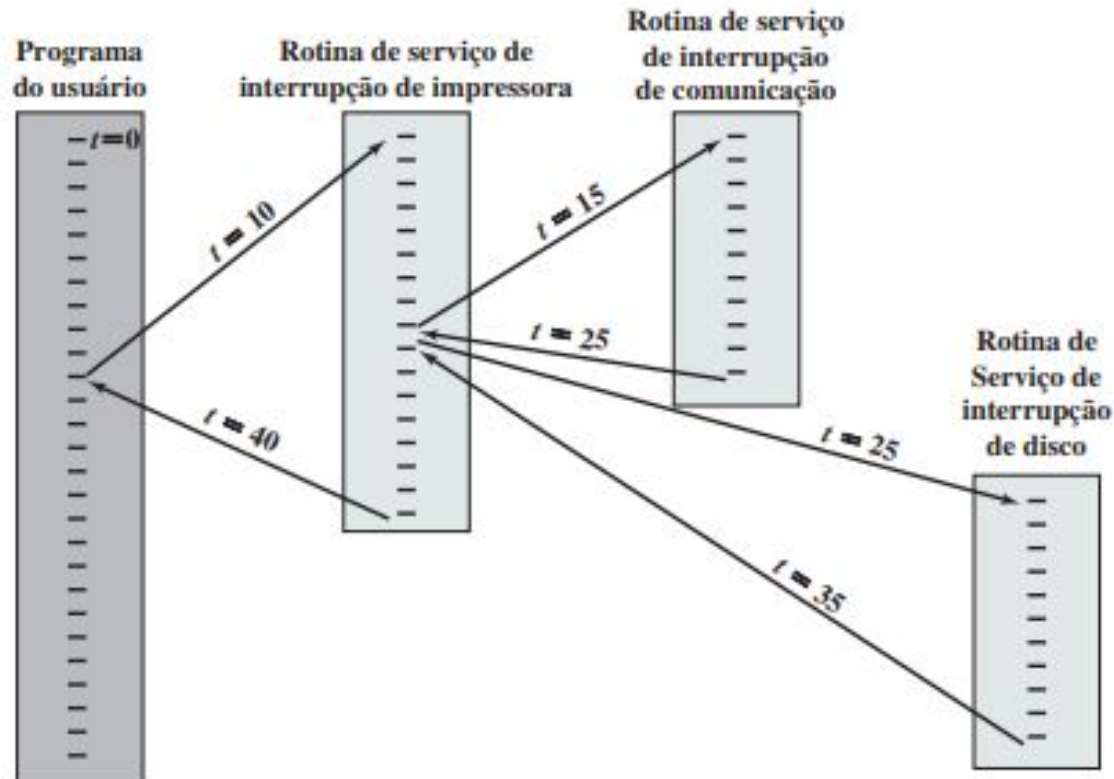
- Técnica 2



(b) Processamento de interrupção aninhado

Interrupções Múltiplas

- Sistema com 3 Dispositivos de E/S

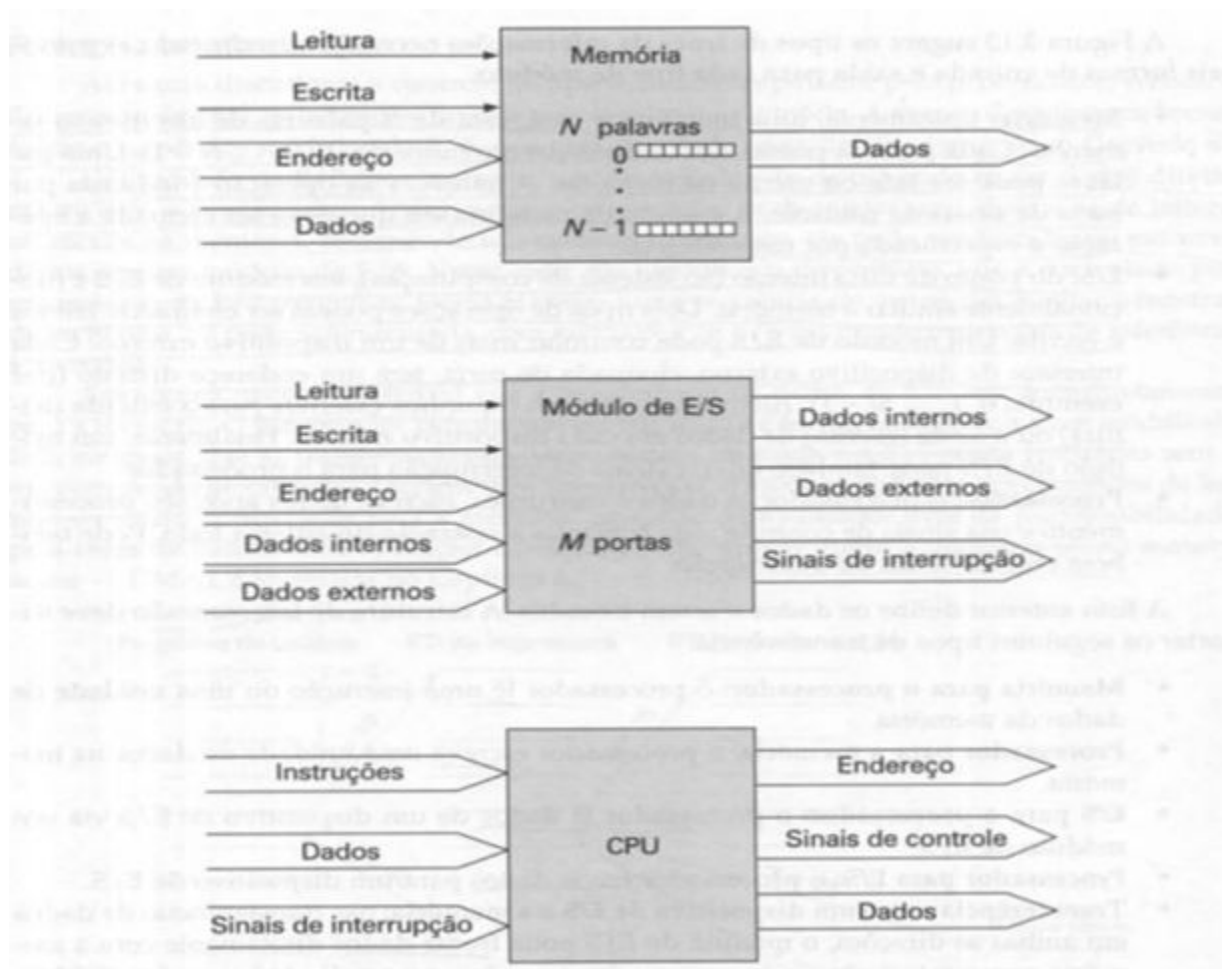


Estruturas de interconexões

- São os diferentes caminhos pelo qual os módulos se comunicam;
- Essa comunicação é feita através de endereços e sinais de controle

Estruturas de interconexões

- Troca de informações necessárias



Estruturas de interconexões

- **Uma estrutura de interconexão deve obedecer aos seguintes tipos de comunicação:**
 - Memória para o processador;
 - Processador para memória;
 - E/S para o processador;
 - Processador para E/S.

Interconexões de barramento

- **Um barramento é um caminho que conecta dois ou mais dispositivos**
- Meio de transmissão compartilhado
- Um sinal transmitido por qualquer dispositivo estará disponível para recepção de qualquer outro;
- Só um dispositivo por vez;
- Múltiplos caminhos conduzindo bits;
- Várias linhas transmitindo.
- **Barramento de sistema**
- Conecta memória, processador e E/S.

Estruturas de barramentos

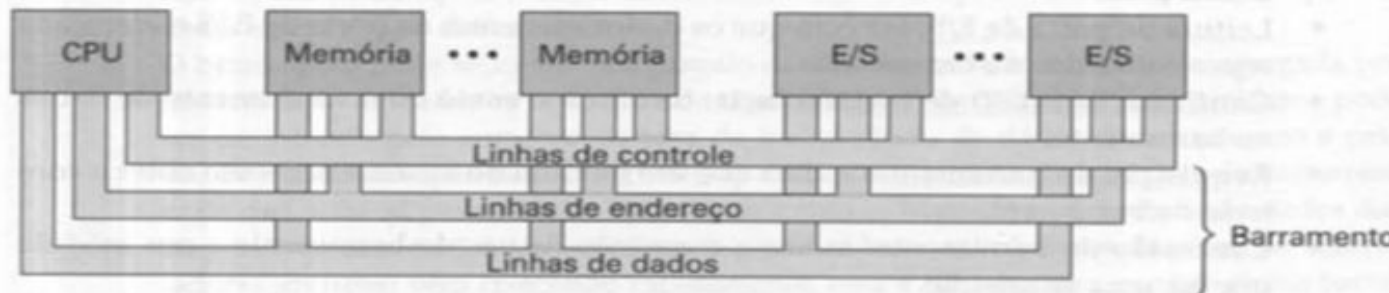
Ø De 50 a centenas de linhas.

Ø Cada linha com uma função em particular:

- **Linhas de dados – 32, 64, 128 ou mais linhas:**
 - Largura determina geral o desempenho do sistema
- **Linhas de endereços – 8, 16 ou 32:**
 - Endereça memória, E/S – destino dos dados;
 - Largura determina a capacidade de memória máxima do sistema.

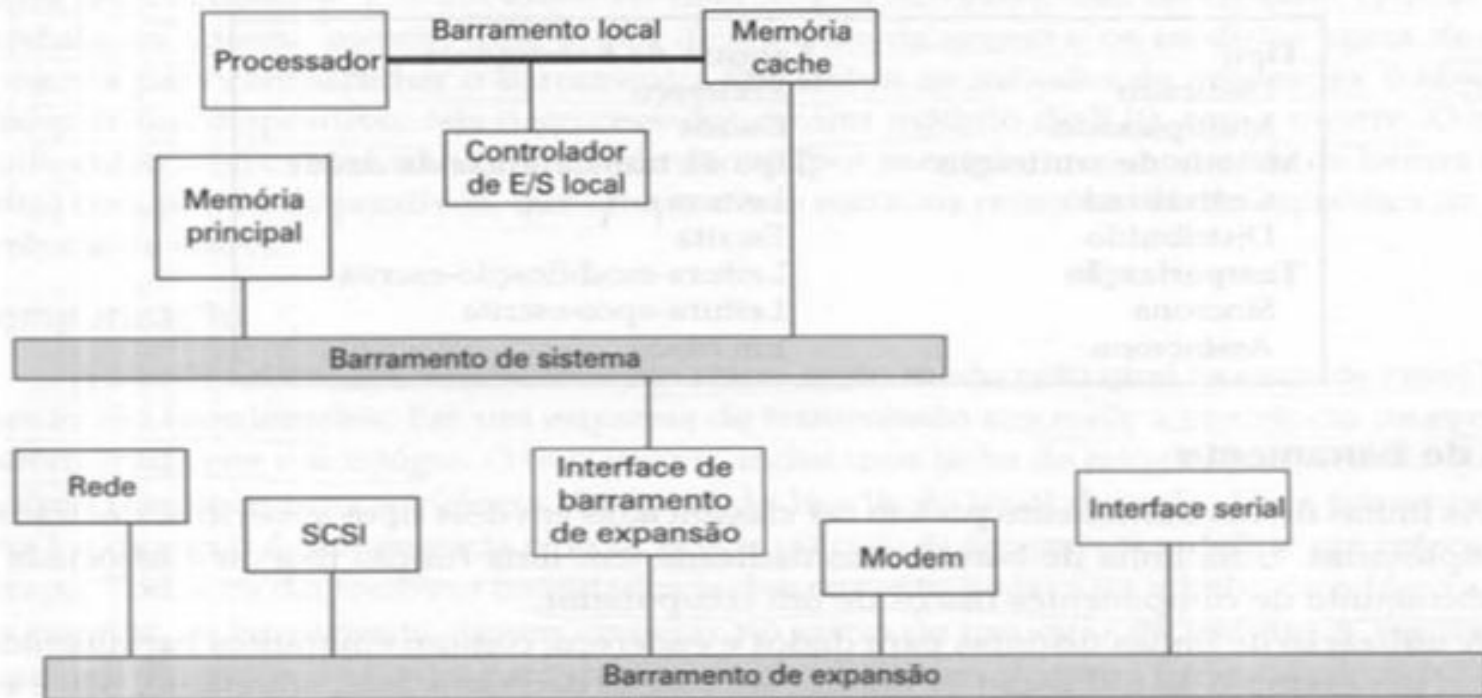
• **Linhas de controle:**

- Transmitem informações de comando e sincronização;
- Sincronização – validade das informações de dados e endereços;
- Comando – especificam operações a serem realizadas



Hierarquia de múltiplos barramentos

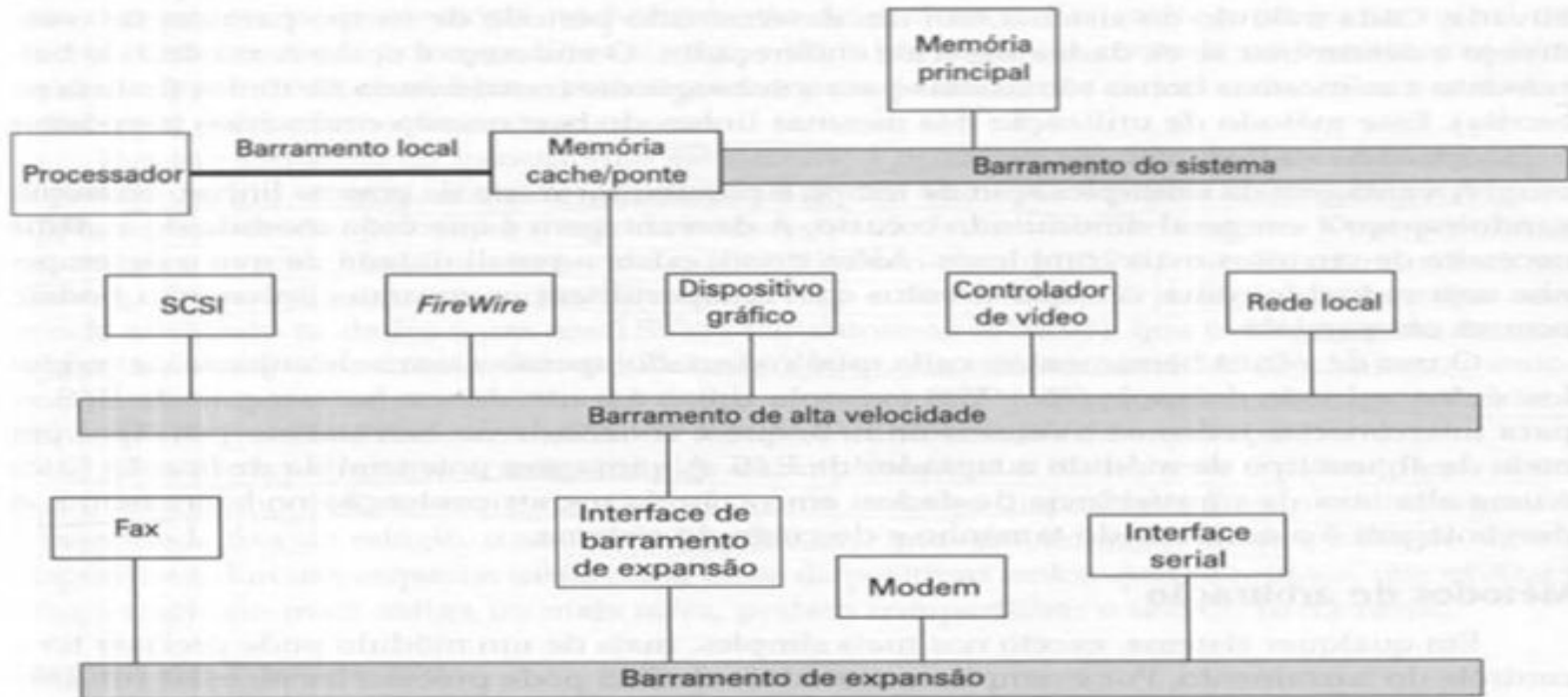
- Configuração de barramento de arquitetura tradicional



(a) Arquitetura de barramento tradicional

Hierarquia de múltiplos barramentos

- Configuração de barramento de arquitetura de alto desempenho



(b) Arquitetura de alto desempenho

Elementos de projetos de barramentos

TIPO	LARGURA DO BARRAMENTO
Dedicado	Endereço
Multiplexado	Dados
MÉTODO DE ARBITRAGEM	TIPO DE TRANSFERÊNCIA DE DADOS
Centralizado	Leitura
Distribuído	Escrita
SINCRONIZAÇÃO	Ler-modificar-escrever
Síncrona	Leitura-após-escrita
Assíncrona	Bloco

Elementos de projetos de barramentos

Referente ao tipo

1.Dedicado

- Função fixa, cada caminho executa sua função.

üVantagem: Altas taxas de transferências

üDesvantagens: Aumento do tamanho e custo do sistema

2.Multplexado

- Os caminhos são compartilhados em tempos definidos.

üVantagem: Espaço e custos.

üDesvantagem: Mais complexo.

Elementos de projetos de barramentos

Referente a arbitração

1. Centralizado

- Um árbitro é responsável por alocar tempo de utilização do barramento a cada módulo do sistema.

2. Distribuído

- Não existe controle central. Onde cada módulo contém uma lógica de controle de acesso e os módulos agem de forma conjunta para compartilhar o barramento.

Elementos de projetos de barramentos

Referente a temporização

Modo pelo qual os eventos no barramento são coordenados

1. Síncrona

- Determinado pelo relógio. Uma transmissão de 1 ou 0 é chamado de ciclo de barramento.

2. Assíncrona

- A ocorrência de um evento no barramento depende de um evento ocorrido anteriormente.

Elementos de projetos de barramentos

Referente a largura de barramento

Quando maior a largura do barramento de dados, maior o número de bits transferidos e quanto maior a largura do barramento de endereço, maior o número de posições de memória que podem ser endereçadas

Elementos de projetos de barramentos

Referente a transferência de dados

- Operações de leitura e escrita;
- Operação de leitura-modificação-escrita;
- Operação de leitura-após-escrita;
- Transferência em bloco de dados.

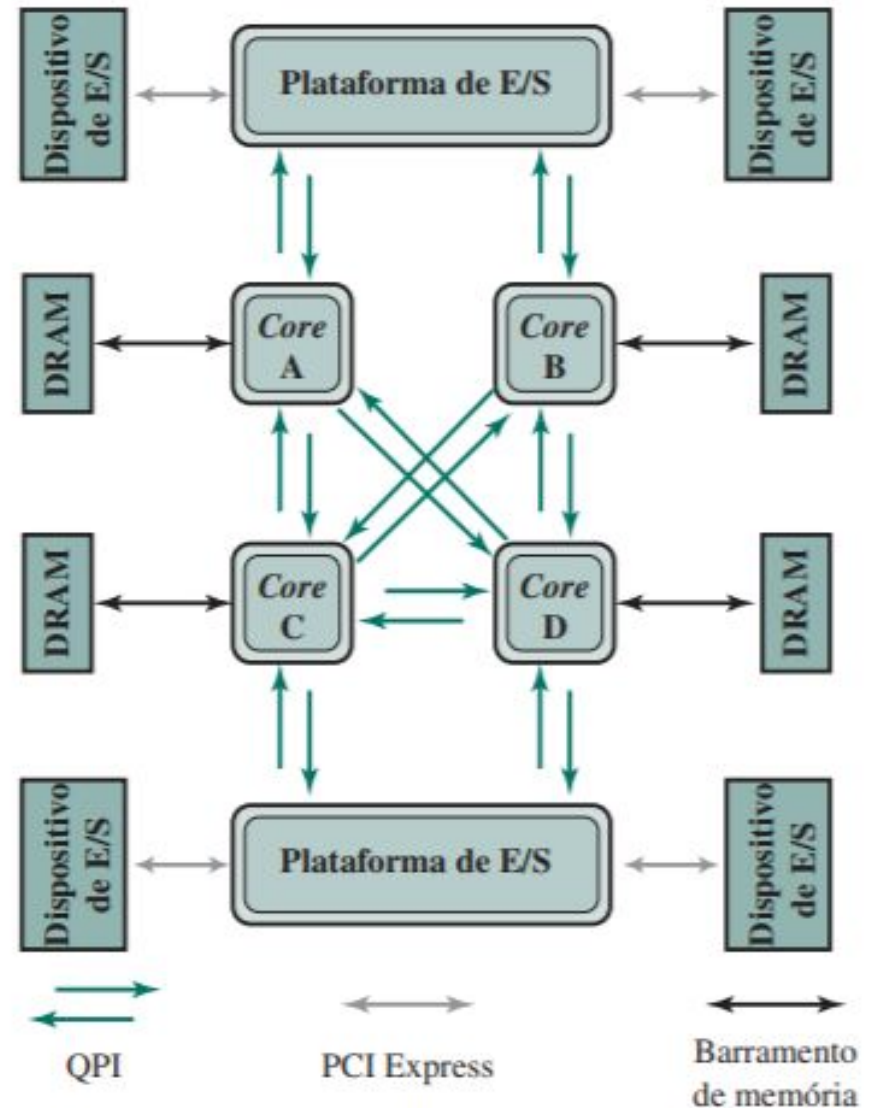
Interconexão Ponto a Ponto

- Restrições Elétricas
- Latência
- Tempo de sincronização
- Maior taxa de dados

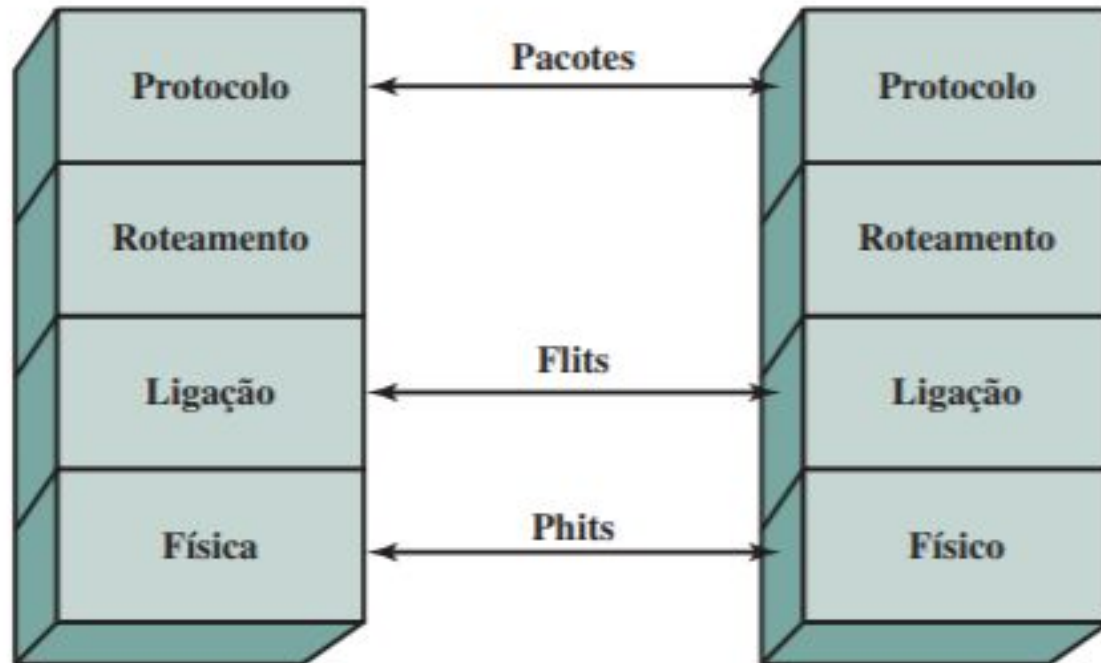
Uma técnica muito importante desses sistemas é o **QPI (QuickPath Interconnection)** criado pela Intel.

QPI - QuickPath Interconnection

- Conexões Diretas Múltiplas
- Arquitetura de protocolos em camadas
- Transferência de dados em pacotes

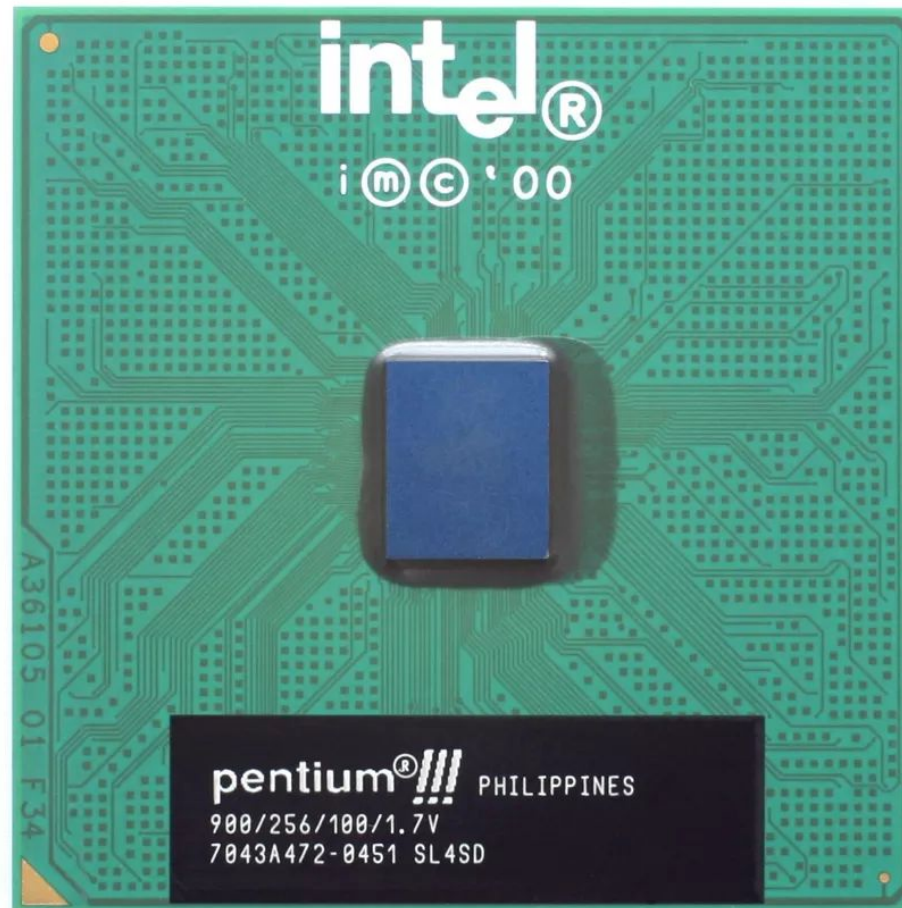


QPI - Camadas



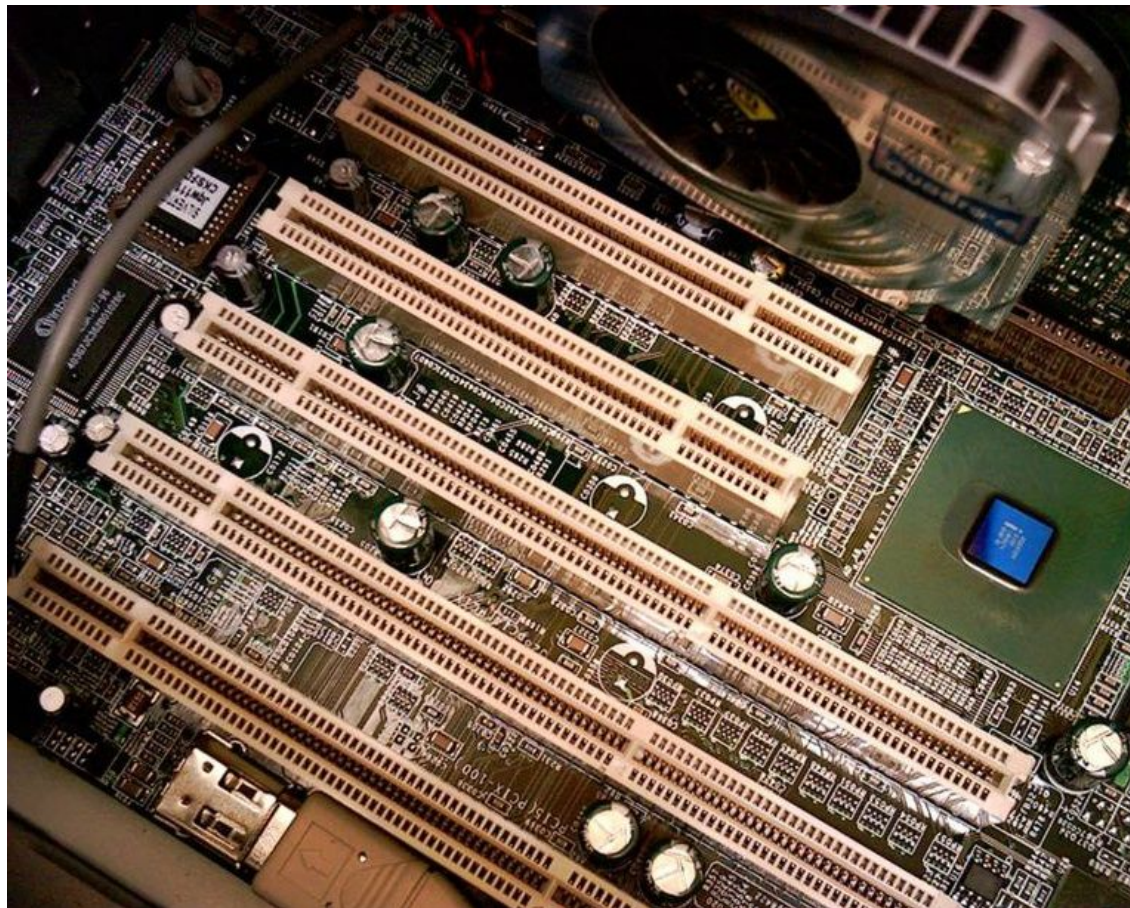
Barramento PCI

- Surgiu em 1990 para sistemas baseados em Pentium



Barramento PCI

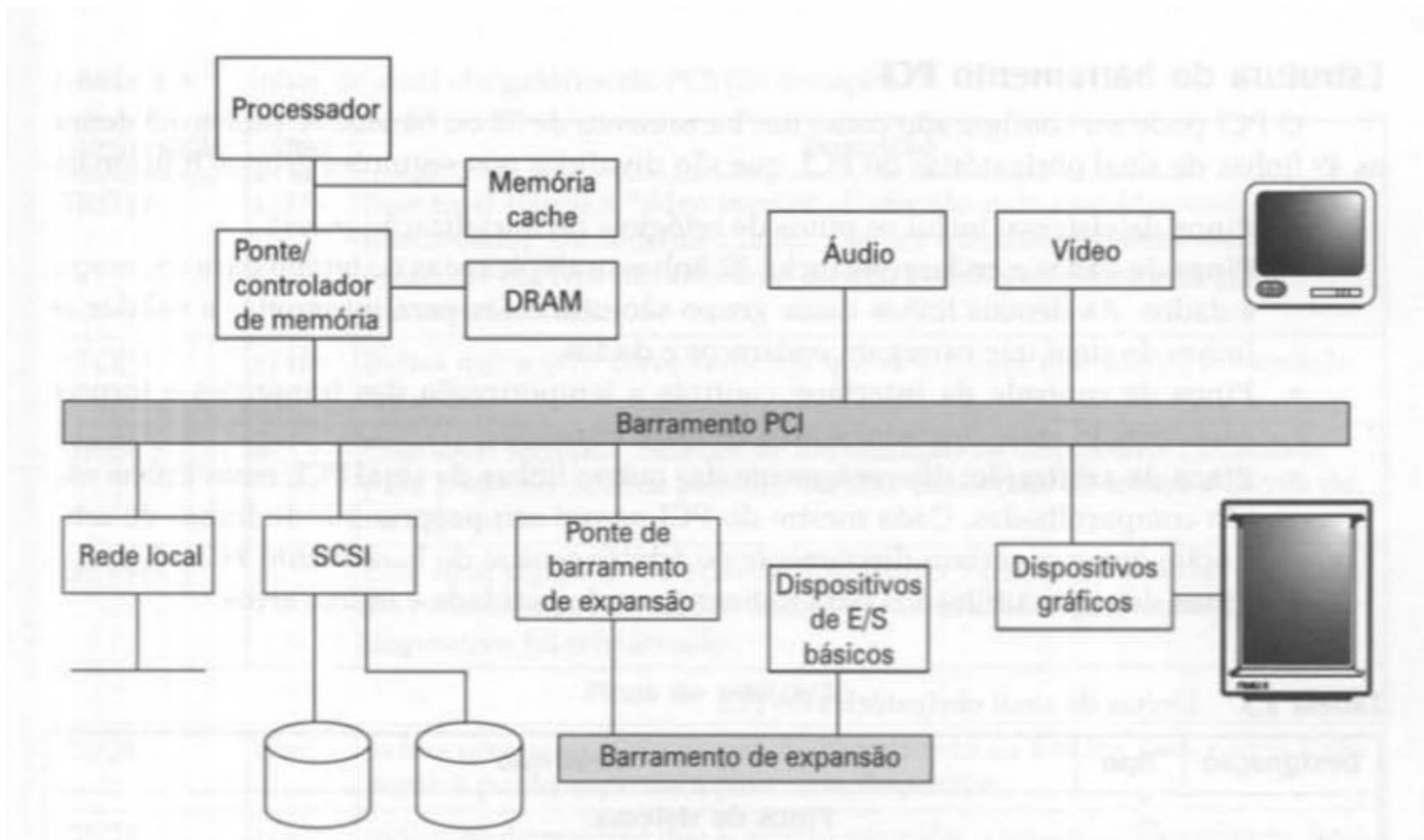
- Surgiu em 1990 para sistemas baseados em Pentium
- Grande largura de banda e alta velocidade



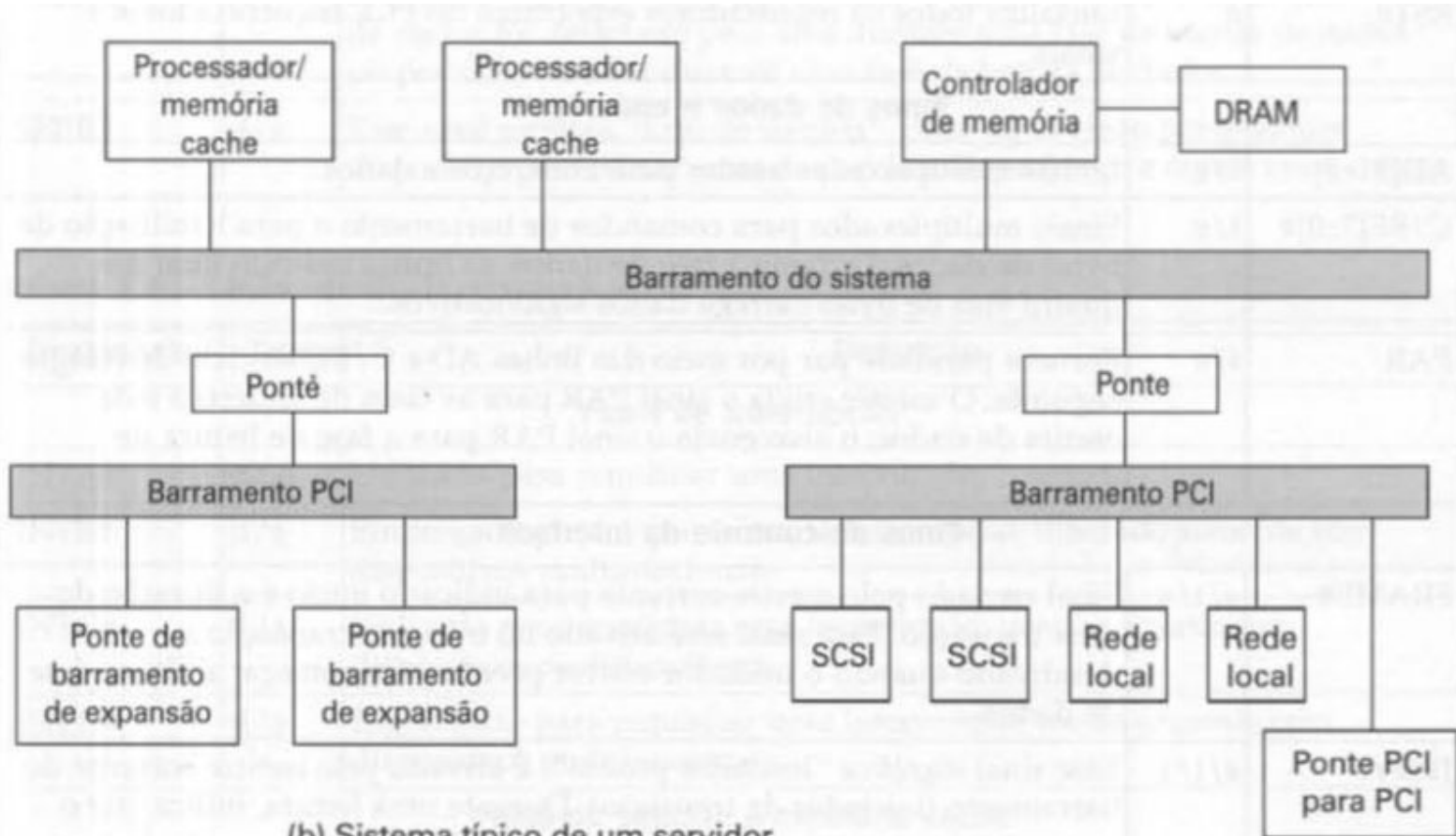
Barramento PCI

- Surgiu em 1990 para sistemas baseados em Pentium
- Grande largura de banda e alta velocidade
- Permite melhor desempenho para aplicações periféricas
- Redução de custos

Barramento PCI



Barramento PCI

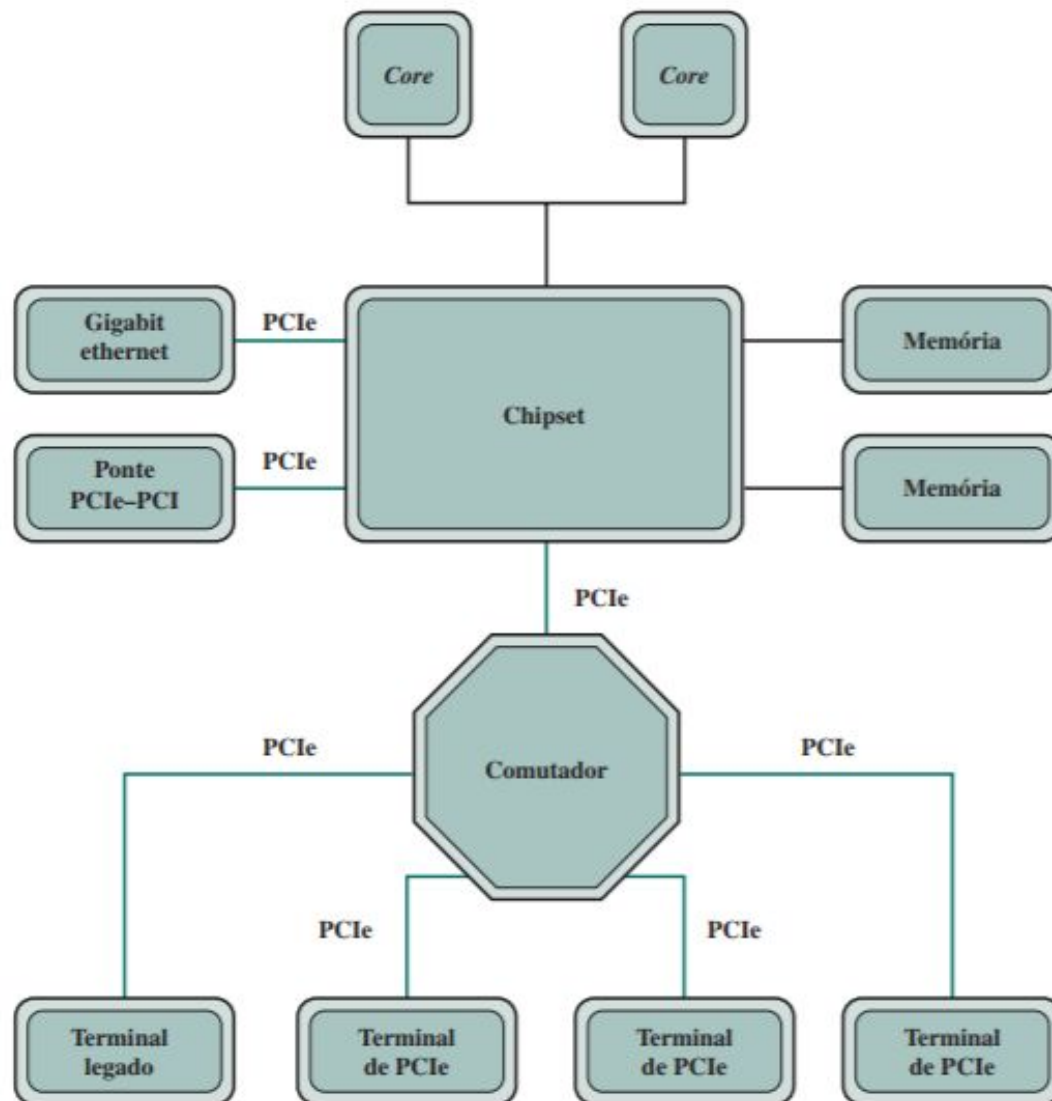


(b) Sistema típico de um servidor

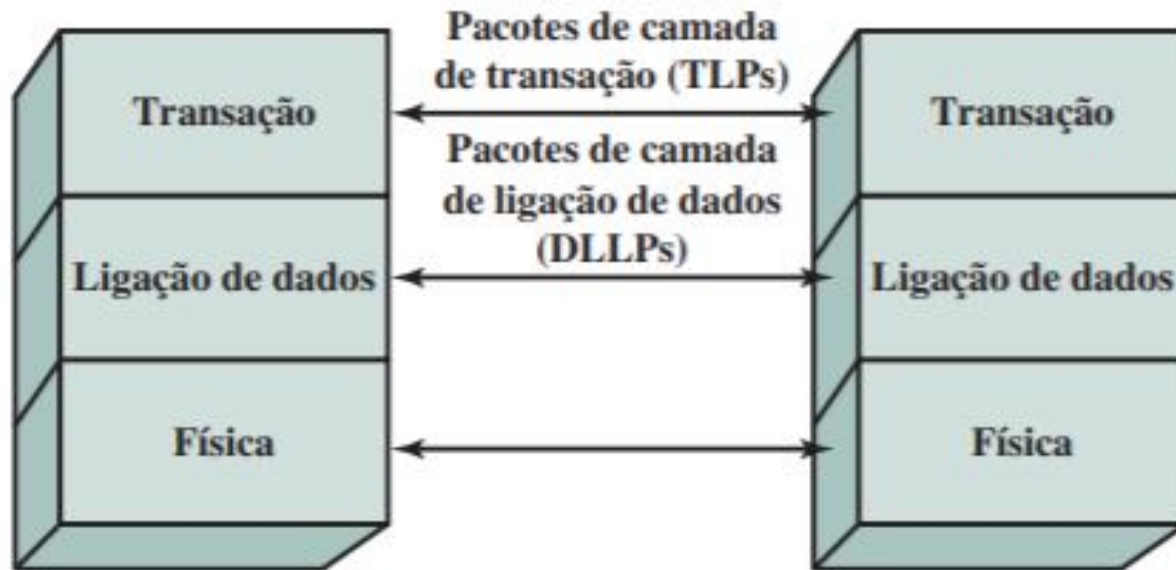
PCI Express

Mesmo com a independência na velocidade do barramento, o esquema PCI não conseguiu manter o ritmo das demandas de taxa de dados solicitados nos dias de hoje. Para atender essa nova demanda, surgiu uma nova versão: o **PCI Express (PCIe)**.

PCI Express - Arquitetura



PCI Express - Camadas



Questões

- 1) Considere um microprocessador hipotético gerando um endereço de 16 bits (por exemplo, suponha que o contador de programa e os registradores de endereço tenham 16 bits de largura) e tendo um barramento de dados de 16 bits.
- a. Qual é o espaço de endereço de memória máximo que o processador pode acessar diretamente se estiver conectado a uma “memória de 16 bits”?
 - b. Qual é o espaço de endereço de memória máximo que o processador pode acessar diretamente se estiver conectado a uma “memória de 8 bits”?
 - c. Que recursos de arquitetura permitirão que esse microprocessador acesse um “espaço de E/S” separado?
 - d. Se uma instrução de entrada e saída pode especificar um número de porta de E/S de 8 bits, quantas portas de E/S de 8 bits o microprocessador pode aceitar? Quantas portas de E/S de 16 bits? Explique.

Questões

2) Explique o que é uma interrupção, quais suas vantagens e desvantagens e como o ciclo de interrupção é adicionado sobre ao ciclo normal de uma interrupção. Fale sobre as múltiplas interrupções.

3) Considere um microprocessador de 32 bits, com um barramento de dados externo de 16 bits, dirigido por um relógio externo de 8 MHz. Suponha que esse microprocessador tenha um ciclo de barramento cuja duração mínima é de quatro ciclos de relógio. Qual é a taxa máxima de transferência de dados que esse microprocessador pode sustentar? Para aumentar seu desempenho, seria melhor aumentar a largura do seu barramento de dados externo de 16 para 32 bits ou dobrar a frequência do relógio externo fornecido ao microprocessador?