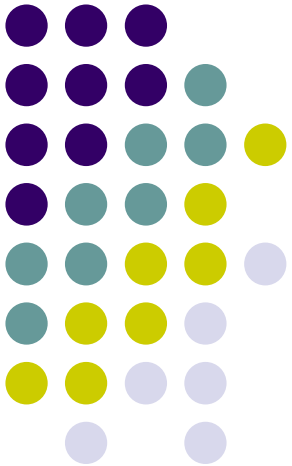
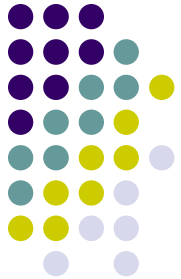
Organização de Computadores

Memória Semicondutora

Organização

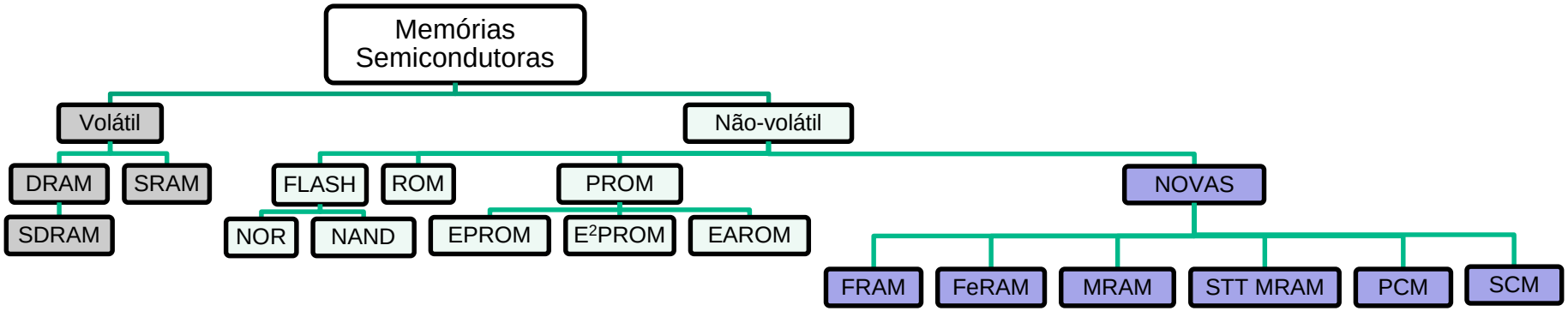
Prof. José Paulo G. de Oliveira
Engenharia da Computação, UPE





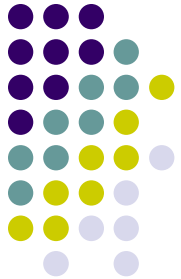
Resumo

- Organização de Memórias Semicondutoras
- Novas Tecnologias (RAM)
- Códigos de Detecção e Correção de Erros


Memórias Semicondutoras
Volátil
Não-volátil
DRAM
SRAM
SDRAM
FLASH
ROM
PROM
NOR
NAND
EPROM
E2PROM
EAROM
NOVAS
FRAM
FeRAM
MRAM
STT MRAM
PCM
SCM

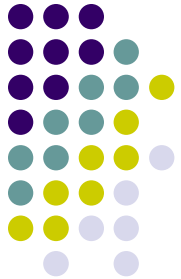
Organização de Memórias Semicondutoras

Organização



- Arranjo físico dos *bits* em palavras
- Nem sempre é óbvio

Exemplos:



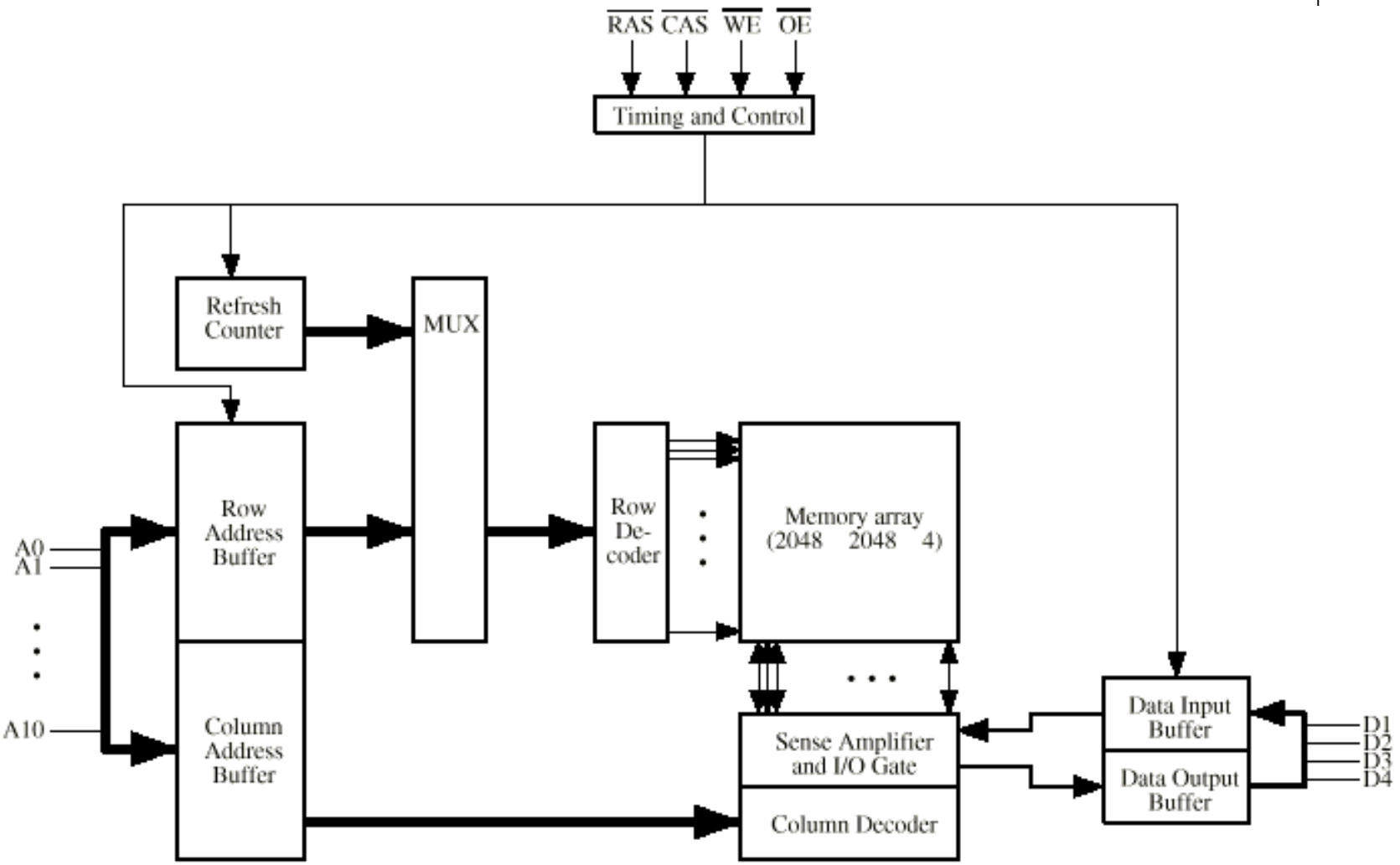
- Uma memória de 16Mb pode ser organizada como 1M palavras de 16 bits

- Um sistema de bits por chip pode possuir 16 chips de 1Mb com o bit 1 de cada palavra no chip 1 e assim por diante (associação de memórias)

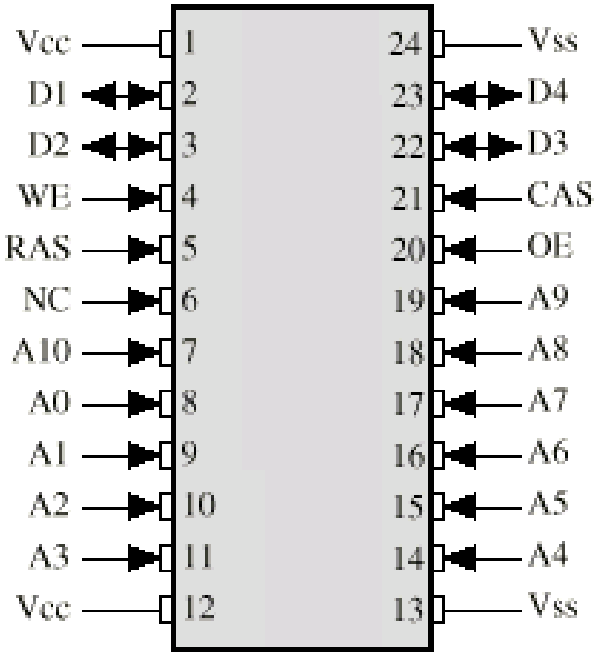
Exemplos:

- OU:
- Um chip de 16Mb pode ser organizado como uma matriz 2048 x 2048 x 4 bits
  - Redução do número de pinos de endereço
    - Multiplexação do endereçamento de linha e de coluna
    - 11 pinos para endereçamento ($2^{11} = 2048$)
    - Adição de mais um pino duplica a faixa de valores de endereços, portanto, quadruplica a capacidade

DRAM de 16Mb (4M x 4)

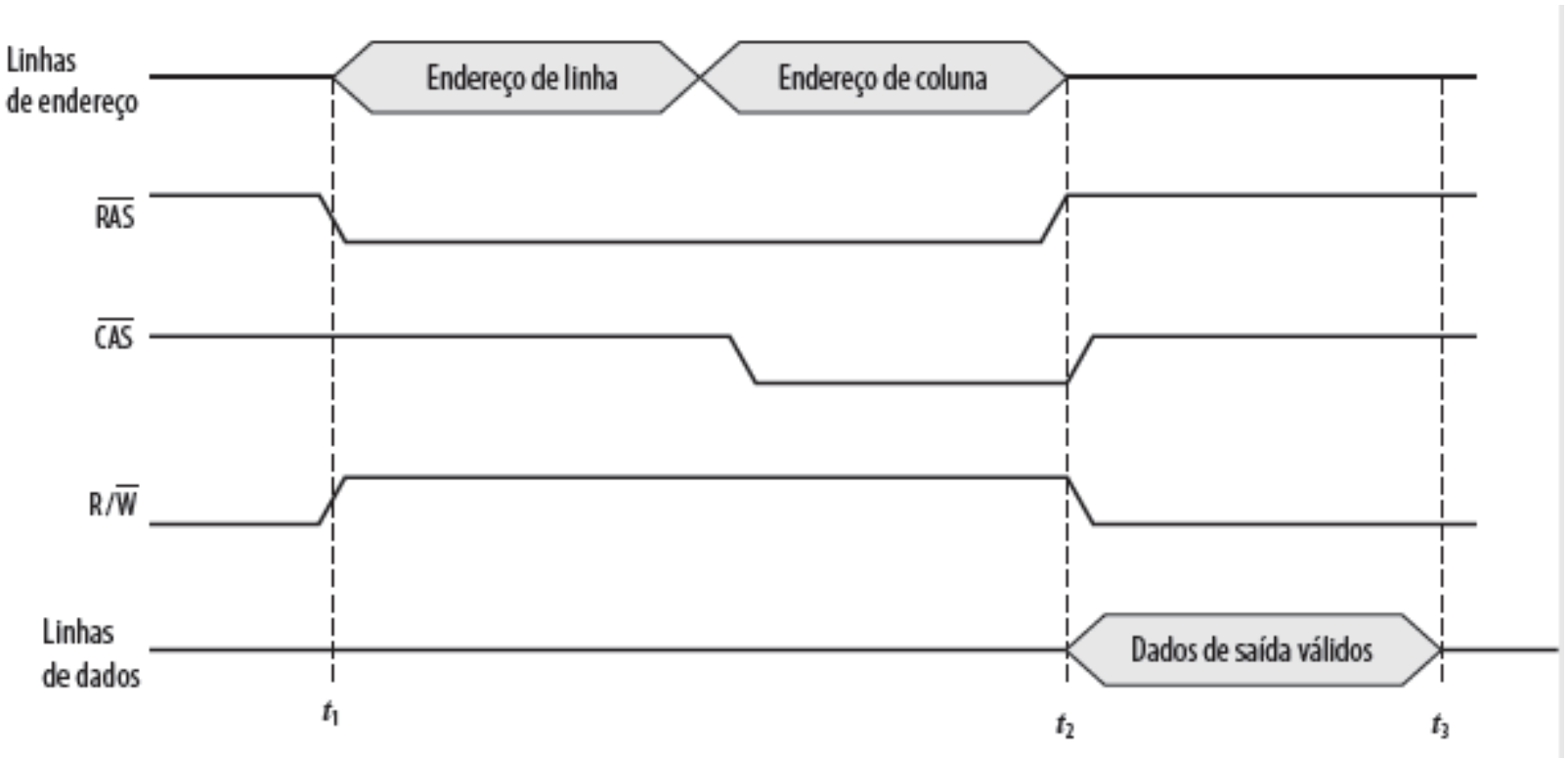


Encapsulamento

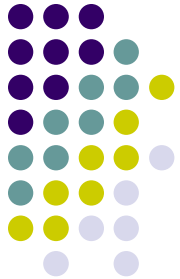


(b) 16 Mbit DRAM

Temporização de leitura de DRAM simplificada



Refrescamento

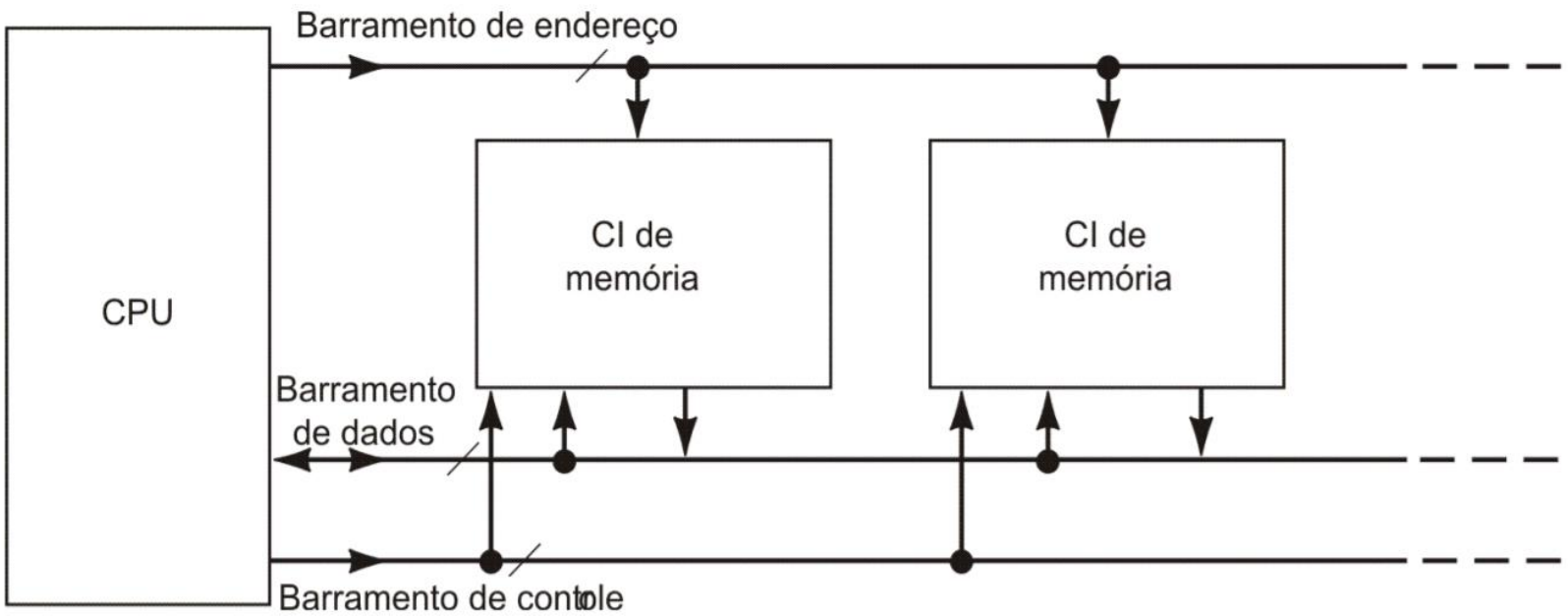


- Circuito de refrescamento incluído no chip

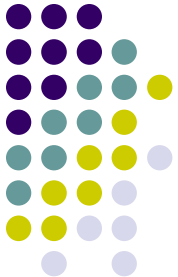
- Periodicamente
  - Desabilita o chip
  - Percorre as linhas
  - Lê os valores e escreve novamente
  - Toma um tempo razoável
  - Faz o desempenho aparente da memória cair

Organização do Módulo

Conexão da memória ao barramento



Organização do Módulo



1. Ajustar o número de bits da palavra:

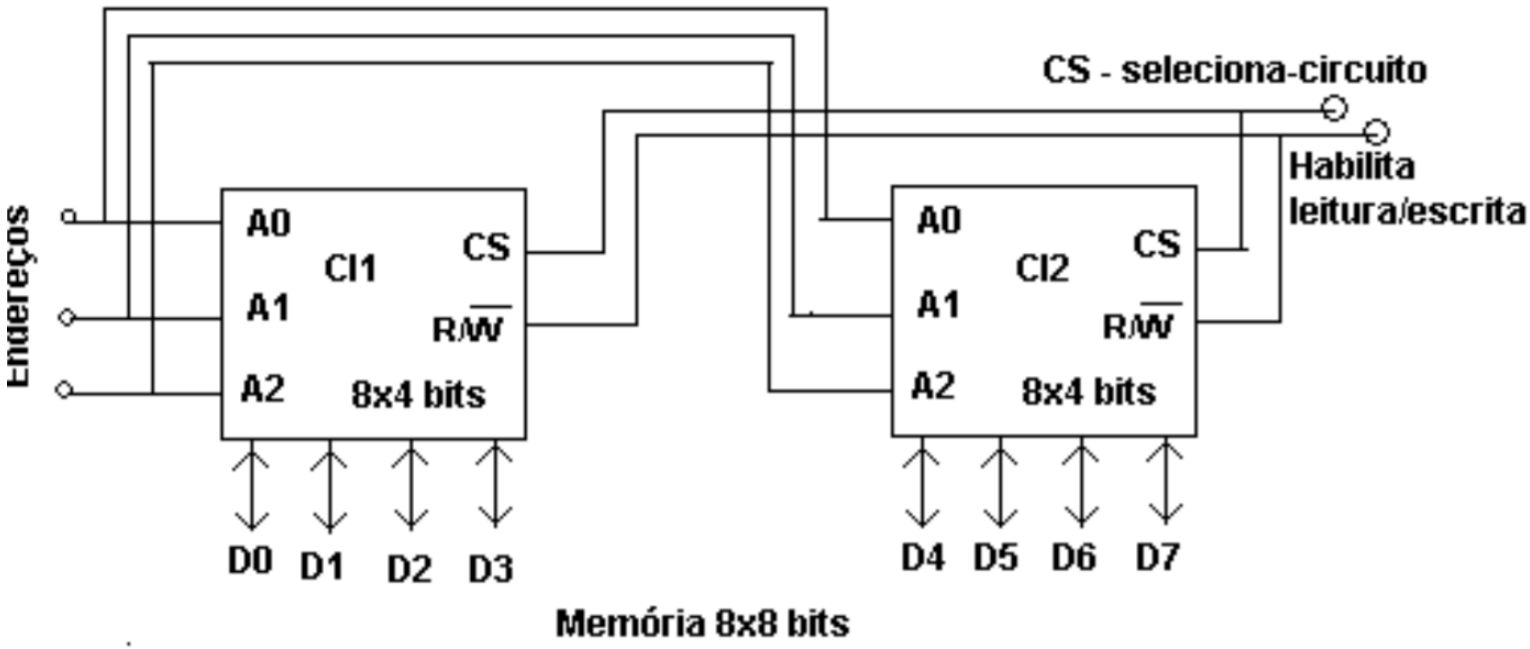
   - Exemplo: Organização desejada: 2k x 8
   - Memória disponível: 2k x 4

2. Ajustar o número de palavras (endereços):

   - Exemplo: Organização desejada: 4k x 8
   - Memória disponível: 2k x 8

Organização do Módulo

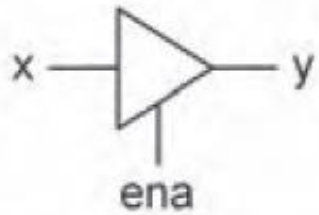
1. Ajustar o número de bits da palavra:



Relembrando…

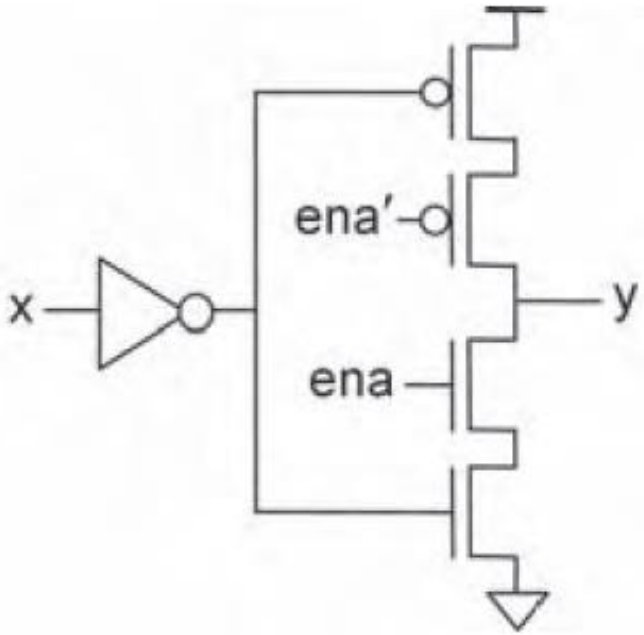
CS = Chip Select

Tri-state buffer



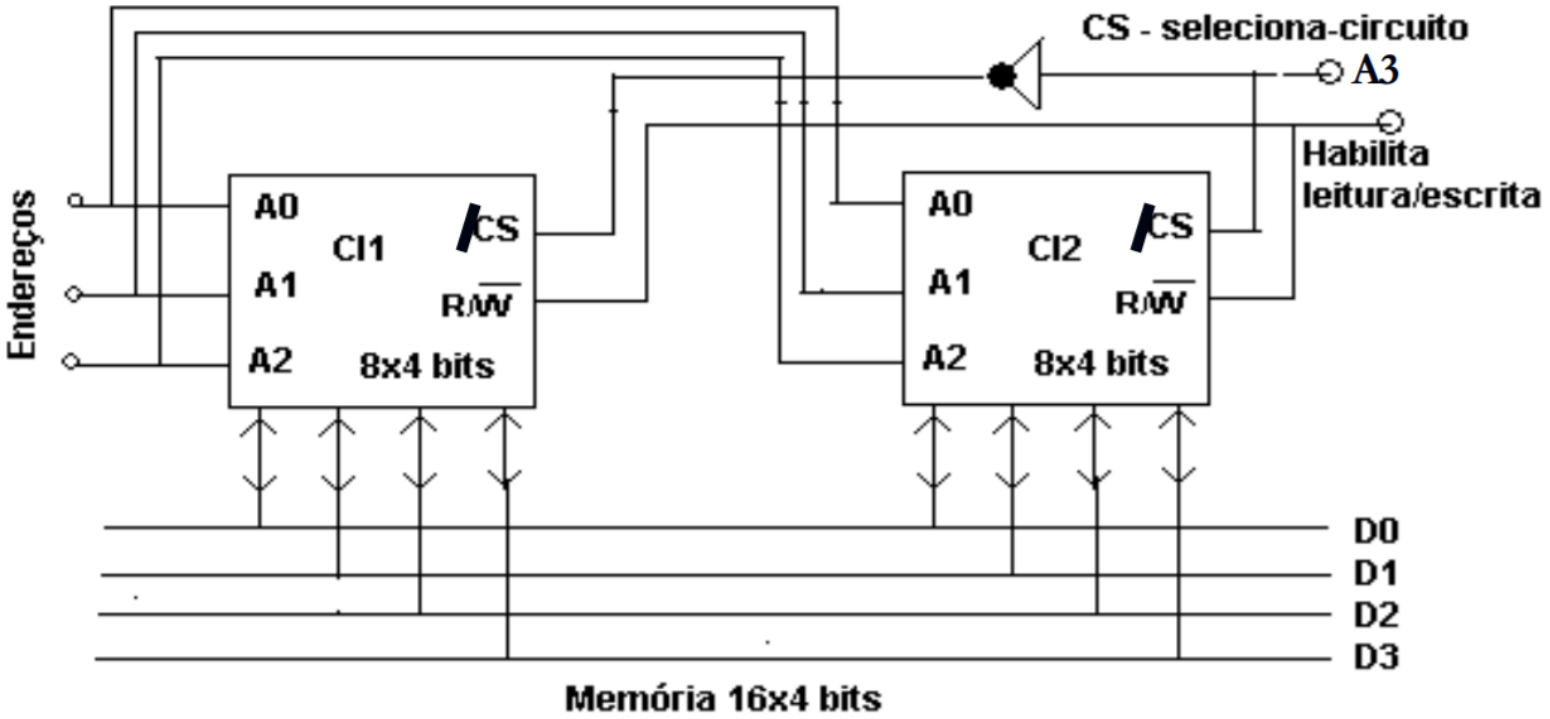
ena	y
0	Z
1	x

$y = ena' \cdot Z + ena \cdot x$



Organização do Módulo

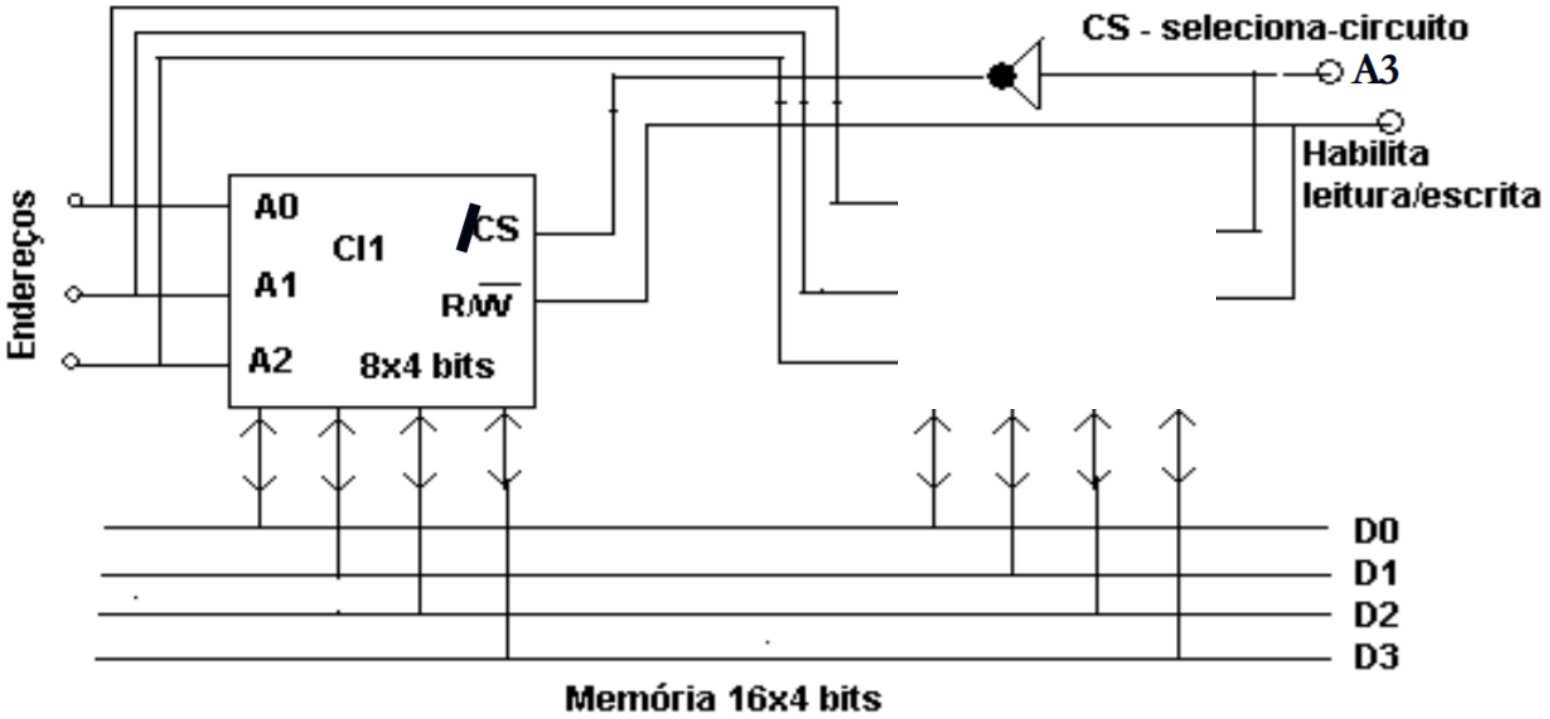
2. Ajustar o número de palavras (endereços):



Organização do Módulo

2. Ajustar o número de palavras (endereços):

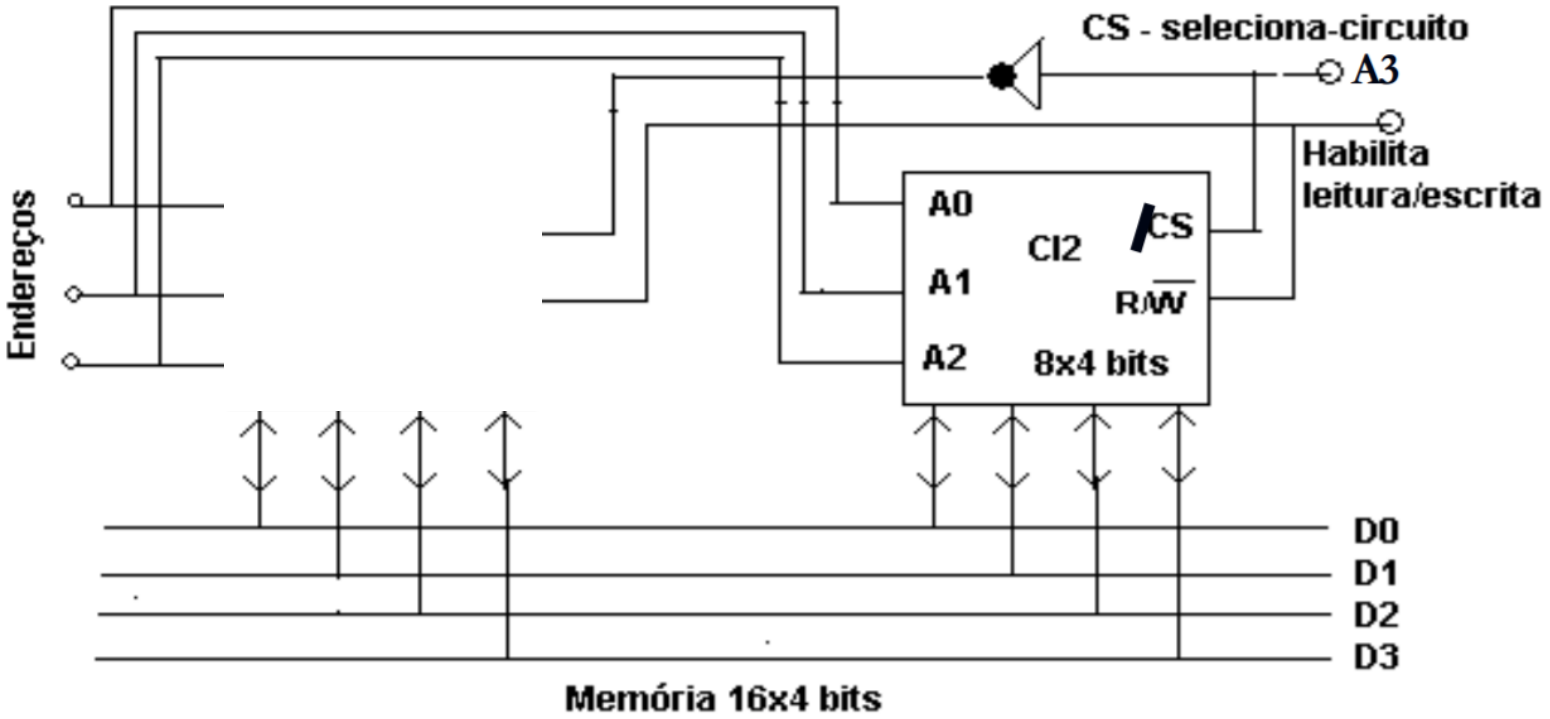
Quando A3 = 0



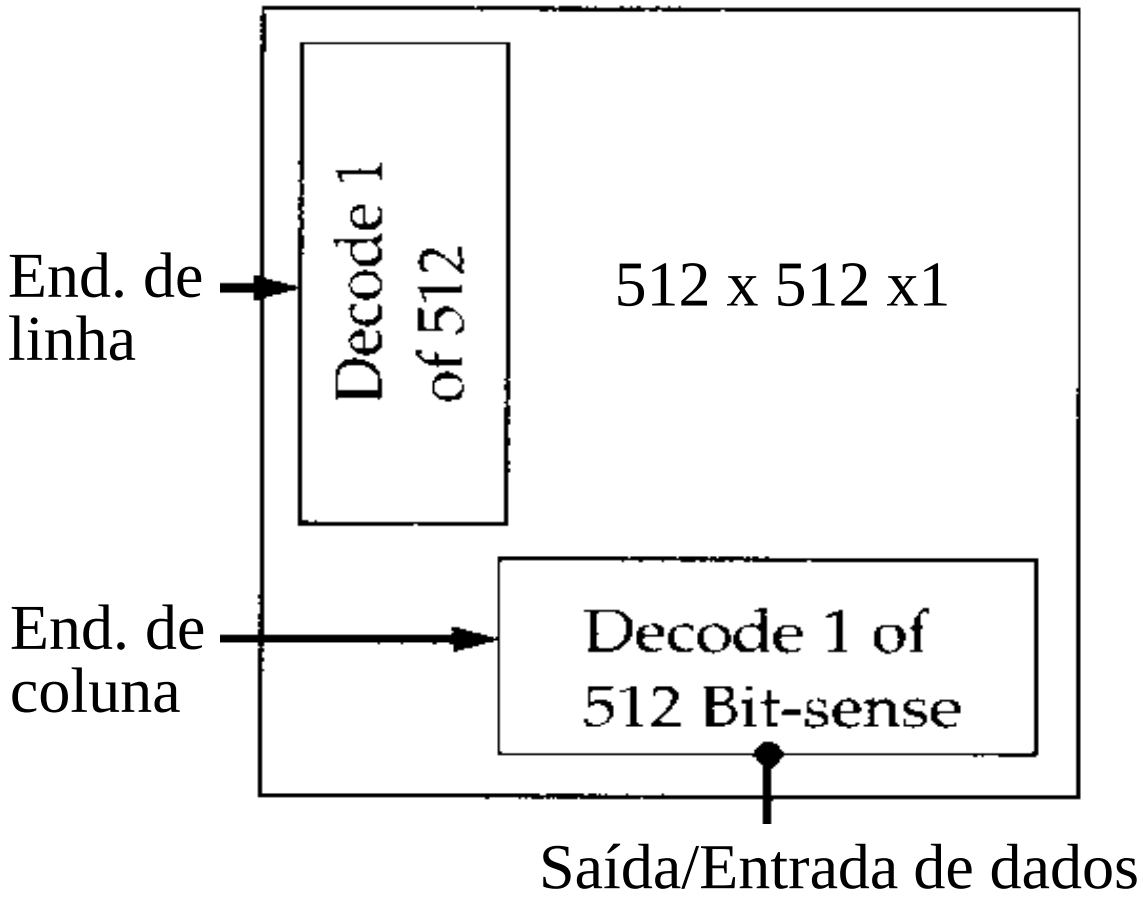
Organização do Módulo

2. Ajustar o número de palavras (endereços):

Quando A3 = 1



Ex.: Organização do Módulo



Cada chip:

256 k posições x 1 bit
(512 x 512) x 1 bit

Objetivo:

256 kbytes = 256 k posições x 8 bits

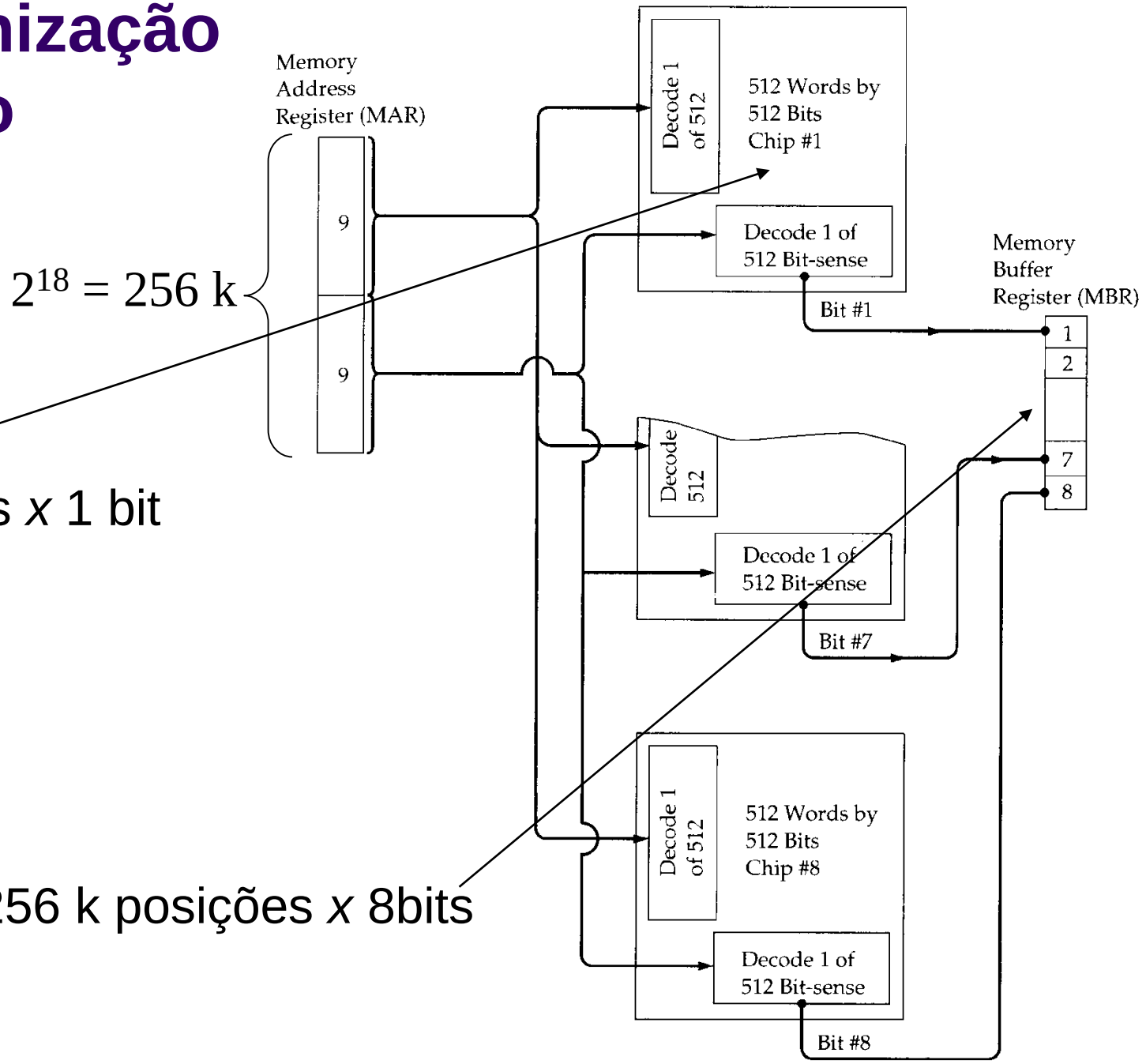
Ex.: Organização do Módulo

Cada chip:

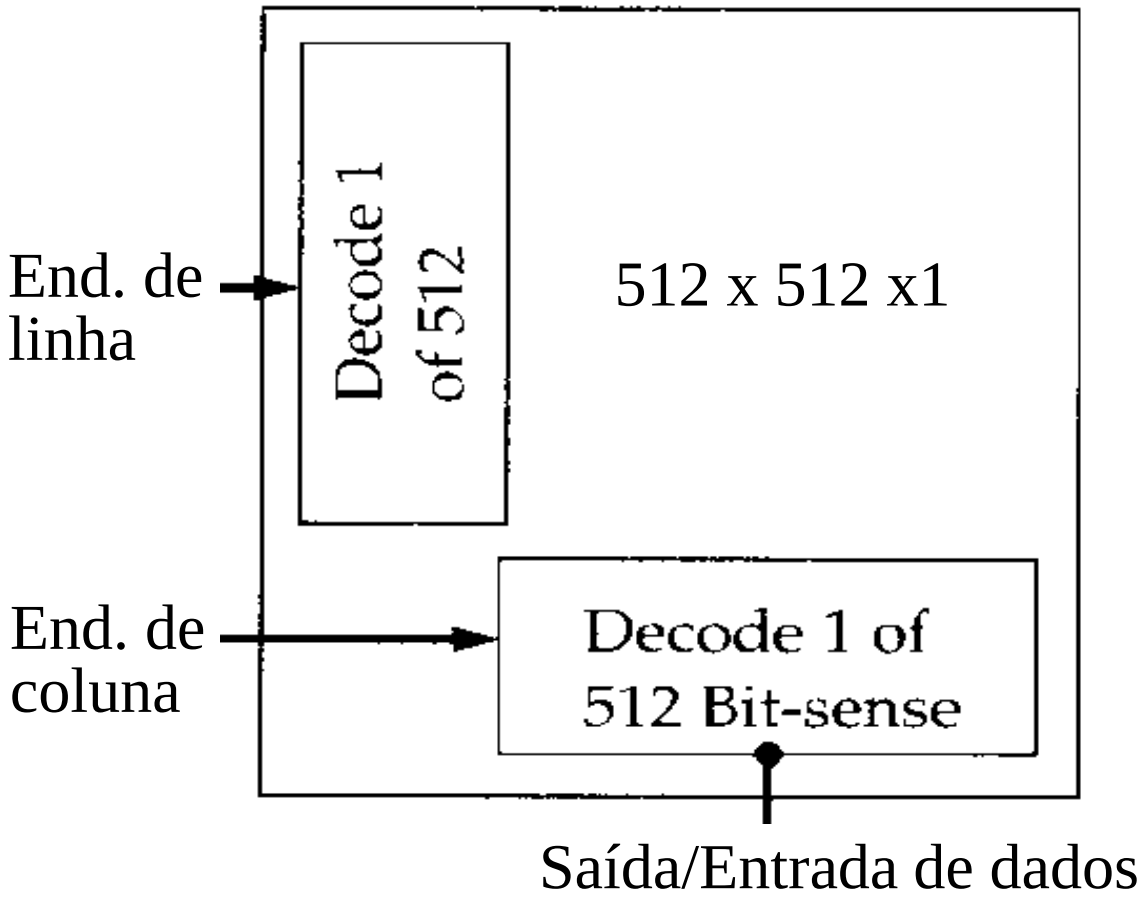
256 k posições *x* 1 bit

Objetivo:

256 kbytes = 256 k posições *x* 8bits



Organização do Módulo



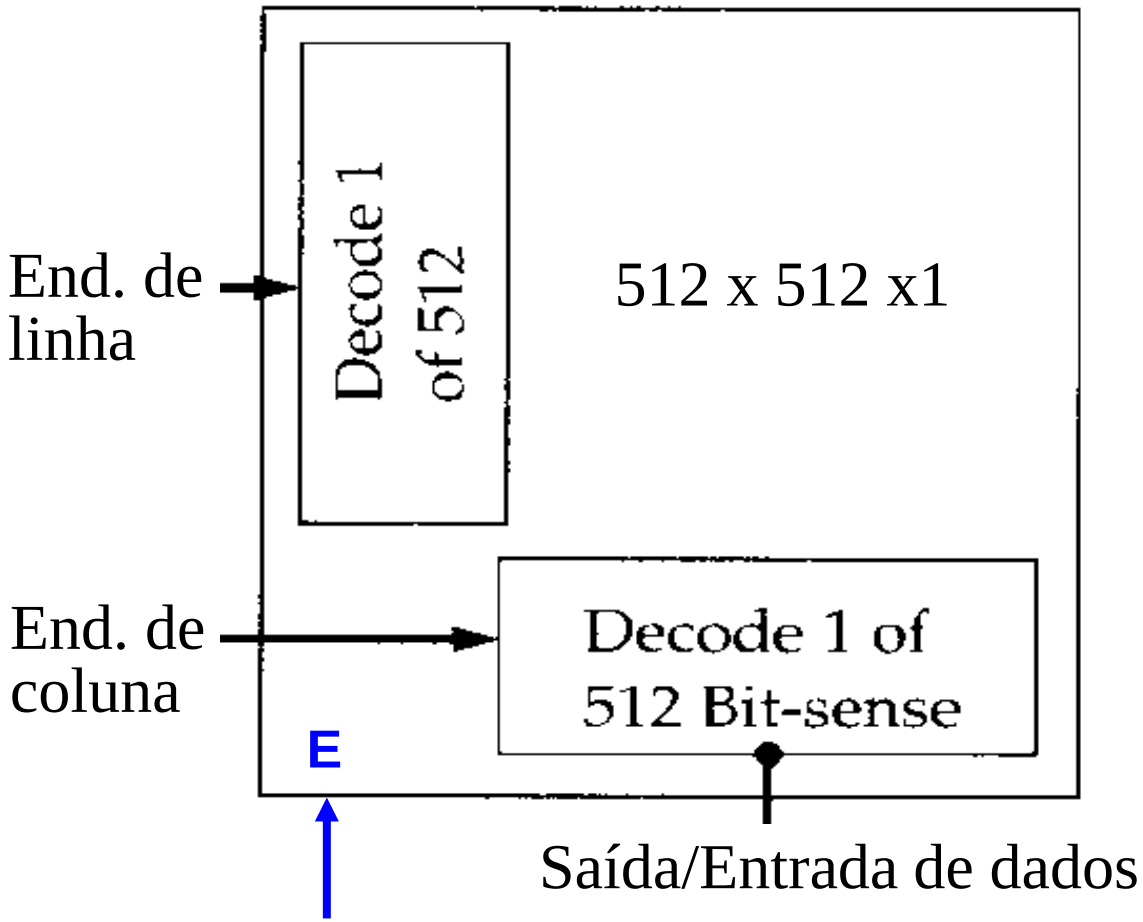
Cada chip:

256 k posições x 1 bit
(512 x 512) x 1 bit

Objetivo:

1 Mbytes = 1 M
posições x 8 bits

Organização do Módulo



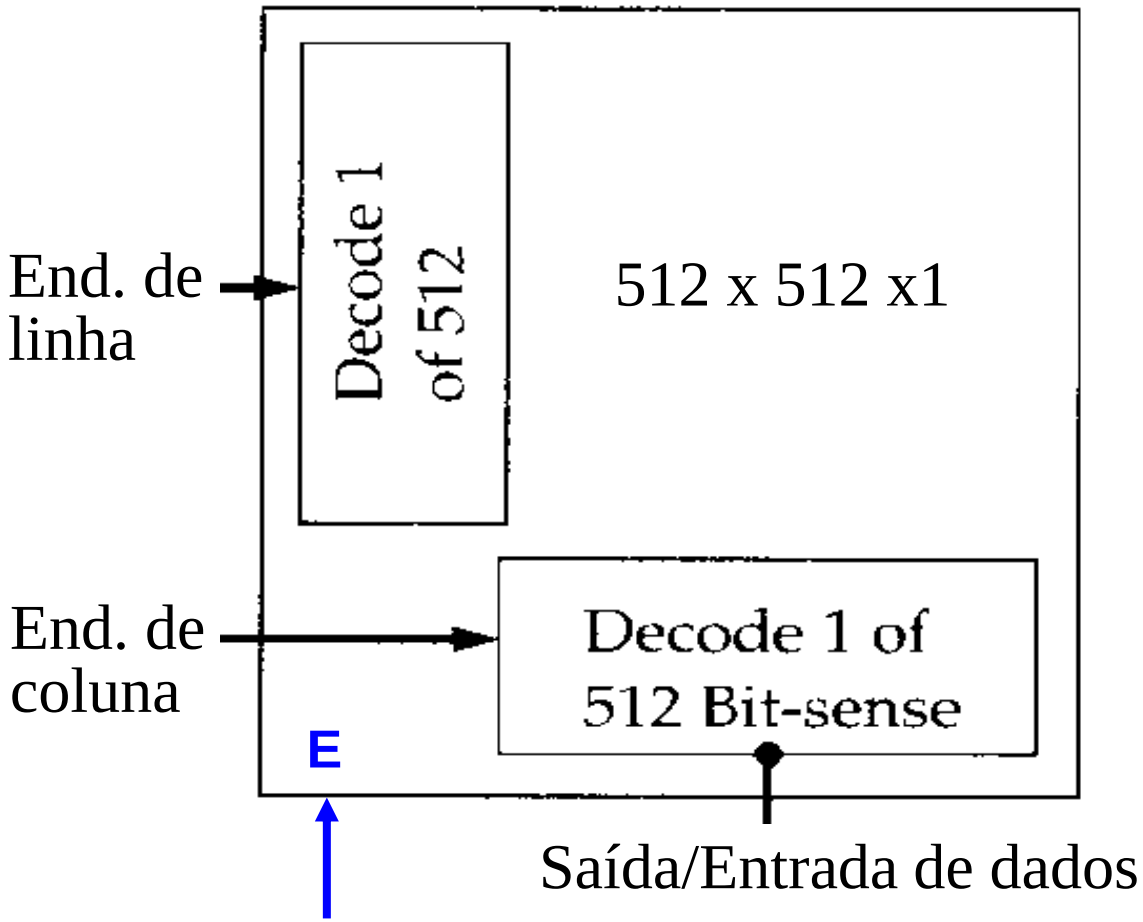
Cada chip:

256 k posições x 1 bit
(512 x 512) x 1 bit

Objetivo:

1 Mbytes = 1 M
posições x 8 bits

Organização do Módulo



Cada chip:

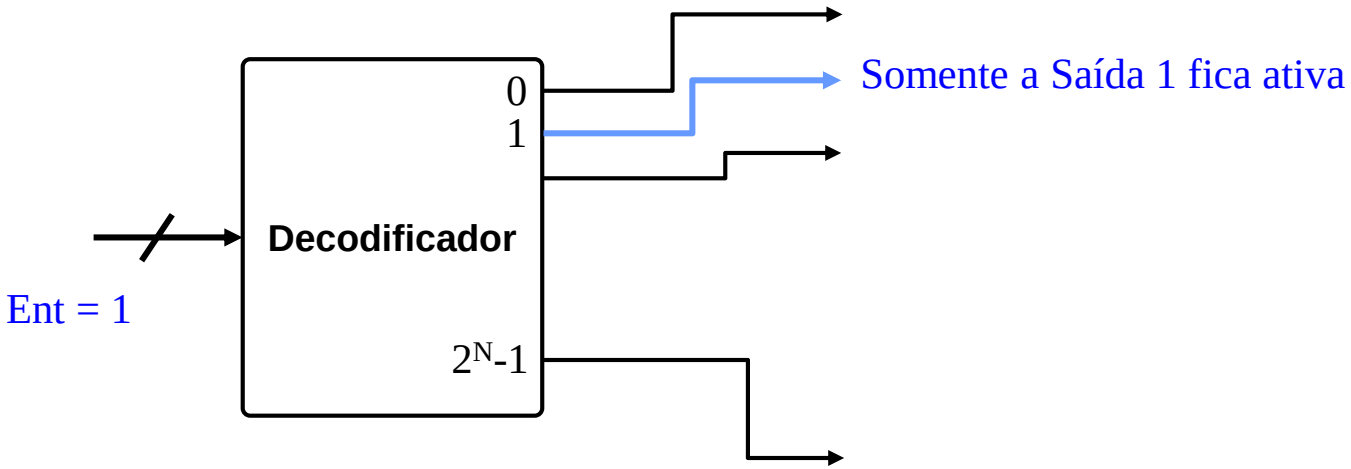
256 k posições x 1 bit
(512 x 512) x 1 bit

Objetivo:

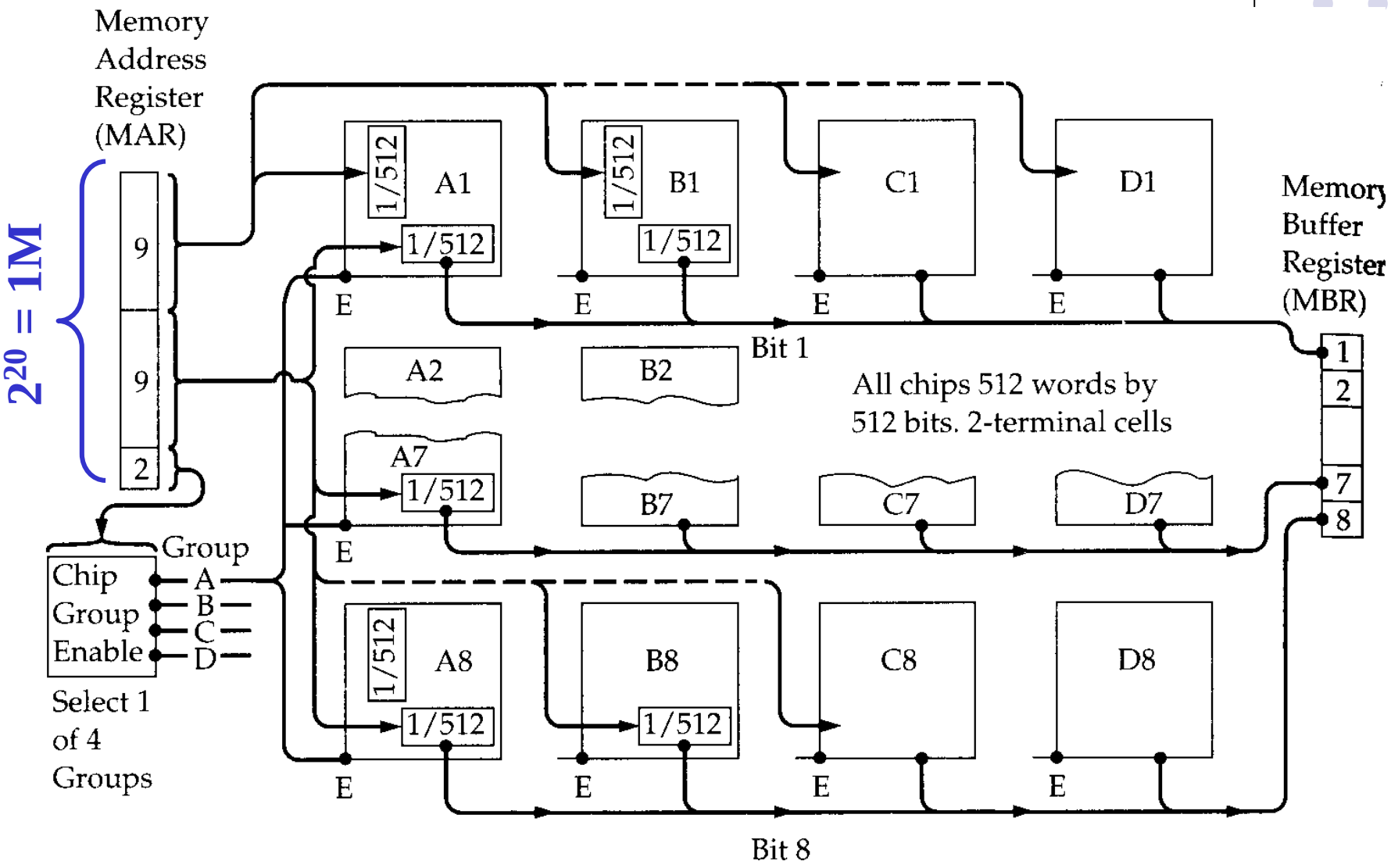
1 Mbytes = 1 M posições x 8 bits =

= 4 x 256 kB

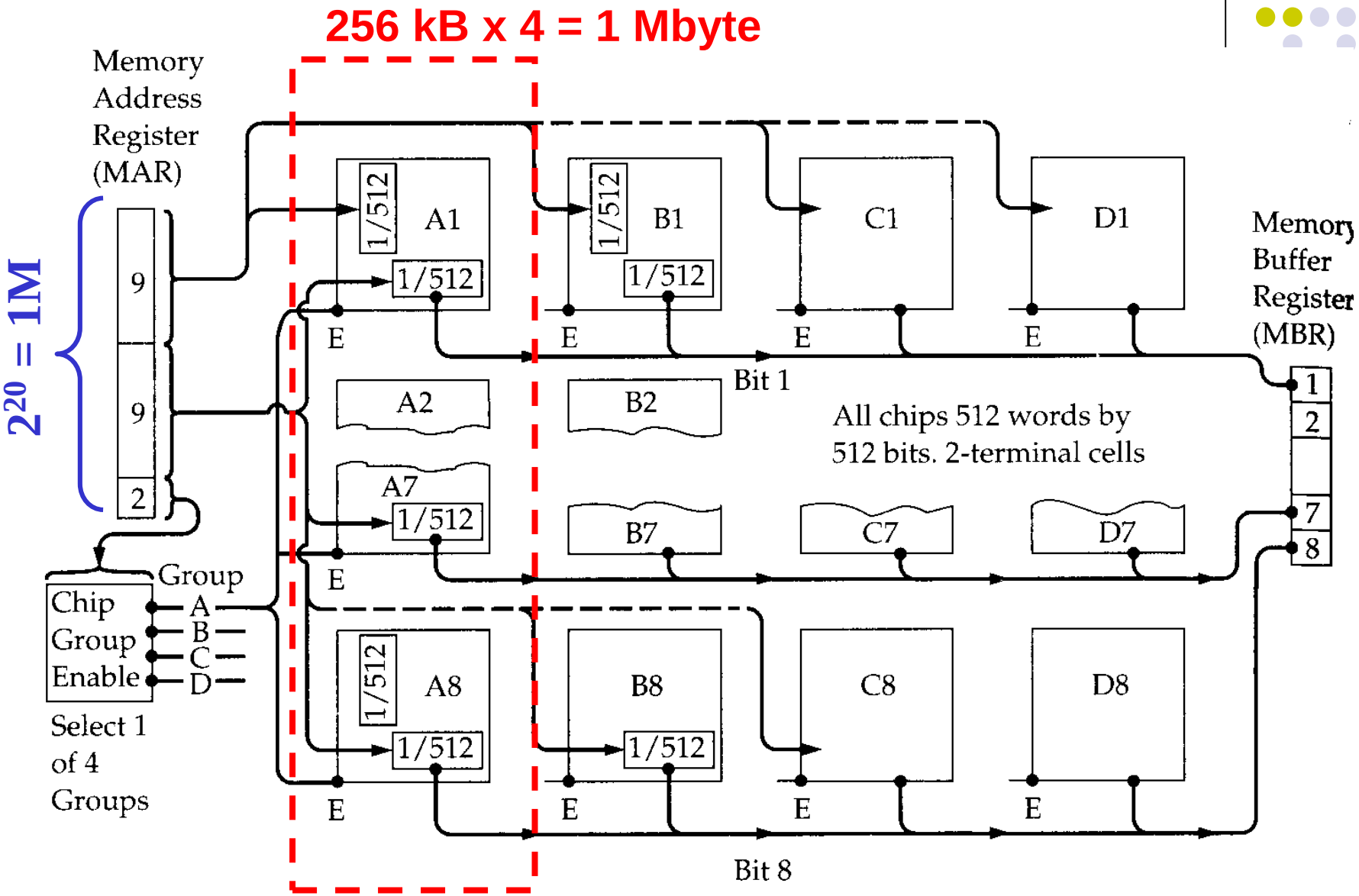
Decodificador de endereços



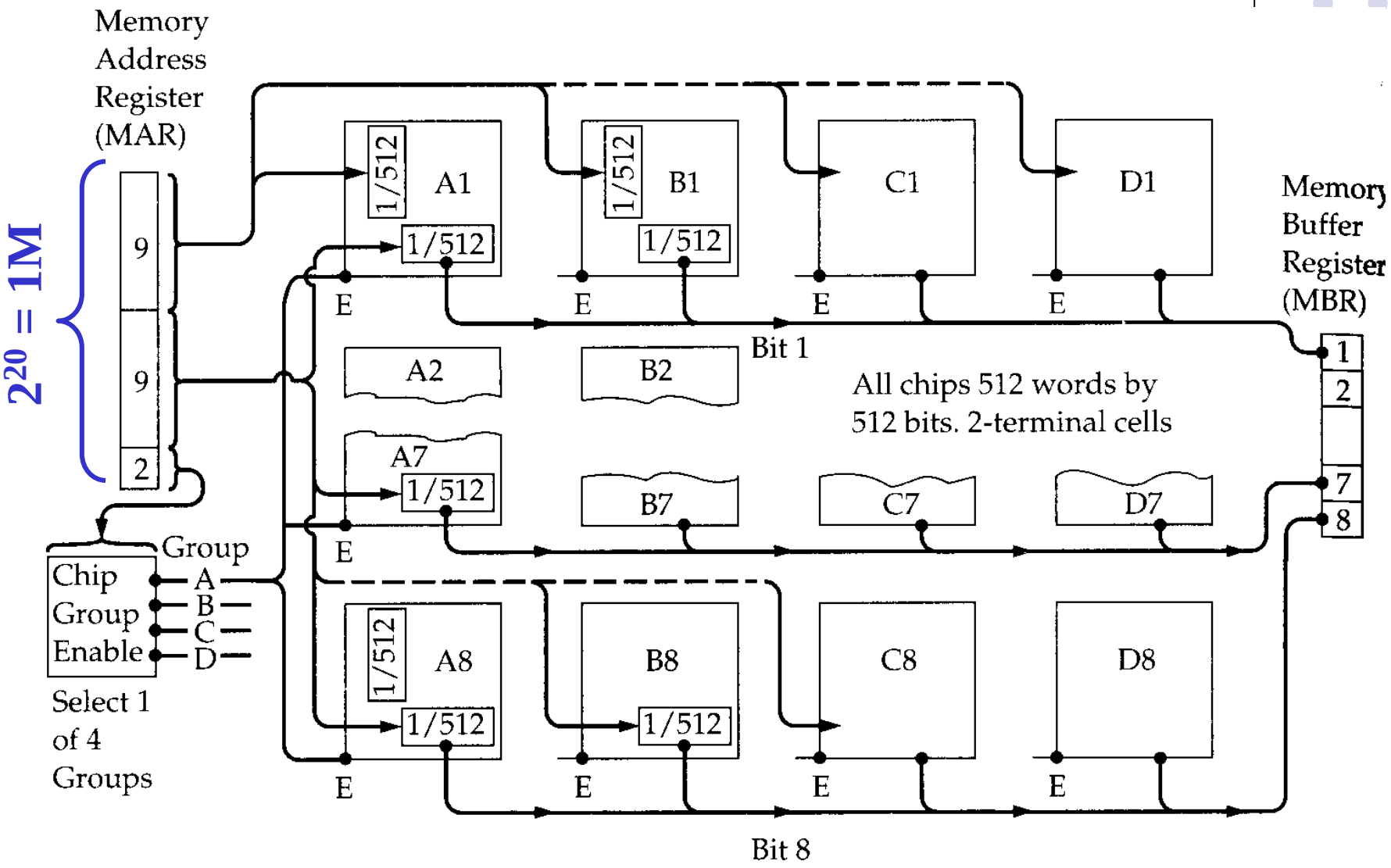
Intercalada – 1 Mbytes = $8x2^{20}$



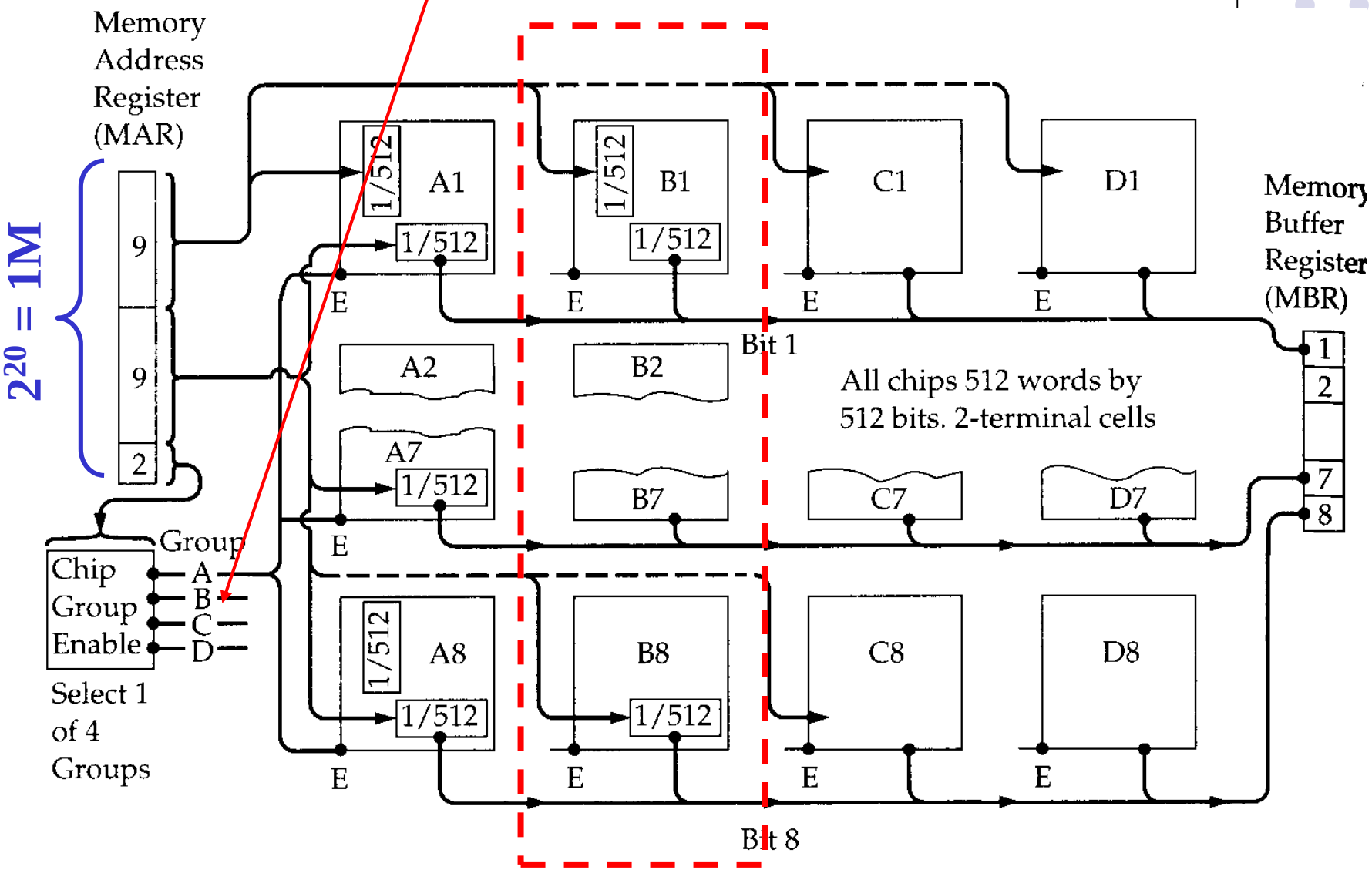
Intercalada – 1 Mbytes = $8x2^{20}$



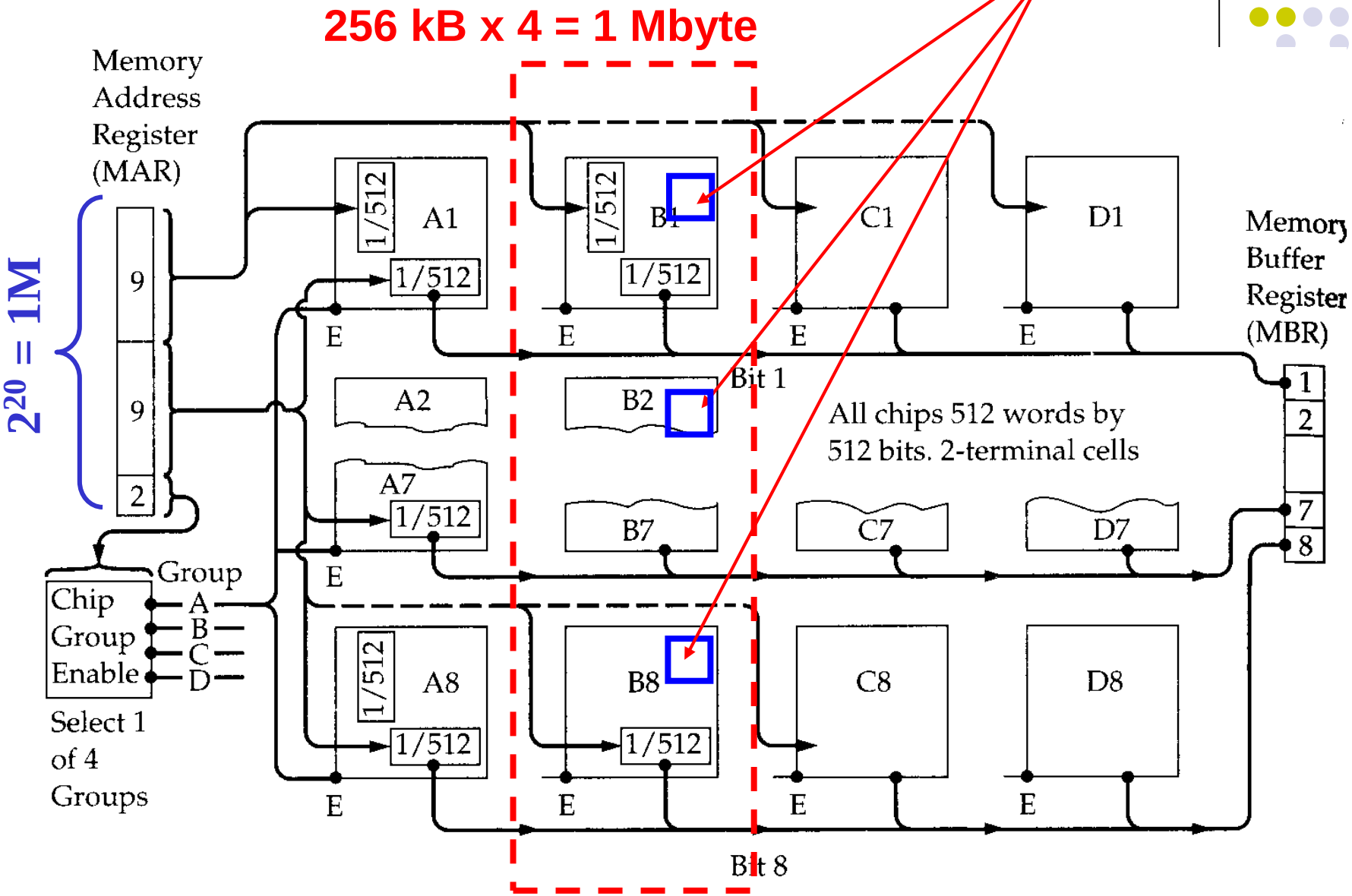
Ex.: Se end. = 01 000000000 000000010



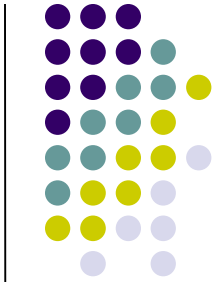
Ex.: Se end. = 01 000000000 000000010



Ex.: Se end. = 01 000000000 000000010

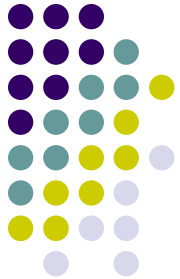


Módulos



Novas Tecnologias de Memórias RAM

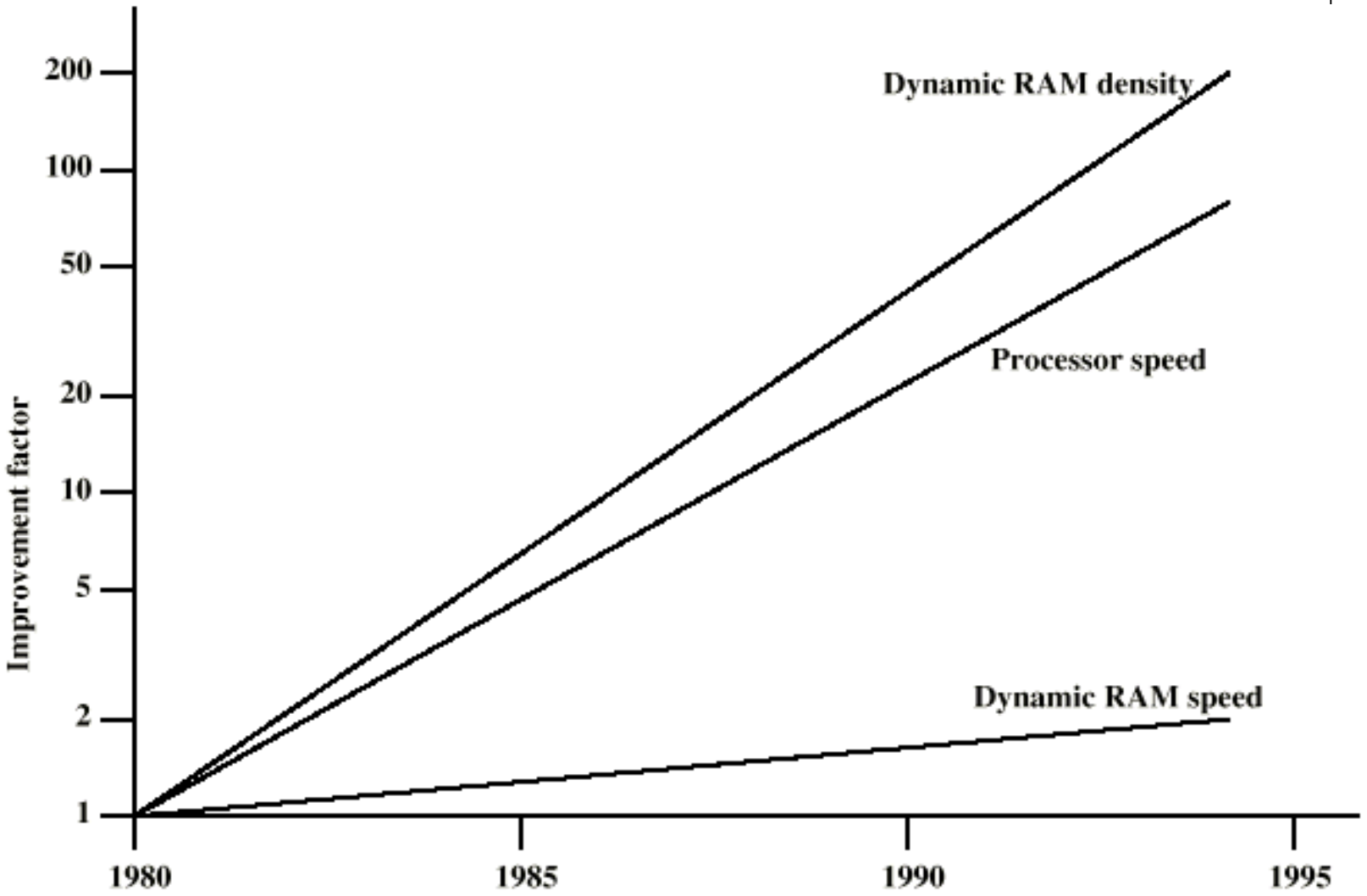
Novas Tecnologias RAM



- As memórias DRAM se mantêm praticamente as mesmas dos chips RAM

- Porém, algumas melhorias foram apresentadas para resolver a discrepância entre a evolução dos processadores a velocidade de operação das memórias

Relembrando...

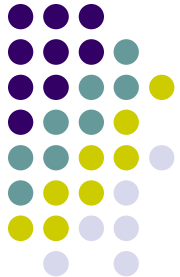


Novas Tecnologias RAM

Por exemplo:

- Enhanced DRAM
  - Contém uma pequena memória SRAM
  - SRAM armazena a última linha lida
    - Funciona como uma pequena cache
- Cache DRAM
  - Componente SRAM razoavelmente maior
    - Utilizada como uma cache ou para dar suporte ao acesso sequencial (por ex., arquivos)

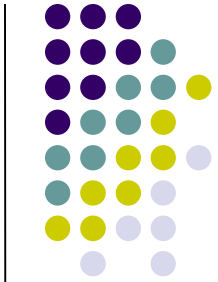
Novas Tecnologias RAM



- Synchronous DRAM (SDRAM)
  - Empregada em memórias comerciais:
    - SDRAM: Transferências em uma única borda do relógio
    - DDR SDRAM: Transferências nas duas bordas do relógio
  - O acesso é sincronizado com um relógio externo

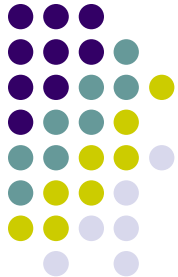
DDR – Double Data Rate

Novas Tecnologias RAM



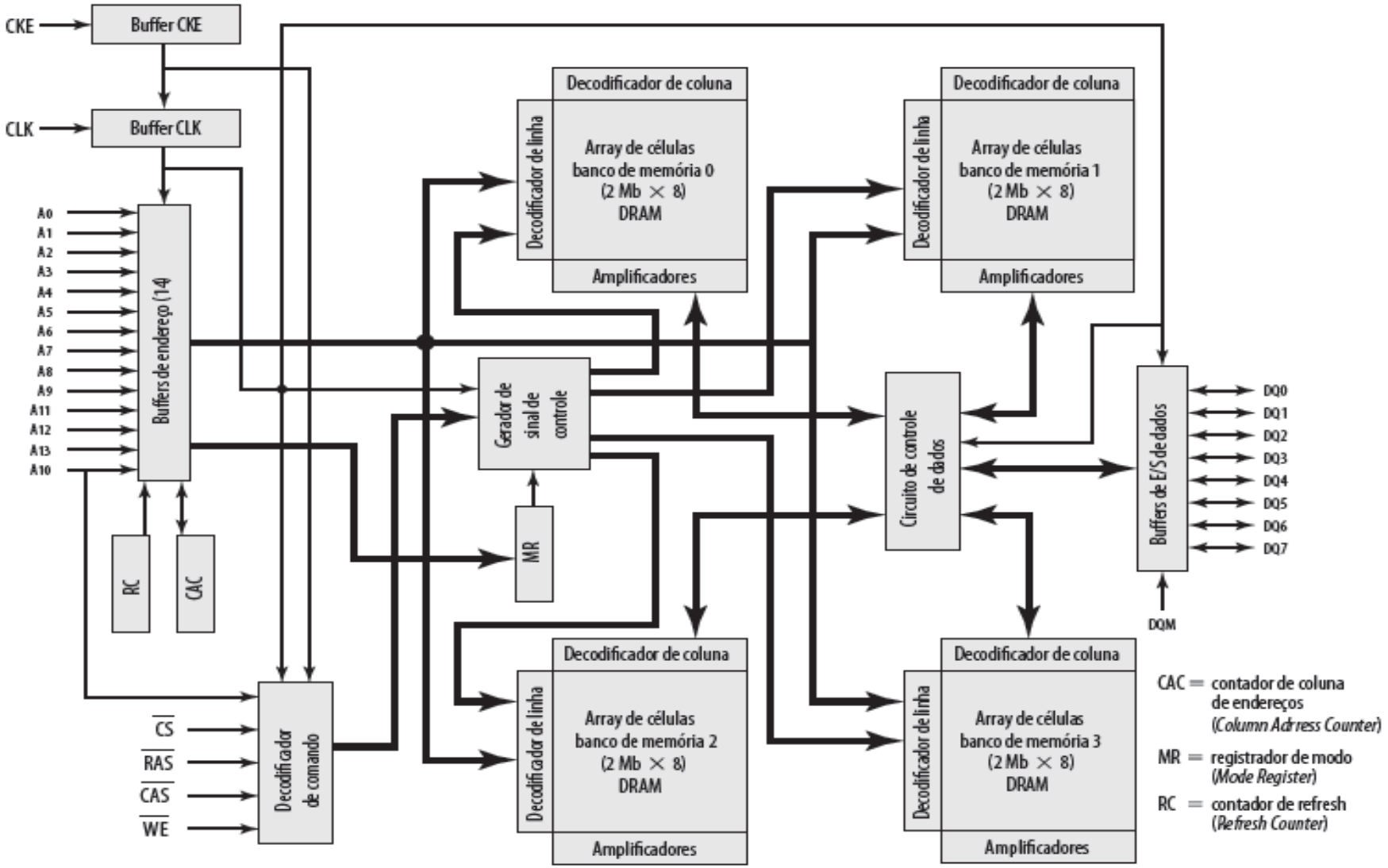
- Funcionamento (SDRAM)
  - O endereço é apresentado à RAM
  - A RAM encontra o dado
    - Em uma DRAM convencional a CPU espera

Novas Tecnologias RAM

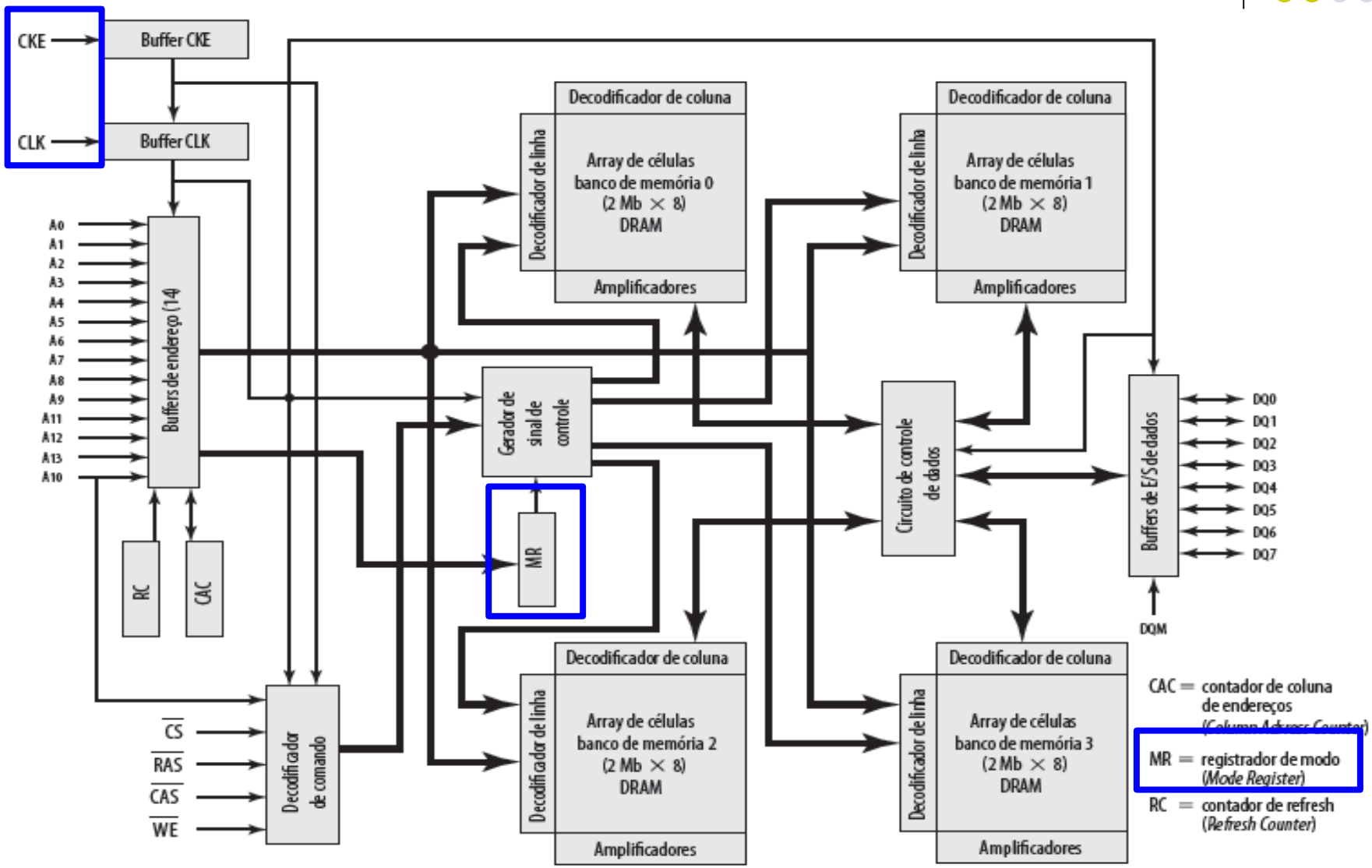


- Funcionamento (SDRAM)
  - Uma vez que a SDRAM manipula dados em sincronismo com o **clock**, a CPU “sabe” quando os dados estarão prontos
  - A CPU não precisa ficar esperando: ela pode fazer outra coisa
  - O modo burst (transferência de dados em sequência) elimina o tempo necessário para obter o endereço e para carregar os endereços de linha e coluna

SDRAM


CKE
Buffer CKE
CLK
Buffer CLK
A0
A1
A2
A3
A4
A5
A6
A7
A8
A9
A11
A12
A13
A10
Buffers de endereço (14)
RC
CAC
MR
Gerador de sinal de controle
Decodificador de coluna
Decodificador de linha
Array de células banco de memória 0 (2 Mb × 8) DRAM
Amplificadores
Decodificador de coluna
Decodificador de linha
Array de células banco de memória 1 (2 Mb × 8) DRAM
Amplificadores
Circuito de controle de dados
Buffers de E/S de dados
DQ0
DQ1
DQ2
DQ3
DQ4
DQ5
DQ6
DQ7
DQM
Decodificador de coluna
Decodificador de linha
Array de células banco de memória 2 (2 Mb × 8) DRAM
Amplificadores
Decodificador de coluna
Decodificador de linha
Array de células banco de memória 3 (2 Mb × 8) DRAM
Amplificadores
CS
RAS
CAS
WE
Decodificador de comando
CAC = contador de coluna de endereços (Column Adress Counter)
MR = registrador de modo (Mode Register)
RC = contador de refresh (Refresh Counter)

SDRAM


CKE
Buffer CKE
CLK
Buffer CLK
A0
A1
A2
A3
A4
A5
A6
A7
A8
A9
A11
A12
A13
A10
Buffers de endereço (14)
RC
CAC
MR
Gerador de sinal de controle
Decodificador de coluna
Decodificador de linha
Array de células banco de memória 0 (2 Mb × 8) DRAM
Amplificadores
Decodificador de coluna
Decodificador de linha
Array de células banco de memória 1 (2 Mb × 8) DRAM
Amplificadores
Circuito de controle de dados
Buffers de E/S de dados
DQ0
DQ1
DQ2
DQ3
DQ4
DQ5
DQ6
DQ7
DQM
Decodificador de coluna
Decodificador de linha
Array de células banco de memória 2 (2 Mb × 8) DRAM
Amplificadores
Decodificador de coluna
Decodificador de linha
Array de células banco de memória 3 (2 Mb × 8) DRAM
Amplificadores
CS
RAS
CAS
WE
Decodificador de comando
CAC = contador de coluna de endereços (Column Address Counter)
MR = registrador de modo (Mode Register)
RC = contador de refresh (Refresh Counter)

Programmable Mode Register

Ex.: SDRAM Hynix

MODE REGISTER SET

A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	0	0	0	0	0	0	$\overline{\text{CAS}}$ Latency			BT	Burst Length		

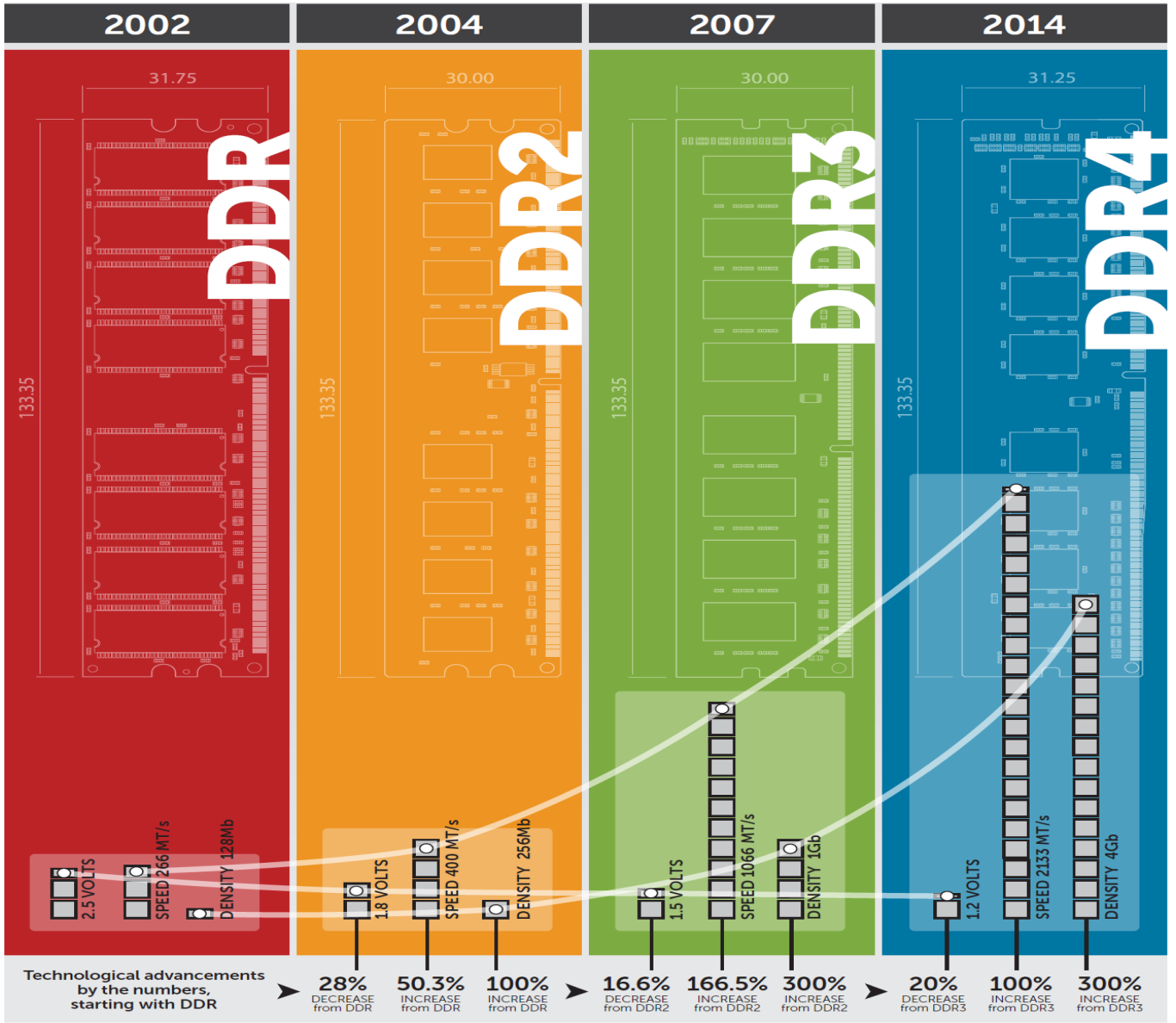
A3	Burst Type
0	Sequential
1	Interleave

A6	A5	A4	$\overline{\text{CAS}}$ Latency
0	0	0	Reserved
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	Reserved
1	0	1	Reserved
1	1	0	Reserved
1	1	1	Reserved

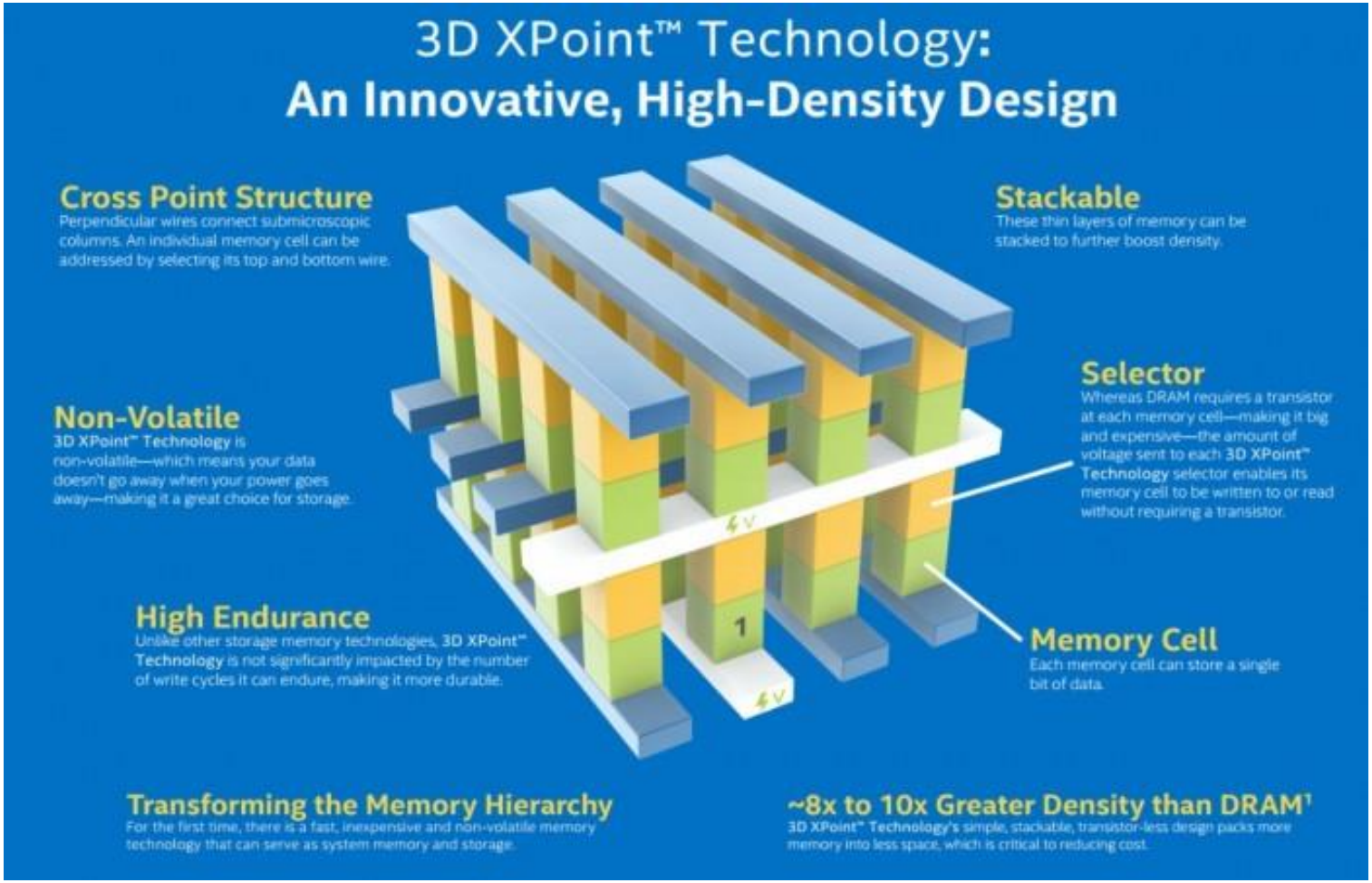
A2	A1	A0	Burst Length
0	0	0	1
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	Full Page

http://techwww.in.tu-clausthal.de/site/Dokumentation/IC_digital/Speicher/SDRAM/HY57V653220B/SDRAM_operation.pdf

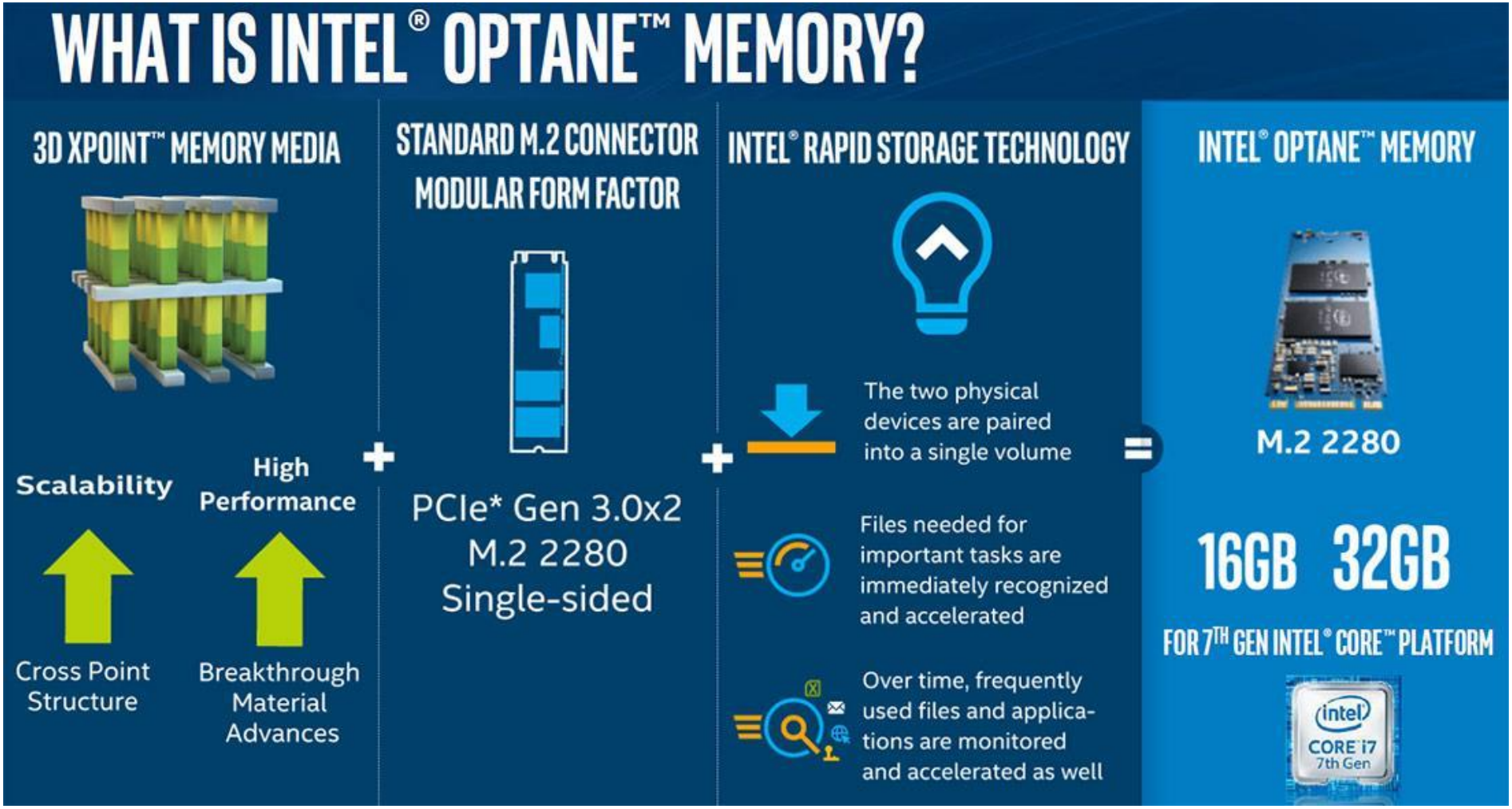
Crucial® DDR4

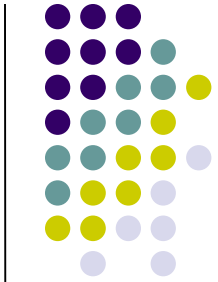


Novas tecnologias



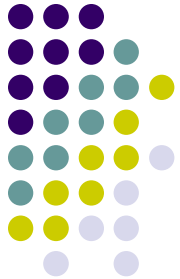
Novas tecnologias





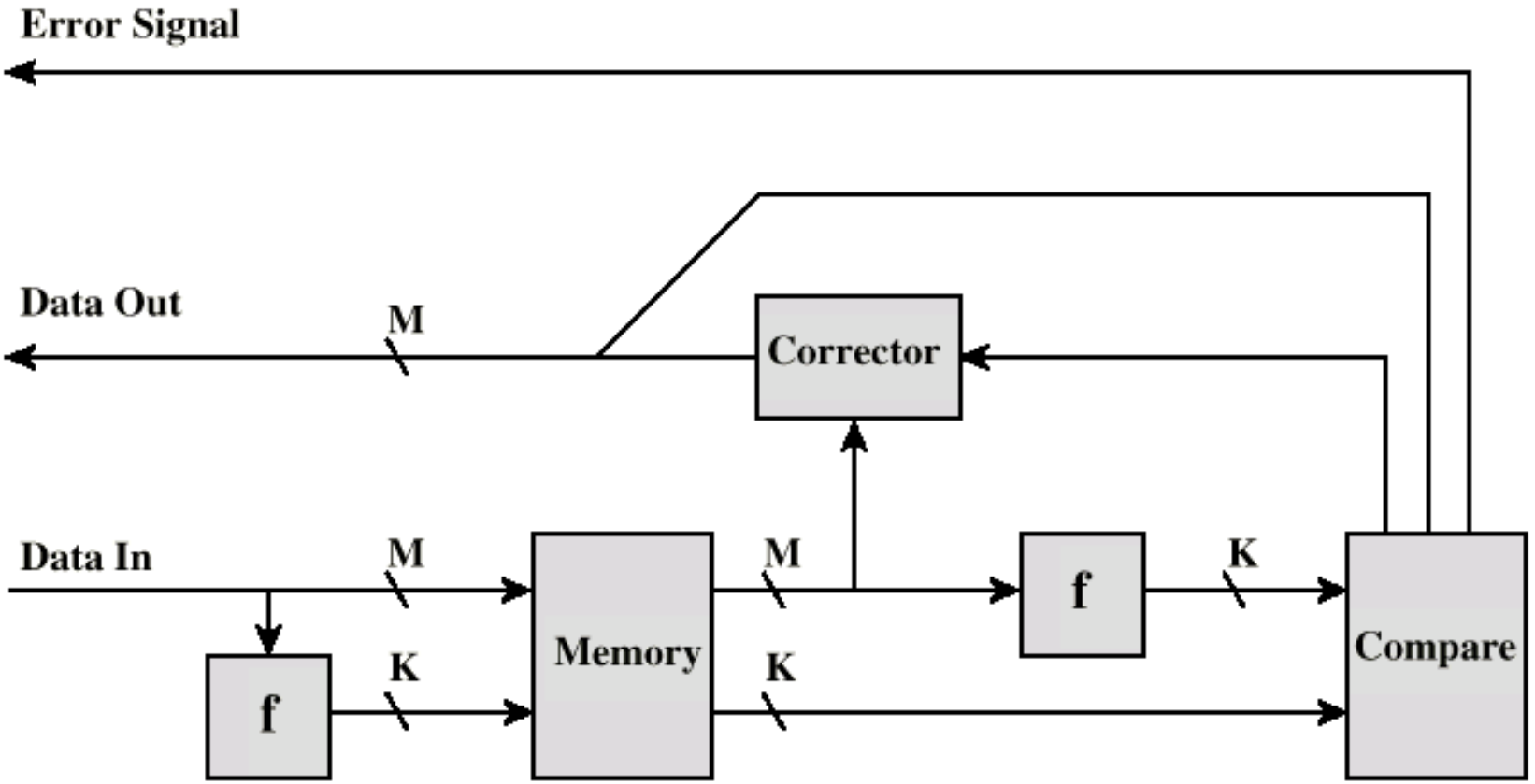
Detecção e Correção de Erro

Classificação de Erro

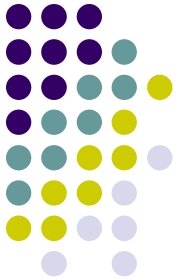


- Hard Failure
  - Defeito permanente
- Soft Error
  - Aleatório e não-destrutivo
  - Sem danos permanentes para a memória
  - Detectado/corrigido usando um código corretor de erros
    - Ex.: Hamming

Função do Código Corretor de Erros



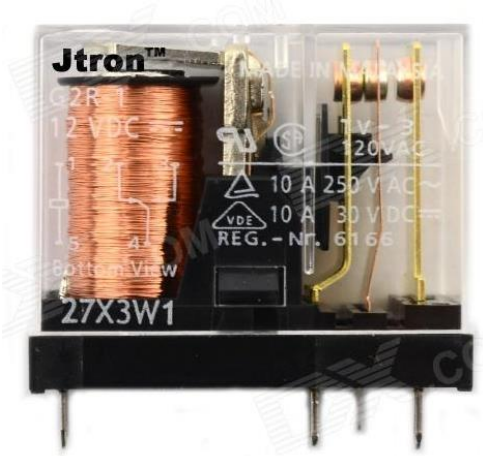
Paridade

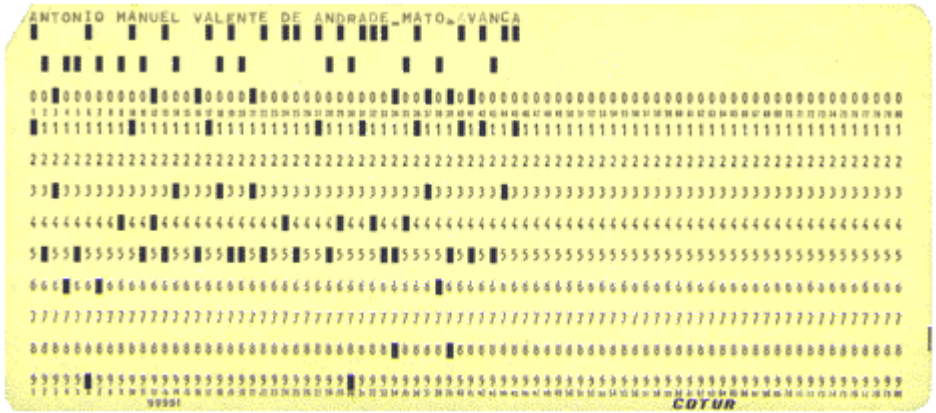


- Bit de Paridade
- “Conta” o número de bits “1”
  - Se PAR => P = 0
  - Se ÍMPAR => P = 1
- Funciona como detector de ERRO
  - Apenas erros em 1 bit da sequência!
  - Sem correção

Código de Hamming

- Richard Hamming
  - Bell Labs – 1940s
  - Bell Model V

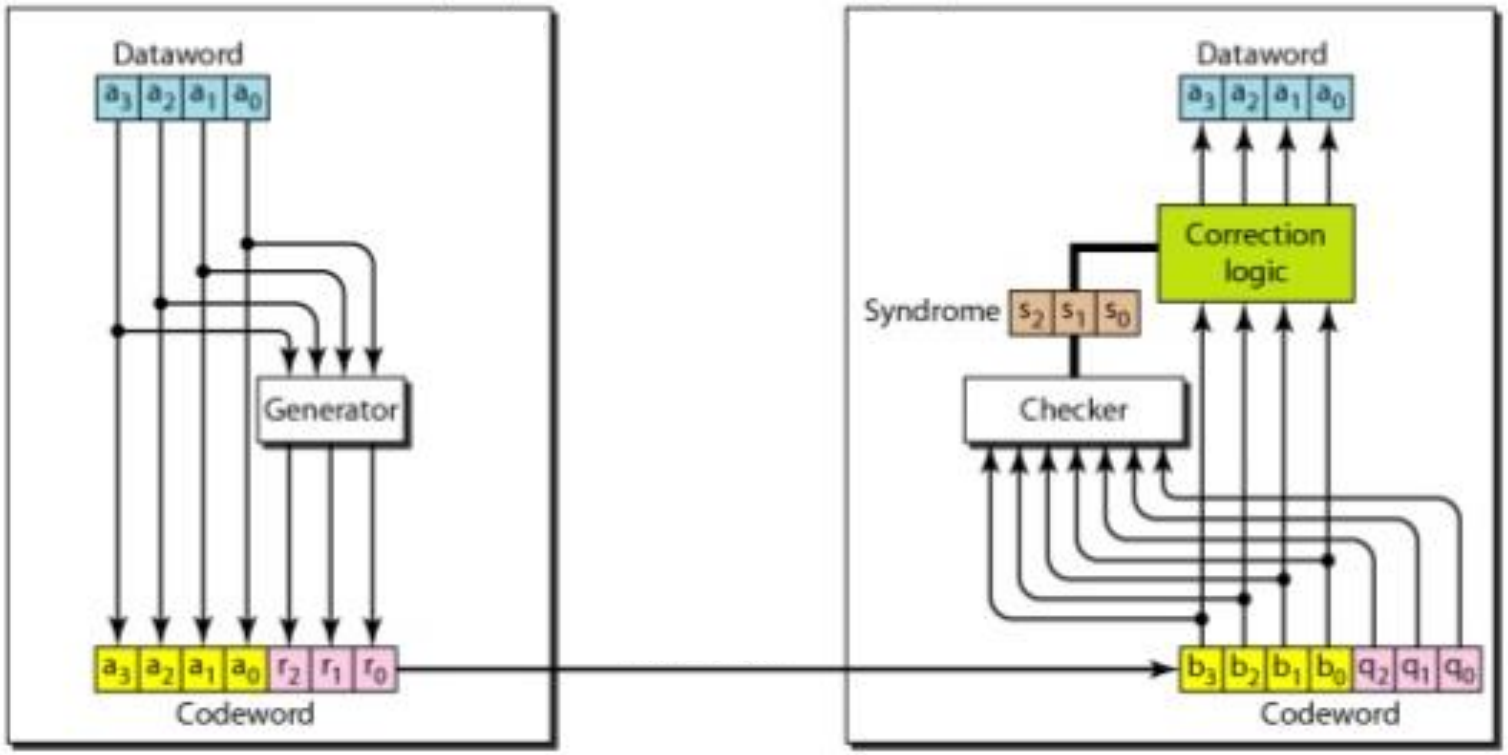




https://www.youtube.com/watch?v=BZh07Ew32UA

Código de Hamming

Ex.: 0 1 1 0

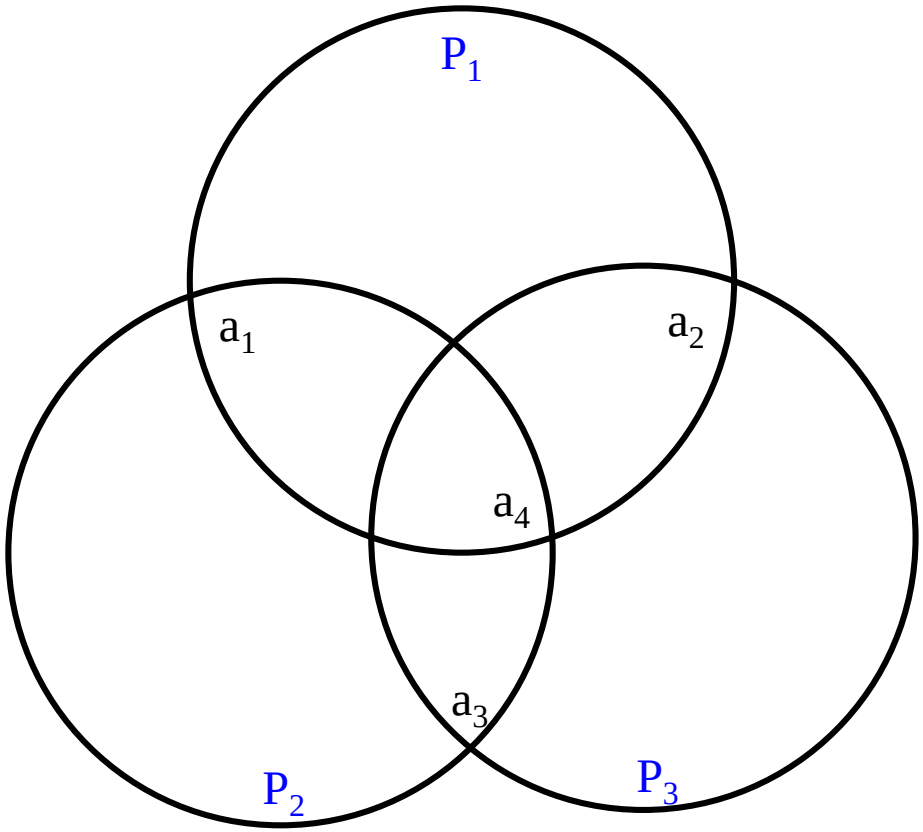


Código de Hamming

Bits de paridade	Bits totais	Bits de dados	Nome	Taxa
2	3	1	Hamming(3,1)	1/3 ≈ 0.333
3	7	4	Hamming(7,4)	4/7 ≈ 0.571
4	15	11	Hamming(15,11)	11/15 ≈ 0.733
5	31	26	Hamming(31,26)	26/31 ≈ 0.839
...				
m	*2m - 1*	*2m - m - 1*		*1 - m/(2m - 1)*

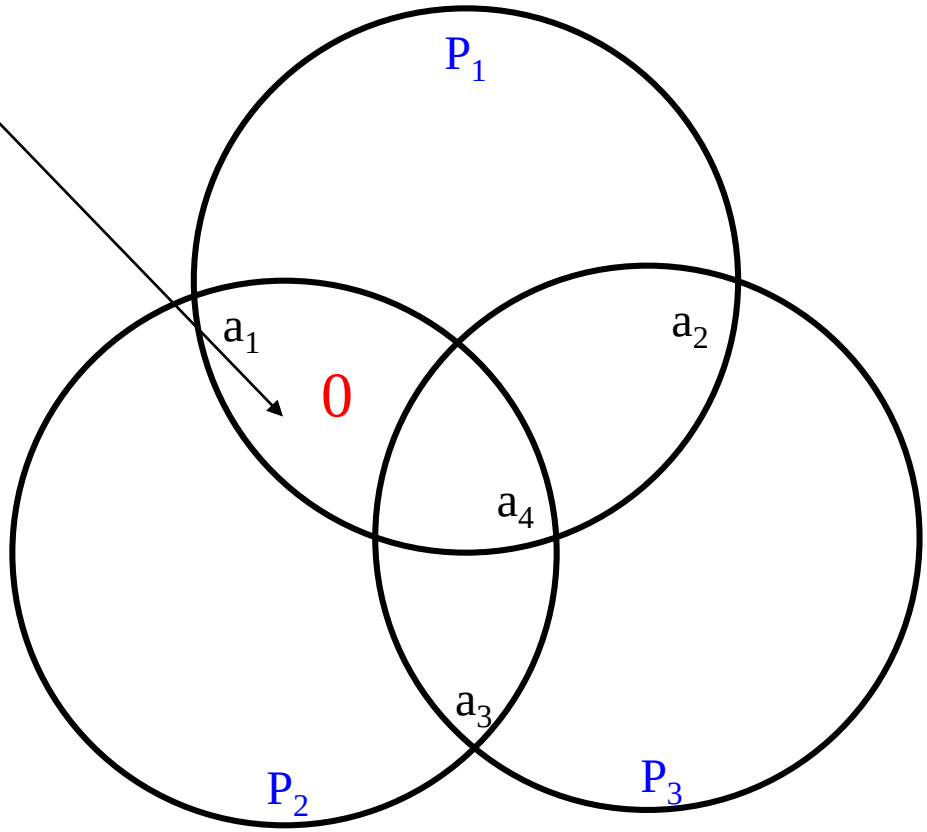
Código de Hamming

Ex.: 0 1 1 0



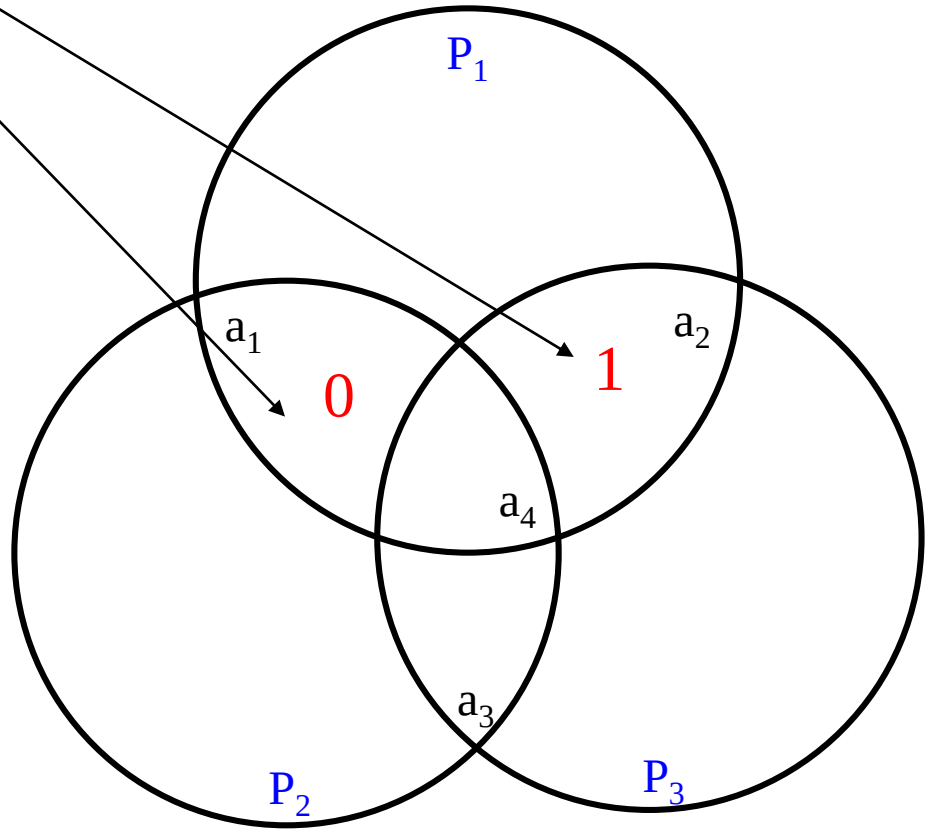
Código de Hamming

Ex.: 0 1 1 0



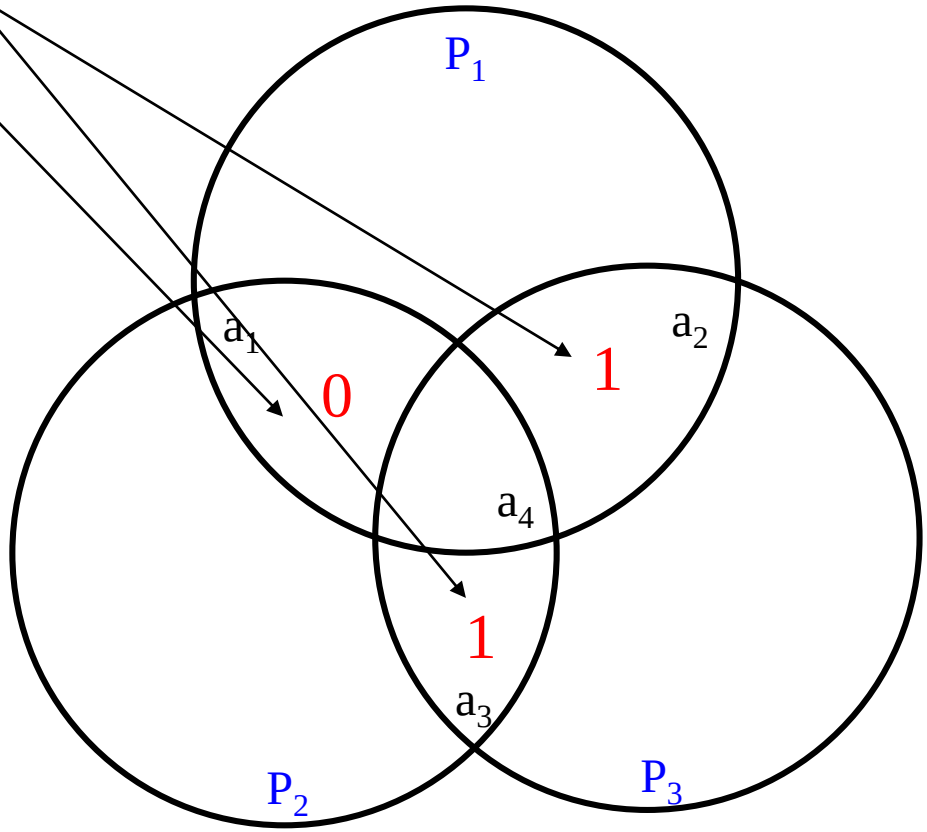
Código de Hamming

Ex.: 0 1 1 0

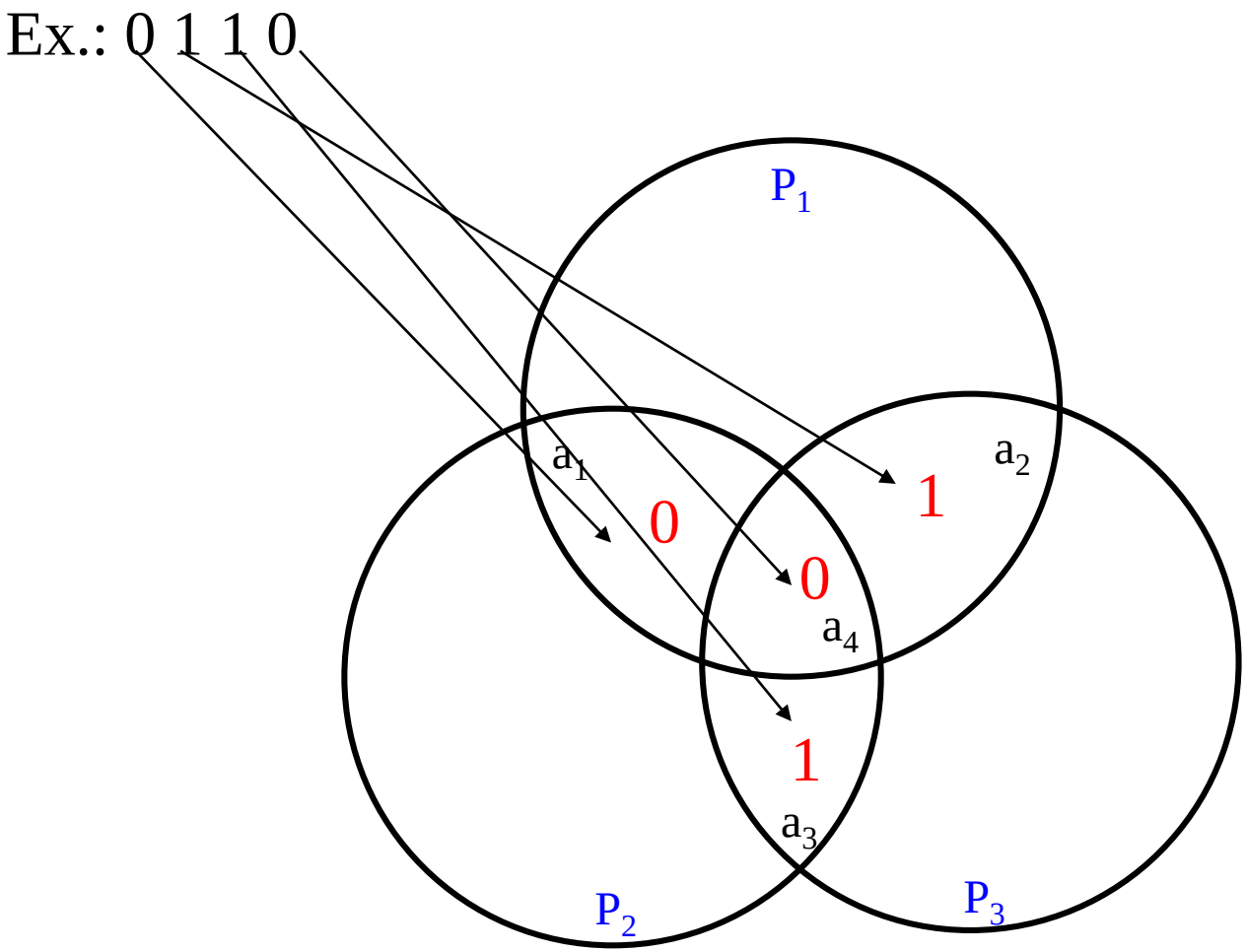


Código de Hamming

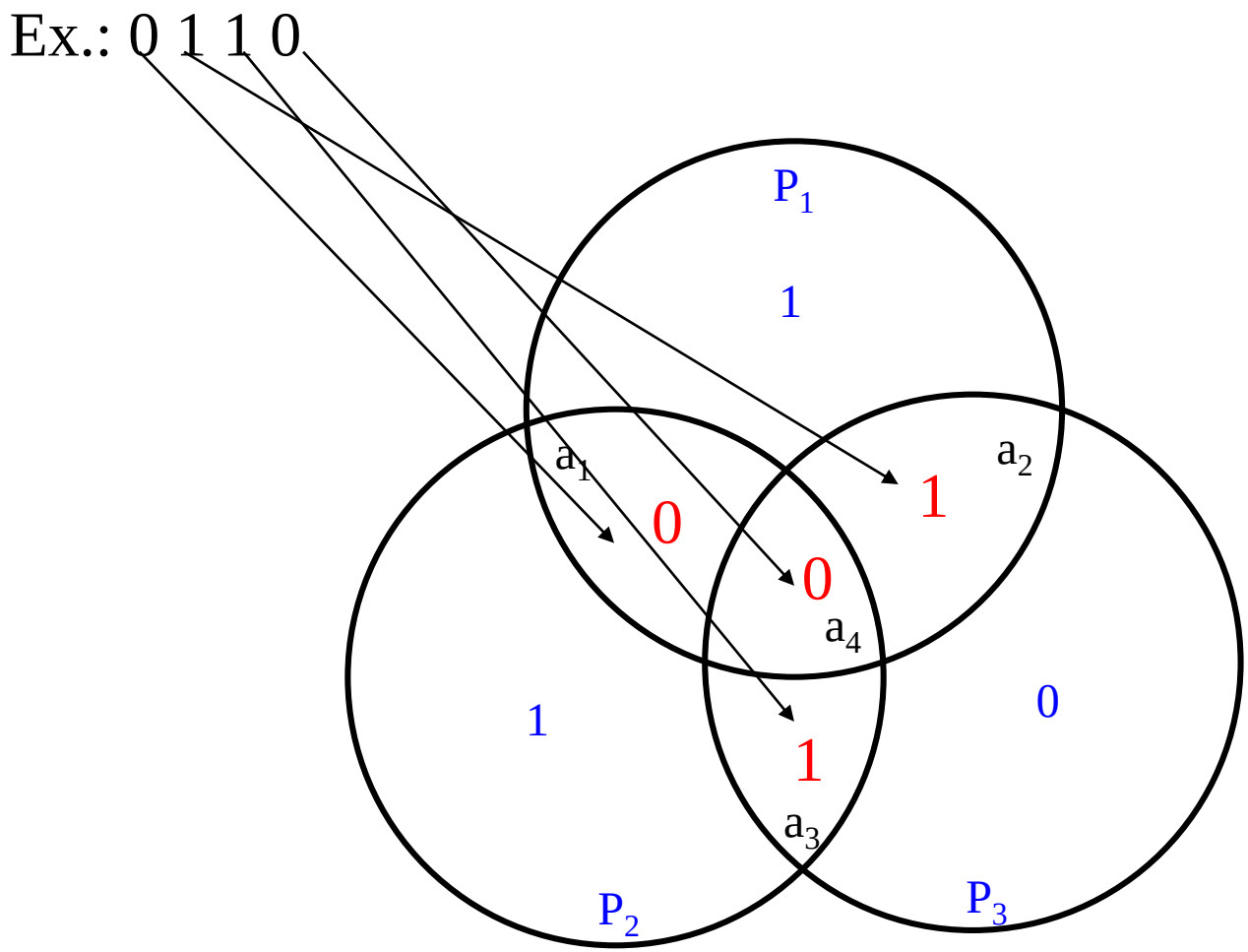
Ex.: 0 1 1 0



Código de Hamming

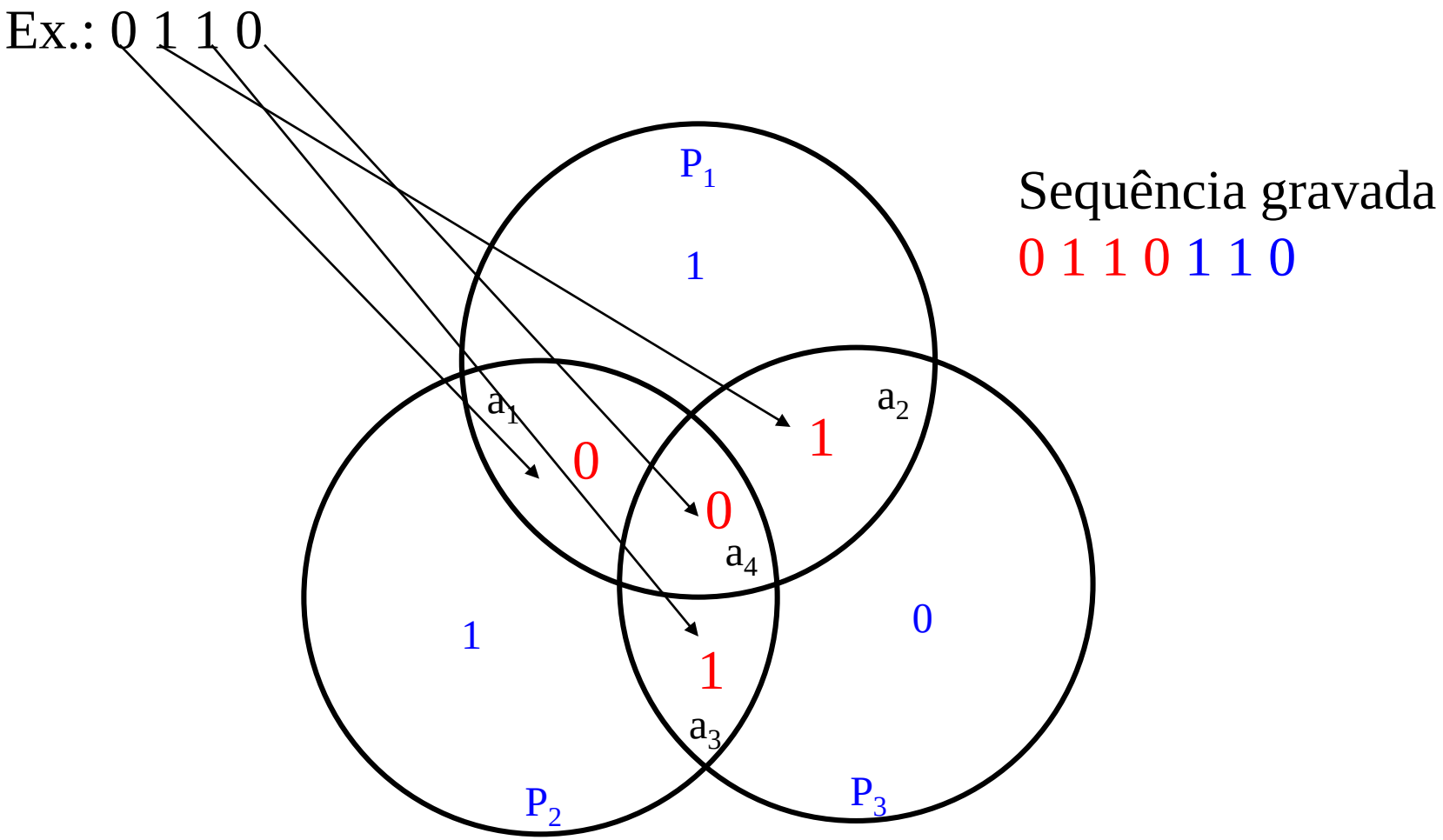


Código de Hamming



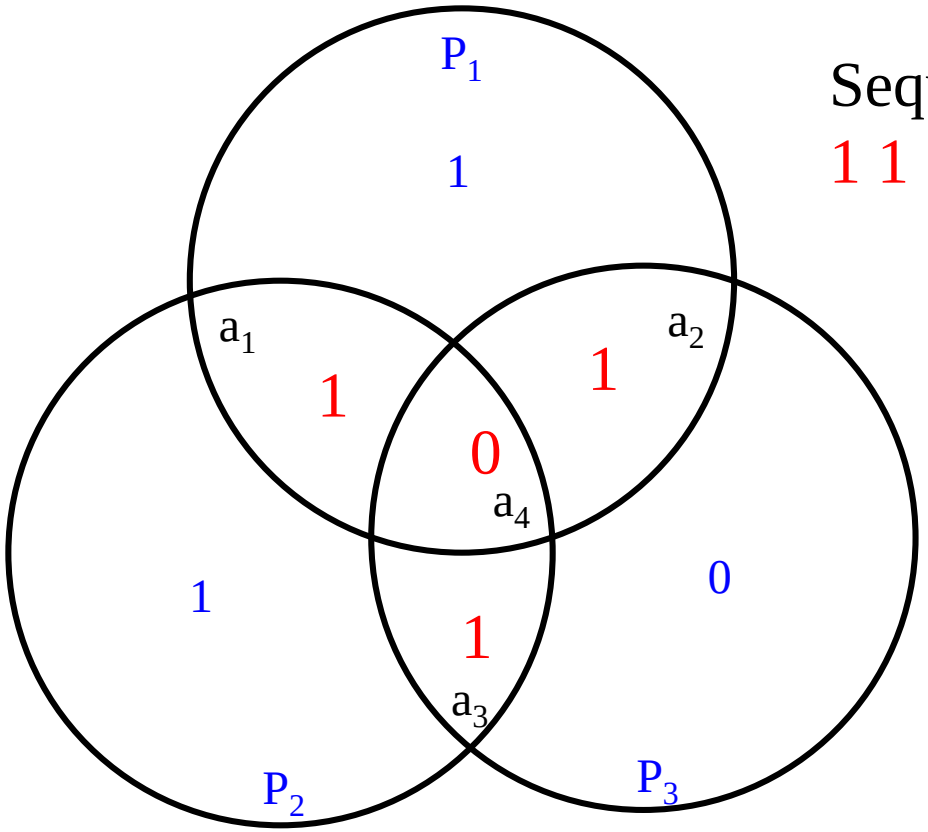
Paridades calculadas

Código de Hamming



Código de Hamming

Ex.: 0 1 1 0

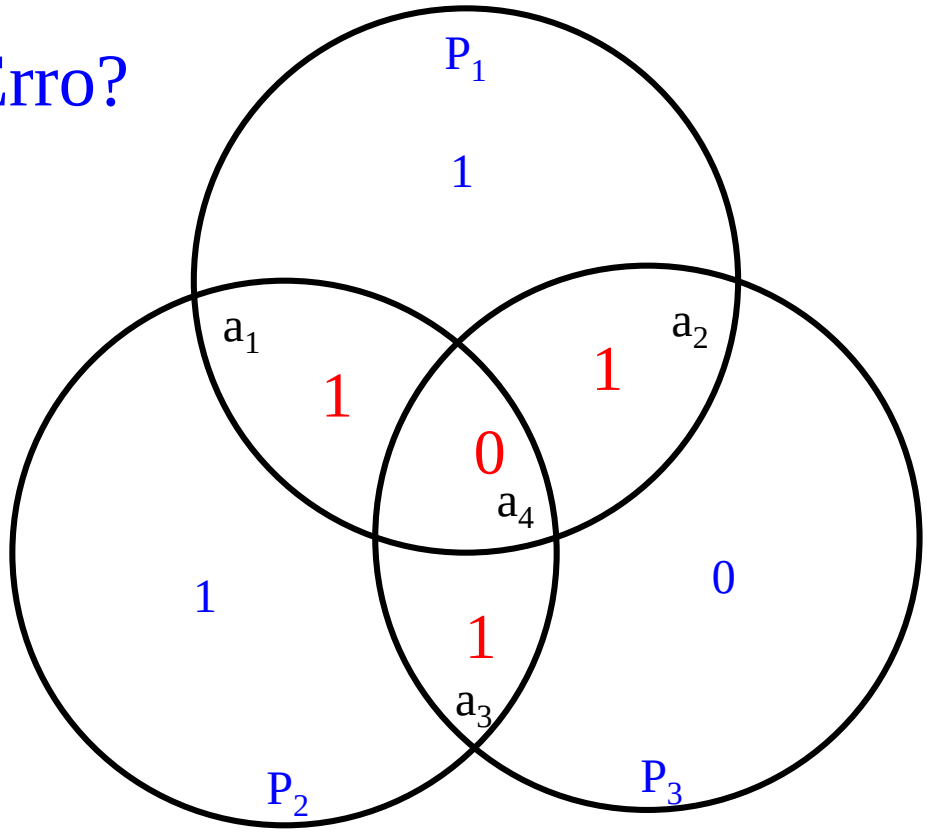


Sequência lida

1 1 1 0 1 1 0

Código de Hamming

Onde está o Erro?



Código de Hamming

Onde está o Erro?