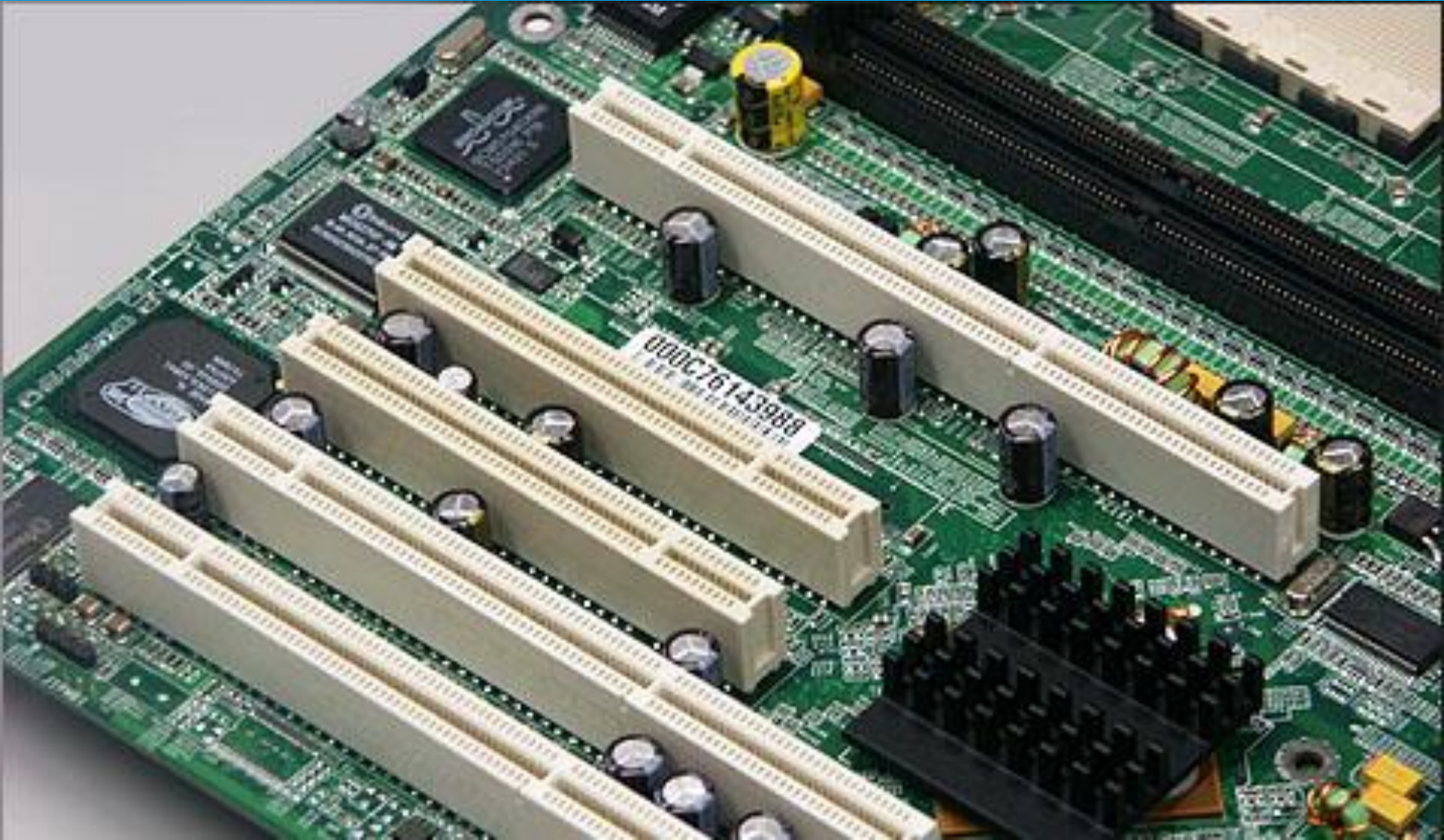


Tecnologias de Barramento



Resumo

- Padrões? O que são? Para que serve?
- Tecnologias
 - Barramento ISA: Industry Standard Architecture
 - Barramento EISA: Extended ISA
 - Barramento PCI: Peripheral Component Interconnect
- Plug and Play
- PCI
- Exemplo de operação no PCI

Padrões

Importantes sistemas de interconexão comerciais

- Barramento ISA: Industry Standard Architecture
- Barramento EISA: Extended ISA
- Barramento PCI: Peripheral Component Interconnect
- PCIe
- AGP: Accelerated Graphics Port
- USB
- FireWire
- IrDA
- SPI: Serial Peripheral Interface Bus



Padronização ???



Tipos de Sistemas x Aplicação

- PC/XT: Barramento IBM PC
- PC/AT: Barramento ISA
- 80386 : Barramento EISA
- PCs: barramento PCI
- PCs e Workstations: Barramento SCSI
- Machintosh: NuBus
- Computadores e eletrônicos: USB
- Aplicações musicais: FireWire
- Equipamentos de lab.: VME, GPIB
- Sistemas atuais: PCIe; USB C (20 Gbps);
Thunderbolt (40Gbps)



Tipos de Sistemas x Aplicação



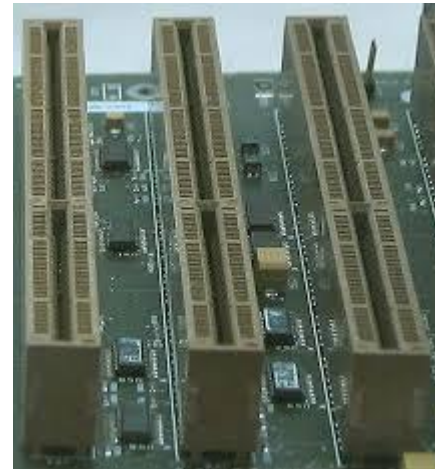
PC/AT: Barramento ISA



Tipos de Sistemas x Aplicação



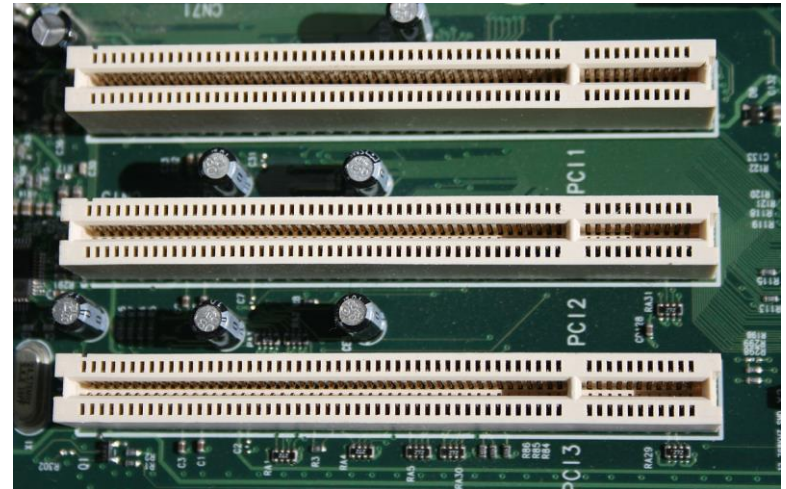
80386 : Barramento EISA



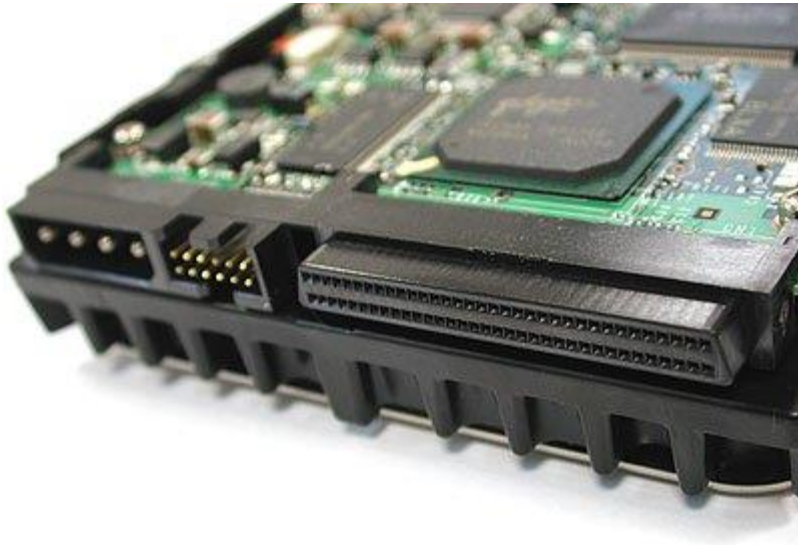
Tipos de Sistemas x Aplicação



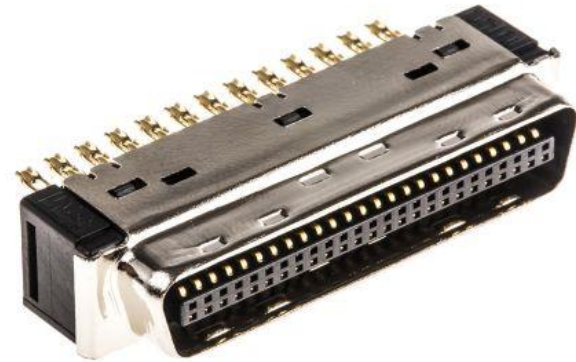
PCs: barramento PCI



Tipos de Sistemas x Aplicação

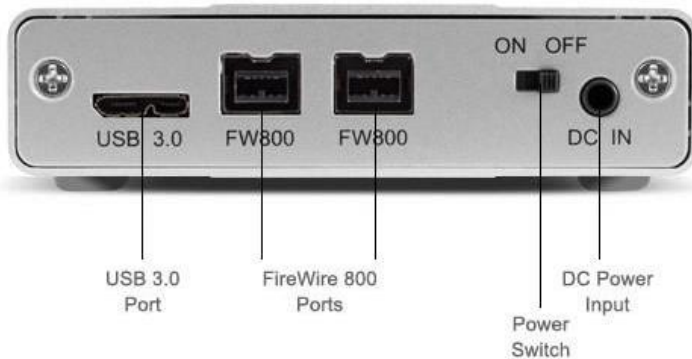


PCs e Workstations: Barramento SCSI

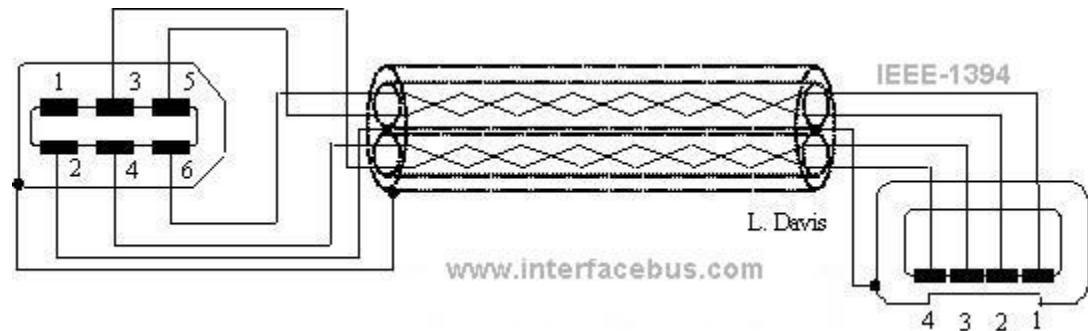


Tipos de Sistemas x Aplicação

USB 3.0 & 2.0 / FireWire 800



Eletrônicos: FireWire



Tipos de Sistemas x Aplicação



Equipamentos de lab.: GPIB



Tipos de Sistemas x Aplicação

Laptop: USB - C

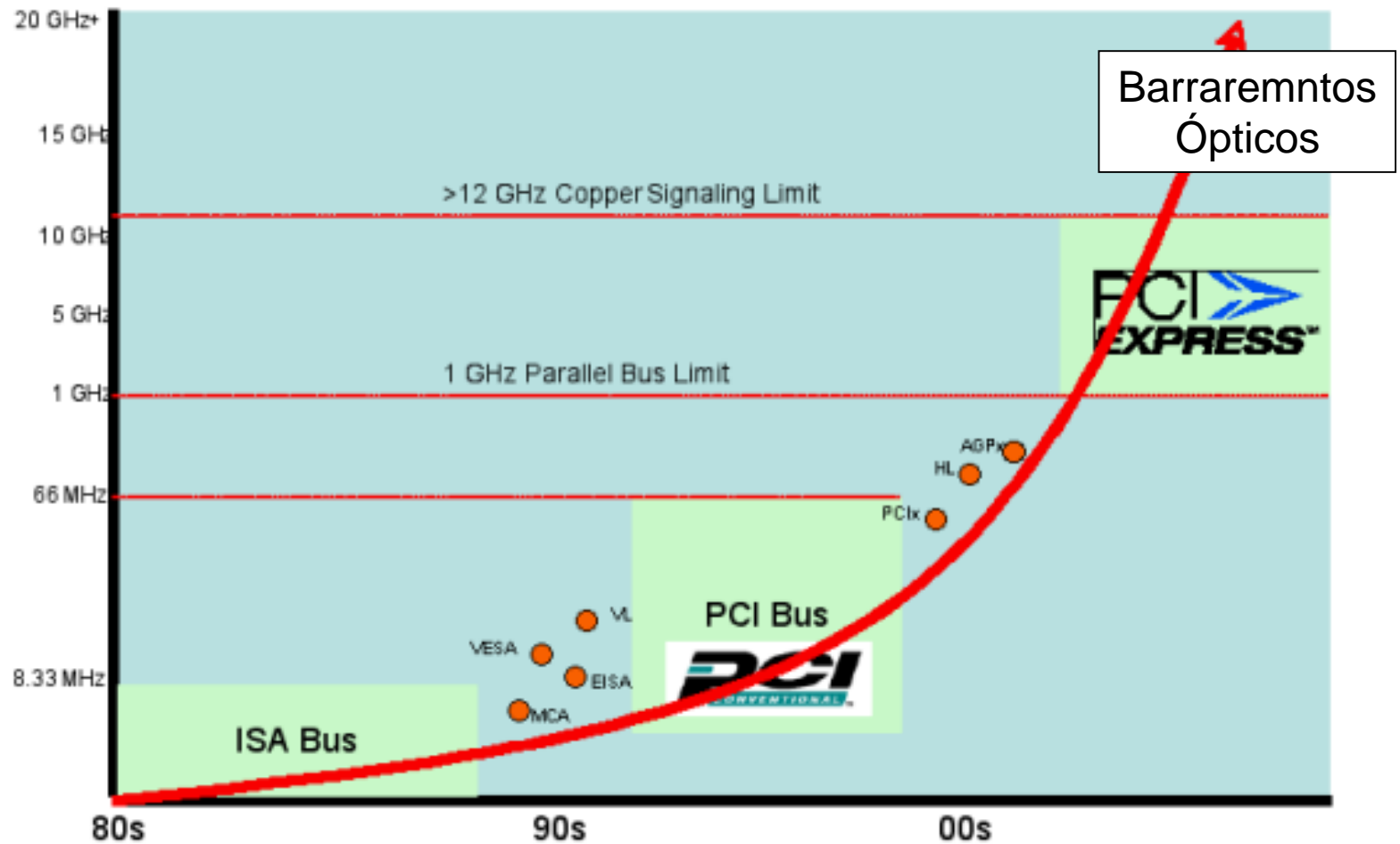


Características

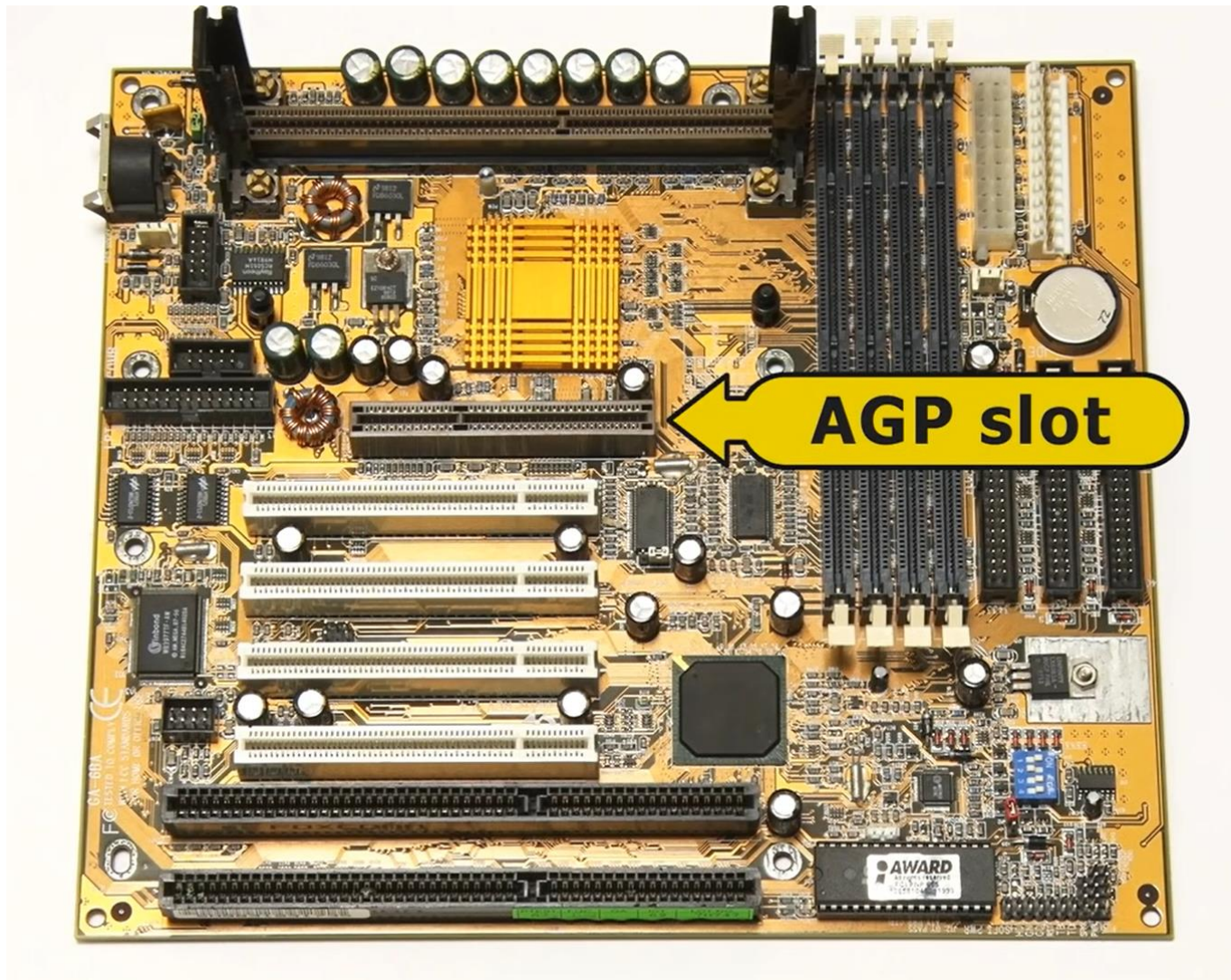
Bus	Width (bits)	Bus Speed (MHz)	Bus Bandwidth (MBytes/sec)*	Bus Bandwidth (MBytes/sec)
8-bit ISA	8	8.3	7.9	8.3
16-bit ISA	16	8.3	15.9	16.6
EISA	32	8.3	31.8	33.2
VLB	32	33	127.2	132
PCI	32	33	127.2	132
64-bit PCI 2.1	64	66	508.6	528
AGP	32	66	254.3	264
AGP (x2 mode)	32	66x2	508.6	528
AGP (x4 mode)	32	66x4	1,017.3	1056

*1 MB = 2²⁰ Bytes

Evolução



Evolução



Barramento ISA

- **Industry Standard Architecture**
- Possui 62 linhas de sinais
 - 20 linhas de endereço
 - 8 linhas de dados
 - Sinais de controle
- Não multiplexado
- Conector de 62 pinos
- Clock de 8,33MHz
- Transmissão de 2 bytes por ciclo



Principais Funções do barramento ISA

- DMA
- Interrupções
- Teclado
- RTC
- Configuração da RAM



Barramento EISA

- Extended ISA
- Extensão do ISA
- Contém 36 pinos a mais (que o ISA)
 - 31 pinos para mais linhas de endereço, dados, interrupções e canais de DMA, etc.
 - Demais pinos necessários para lidar com a diferença entre transmitir 8 bits ou 16 bits.
- Pode transmitir 4 bytes por ciclo



Barramento EISA

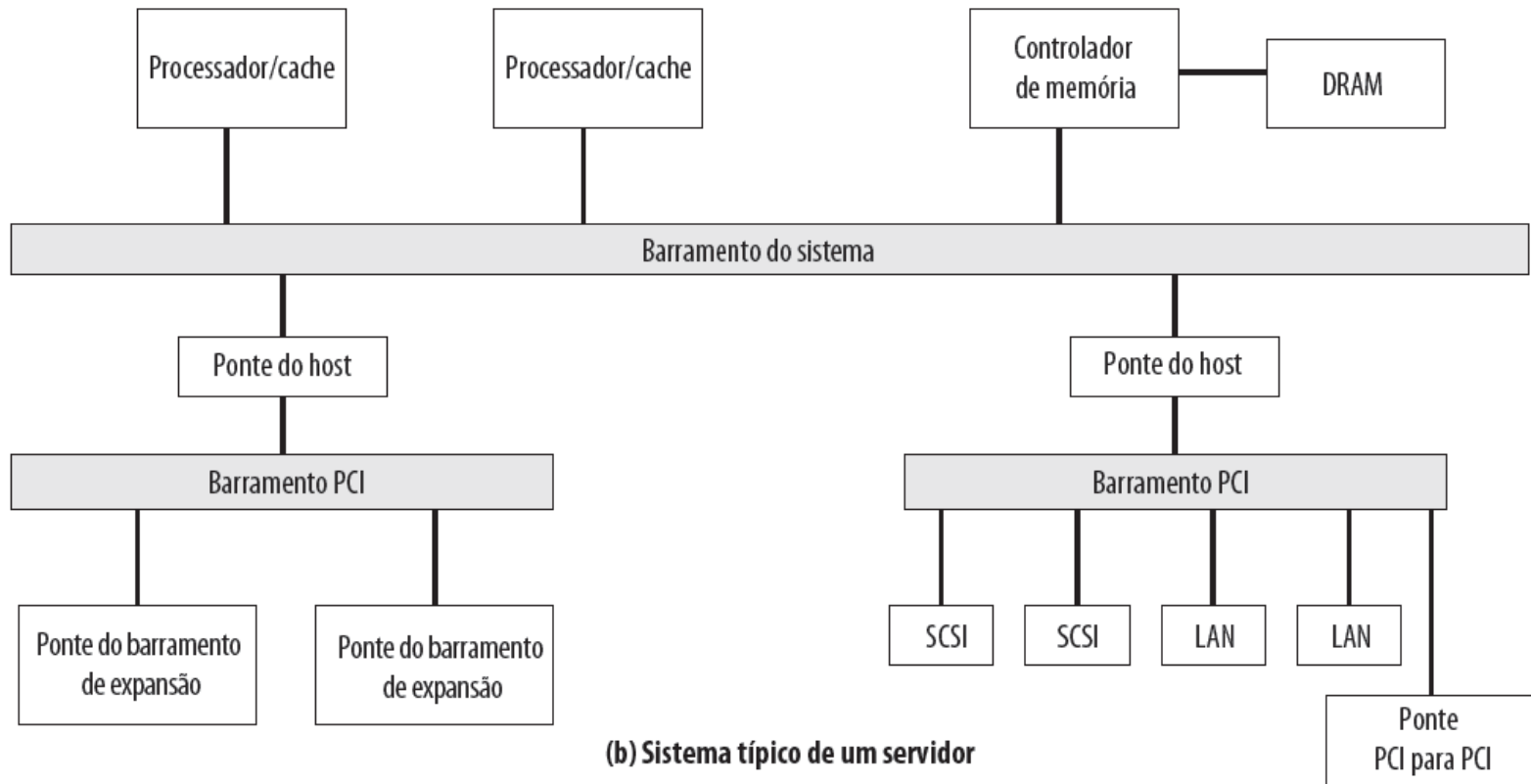


Barramento PCI

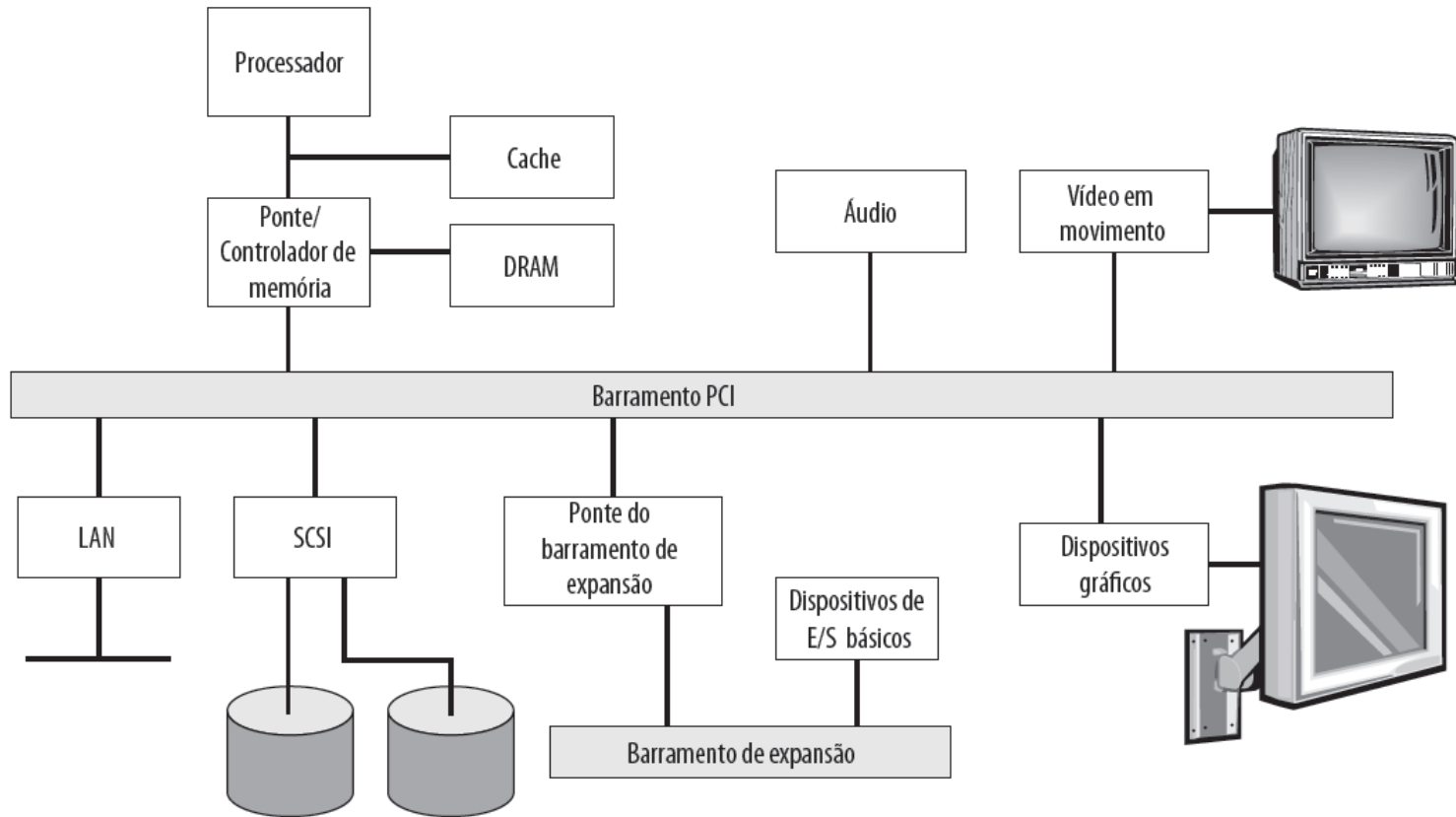
- **P**eripheral **C**omponent **I**nterconnect **B**us
- Lançado para domínio público pela Intel
- Versão 2.0: 33MHz, 32 bits por ciclo.
- Versão 2.1: 66MHz, 64 bits por ciclo.
- Opera com 5V ou 3.3V.
- Conector com 120 pinos, para cartões de 32 bits, ou 184 pinos para cartões de 64 bits.
- Barramento síncrono
- Barramento multiplexado



Barramento PCI

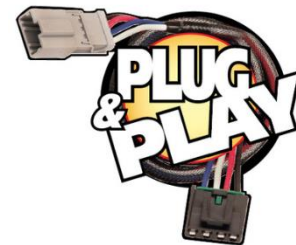


Barramento PCI



(a) Sistema típico de um computador de mesa (desktop)

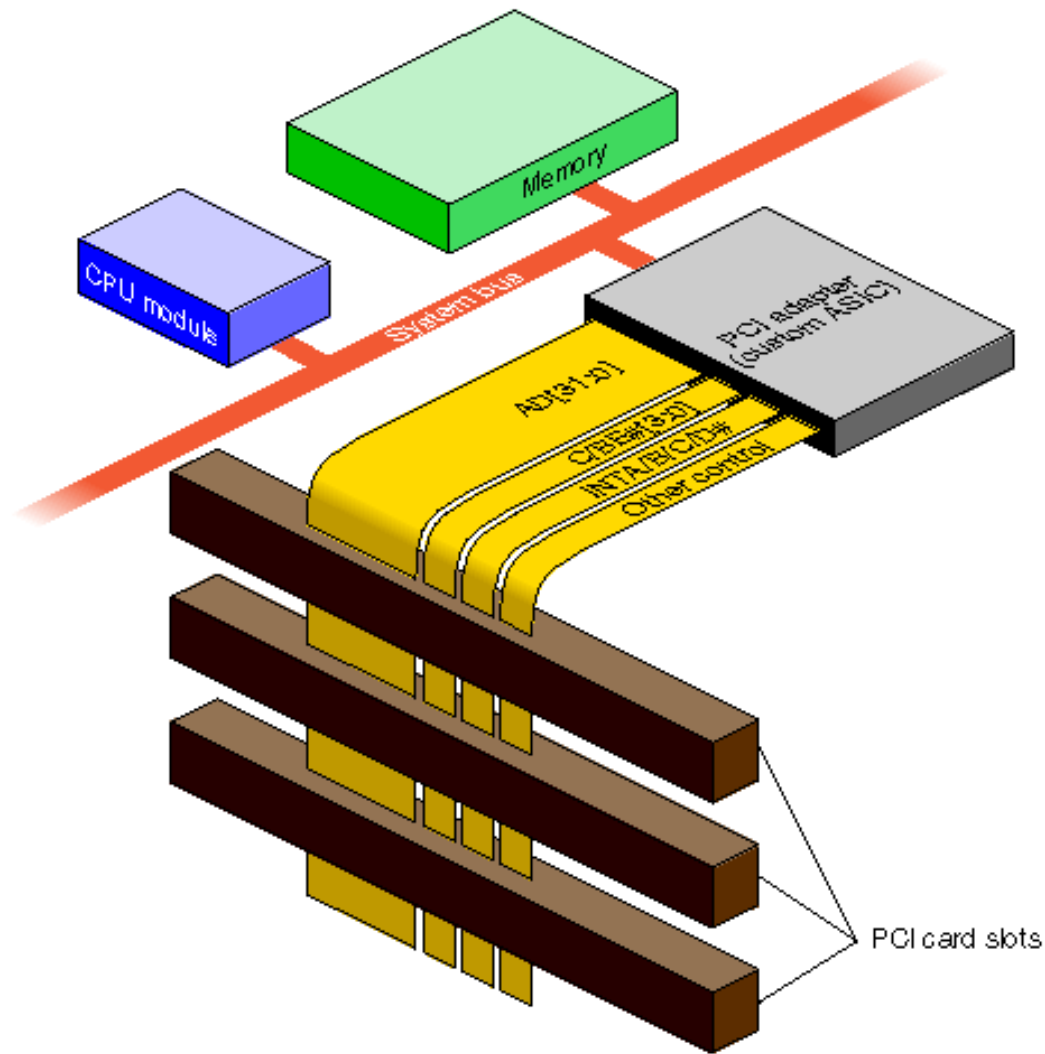
PCI & Plug and Play



- A tecnologia Plug and Play foi desenvolvida pela Intel com cooperação da Microsoft e outras empresas.
- O sistema PCI foi o primeiro a popularizar o PnP.
- O *chipset* do PCI identifica as placas e, em conjunto com o SO e o BIOS, configura os recursos automaticamente.



PCI & Barramento de Sistema



Linhas do Barramento PCI

- Linhas de sistema
 - Incluindo relógio e reset
- Linhas de dados e endereços
 - 32 linhas multiplexadas para dados e endereços
- Controle da interface
 - Linhas para interpretar e validar as linhas de sinal que carregam endereços e dados
 - Arbitração
 - Não-compartilhadas
 - Conexão direta de cada mestre ao árbitro do barramento PCI
 - Linhas de erros

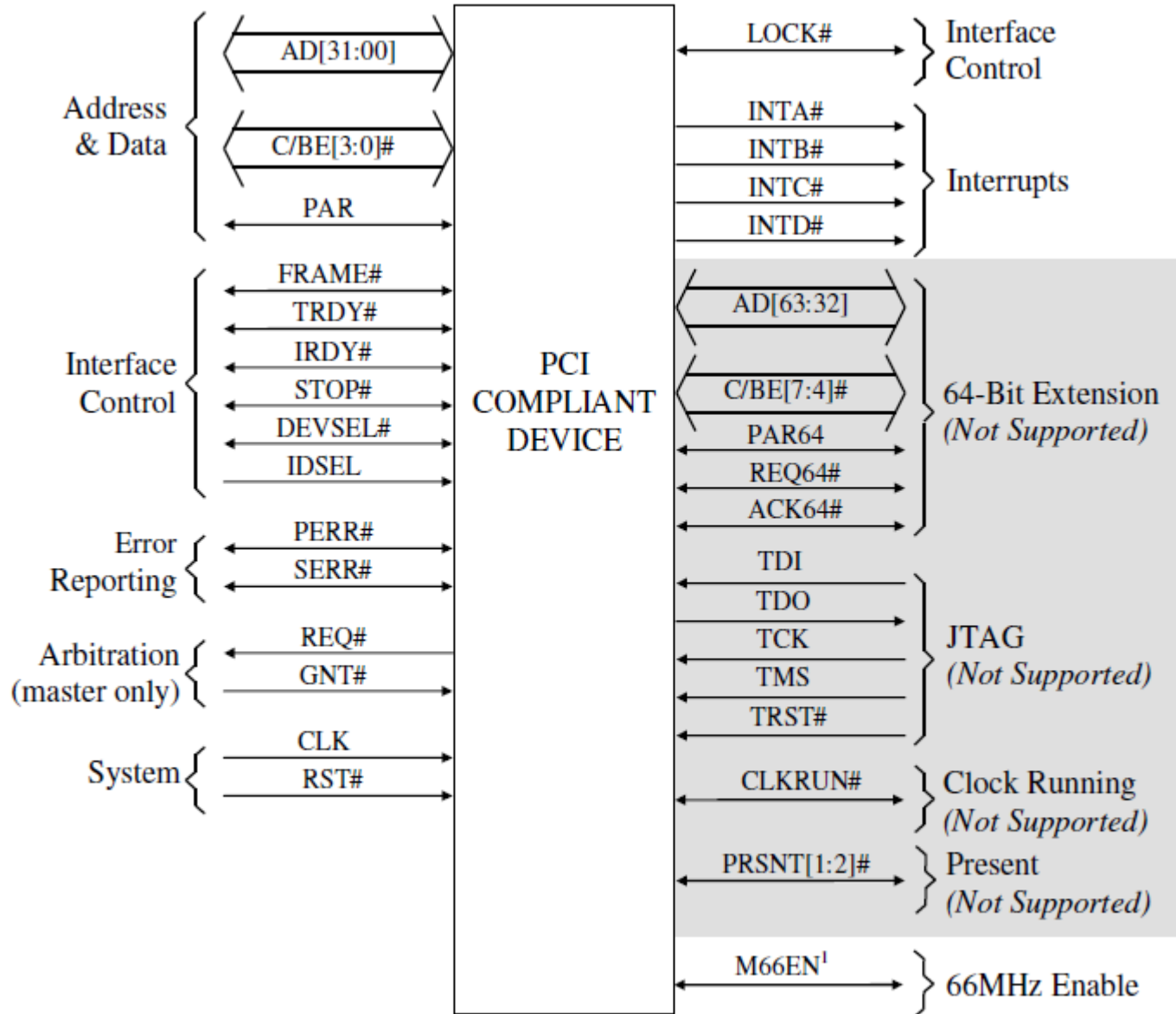


Linhas do Barramento PCI

- Linhas de interrupção
 - Não-compartilhadas
 - Linhas de suporte a cache
 - Linhas de extensão para 64 bits
 - 32 linhas adicionais
 - Multiplexadas no tempo
 - 2 linhas para habilitar os dispositivos a aceitar a transferência de 64 bits
 - Linhas de teste JTAG
 - Para procedimentos de teste
- Opcionais



Sinais do sistema no PCI

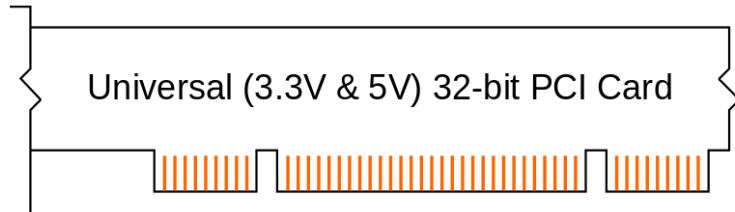
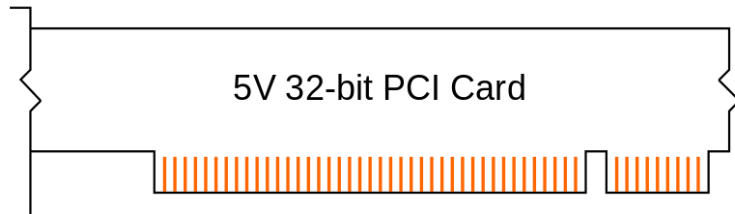
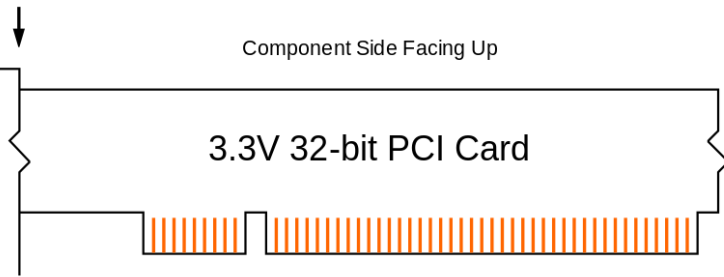


Exemplo de dispositivo PCI

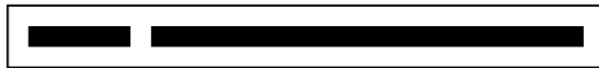


Exemplo de dispositivo PCI

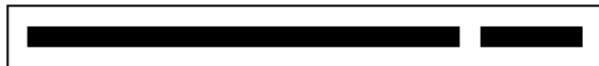
PCI Bracket



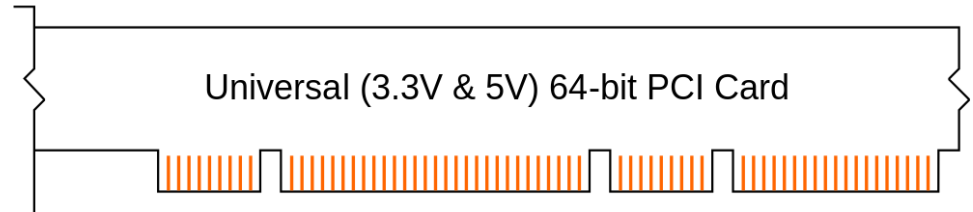
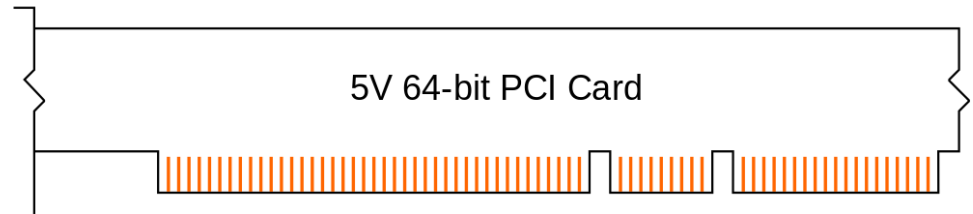
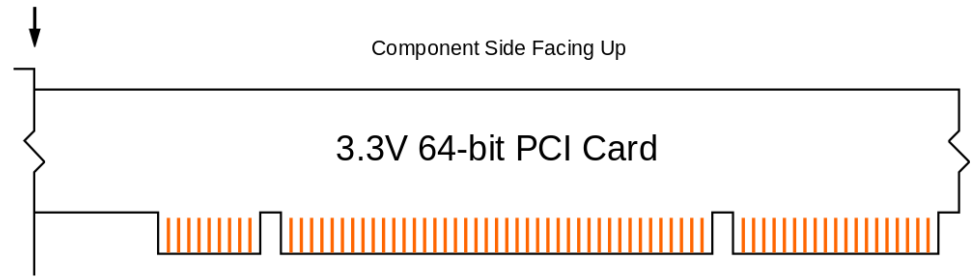
3.3V 32-bit PCI Slot



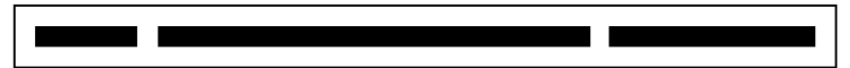
5V 32-bit PCI Slot



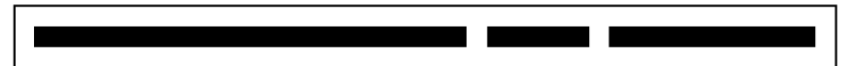
PCI Bracket



3.3V 64-bit PCI Slot



5V 64-bit PCI Slot



3.1 PCI Bus Signal Description

3.1.1 Address and Data

AD[31:00]	Address and Data are multiplexed on the same PCI pins. A bus transaction consists of an address phase followed by one or more data phases.
C/BE[3:0]#	Bus Command/Byte Enables are multiplexed. During the address phase of a transaction, they define the bus command. During the data phase, they are used as byte enables.
PAR	Parity is even parity across AD[31:00] and C/BE[3:0]#. Parity generation is required by all PCI signals.

3.1.2 Interface Control Pins

FRAME#	Cycle Frame is driven by the current master to indicate the beginning of an access and will remain active until the final data cycle.
TRDY#	Target Ready indicates the selected device's ability to complete the current data phase of the transaction. Both IRDY# and TRDY# must be asserted to terminate a data cycle.
IRDY#	Initiator Ready indicates the bus master's ability to complete the current data phase of the transaction.
STOP#	Stop indicates the current selected device is requesting the master to stop the current transaction.
DEVSEL#	Device Select , when actively driven, indicates the driving device has decoded its address as the target of the current access.
IDSEL	Initialization Device Select is used as a chip-select during configuration read and write transactions.
LOCK#	Lock indicates an atomic operation to a bridge that may require multiple transactions to complete.

3.1.3 Error Reporting

PERR#	Parity Error is for reporting data parity errors.
SERR#	System Error is for reporting address parity errors.

3.1.4 Arbitration (Bus Masters Only)

REQ#	Request indicates to the arbitrator that this device desires use of the bus.
GNT#	Grant indicates to the requesting device that access has been granted.

3.1.5 System

CLK	Clock provides timing for all transactions on the PCI bus and is an input to every PCI device.
RST#	Reset is used to bring PCI-specific registers, sequencers, and signals to a consistent state.
M66EN	66 MHz Enable indicates to a device whether the bus segment is operating at 33 MHz or 66 MHz. The PCI bus has been simulated at 33MHz. For the purpose of this specification, 66MHz is not supported. To support future enhancements, the M66EN signal should be grounded on any module that cannot support 66MHz and left open for modules that can support a 66MHz clock.

3.1.6 Interrupts

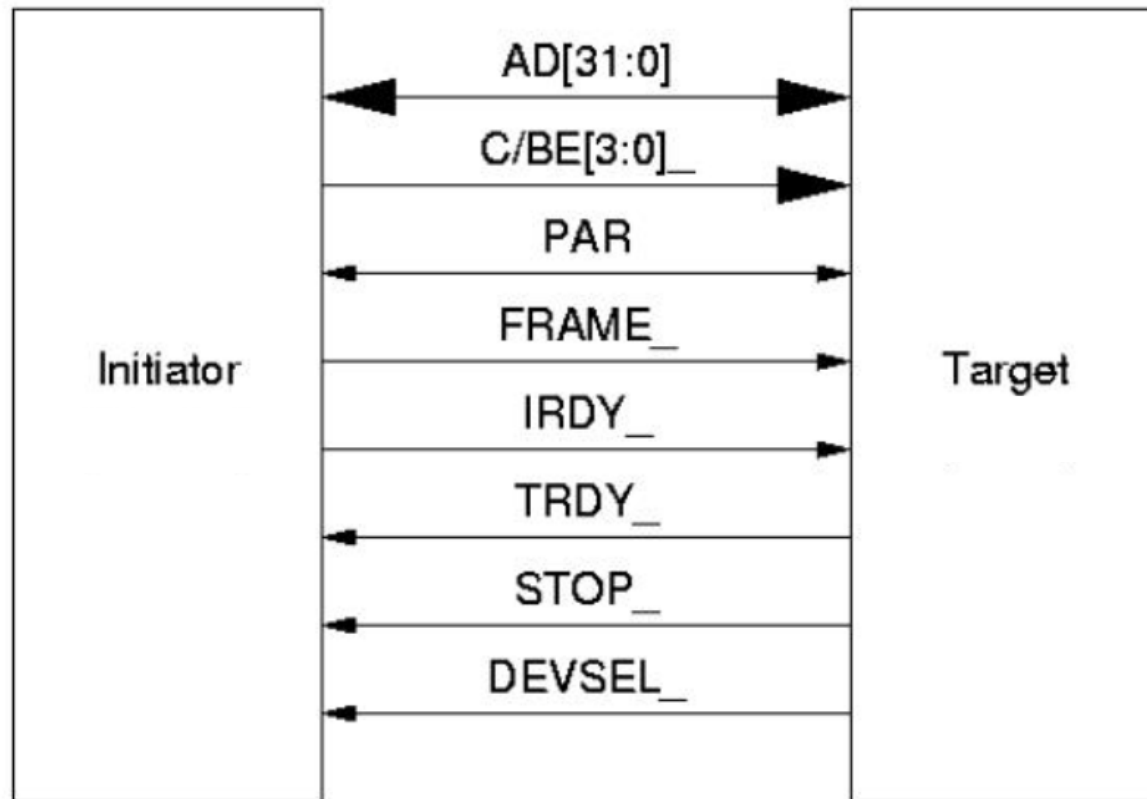
INTA#	Interrupt A is used to request Interrupts.
INTB#	Interrupt B is used to request Interrupts.
INTC#	Interrupt C is used to request Interrupts.
INTD#	Interrupt D is used to request Interrupts.

Operação PCI

- Transações entre o "iniciador" e o "alvo"
- Transações com no mínimo três períodos de clock
- Os sinais são **verificados** na transição de **subida** do clock
- Os sinais são **alterados** na transição de **descida** do clock
- Burst Mode – transferência de blocos de dados a partir de um endereço inicial



Operação PCI

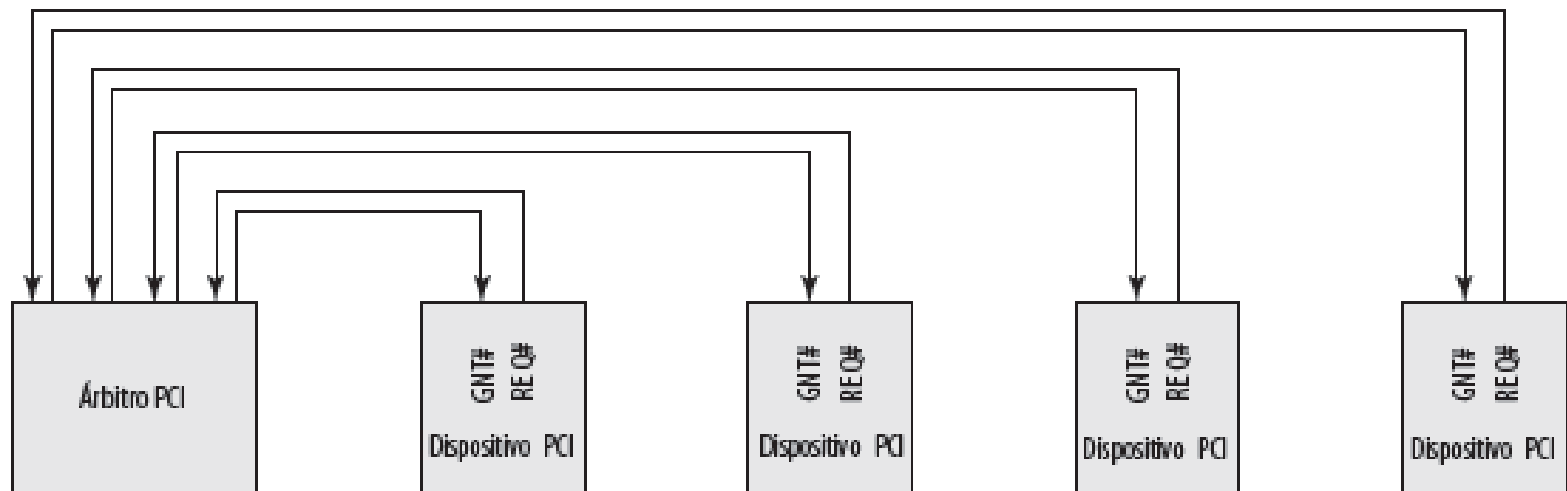


Operação PCI

- Definição de três espaços de endereçamento
 - memória
 - I/O
 - endereço de configuração
- Todo dispositivo deve possuir um espaço de configuração de 256 bytes que outros dispositivos podem ler



Árbitro de barramento PCI

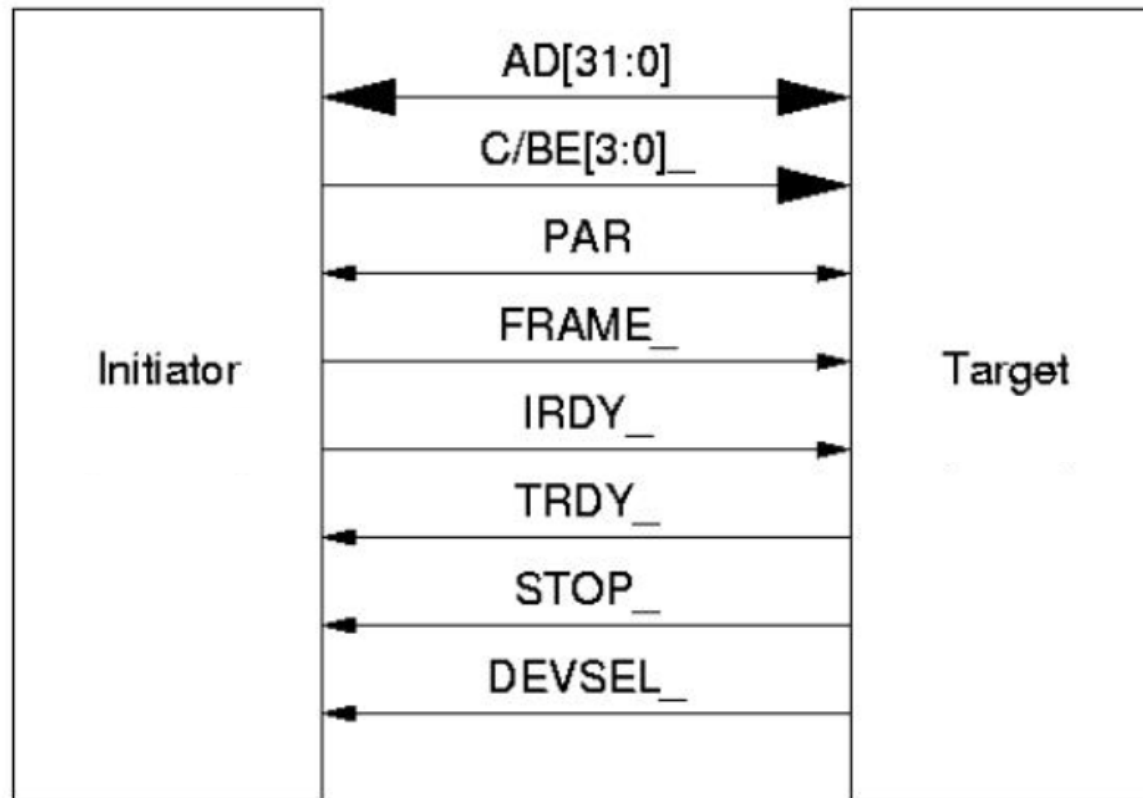


Sinais de arbitragem e interrupção no PCI

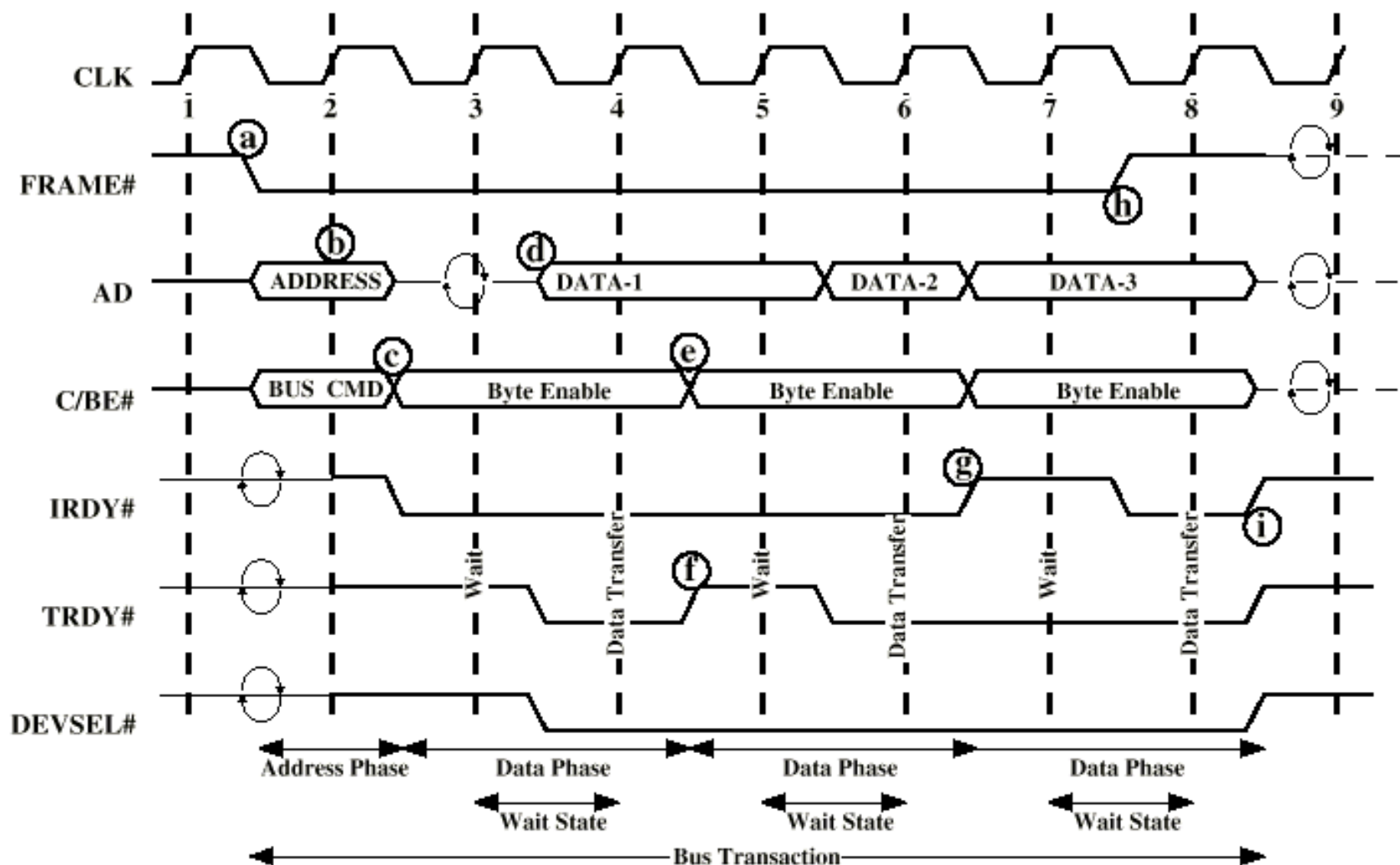
REQ#	ativado quando o iniciador quer ser o mestre do barramento	GNT#	Grant. Ativado pelo árbitro quando o barramento está pronto a ser disponibilizado ao iniciador.
INTA# INTB# INTC# INTD#	Utilizadas para gerar um sinal de interrupção		



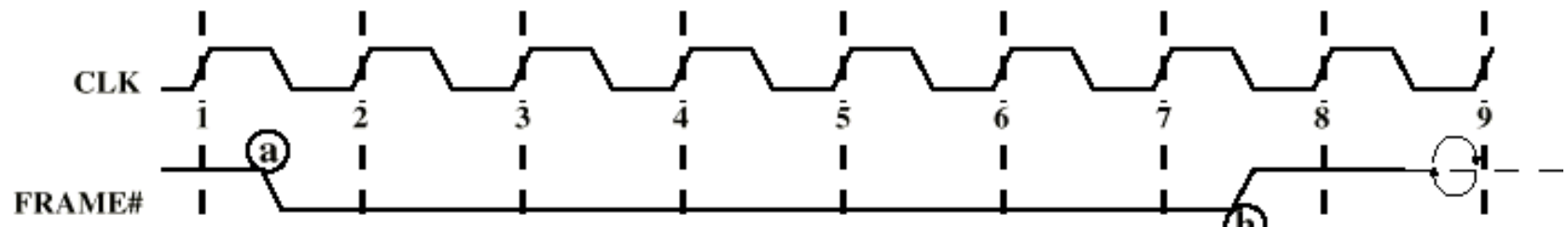
Operação de Leitura no PCI – Burst Mode



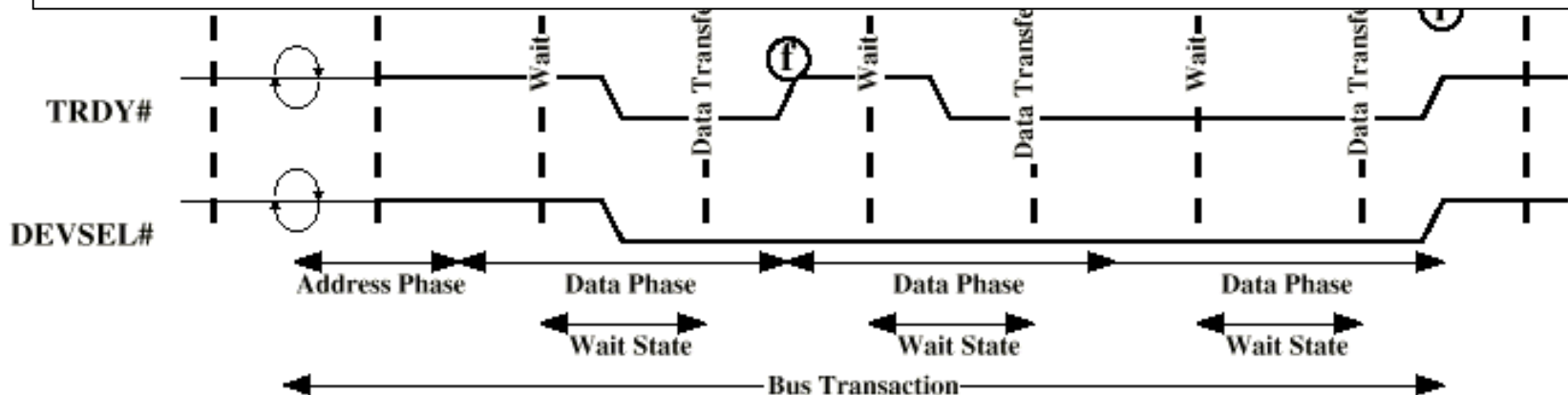
Operação de Leitura no PCI – Burst Mode



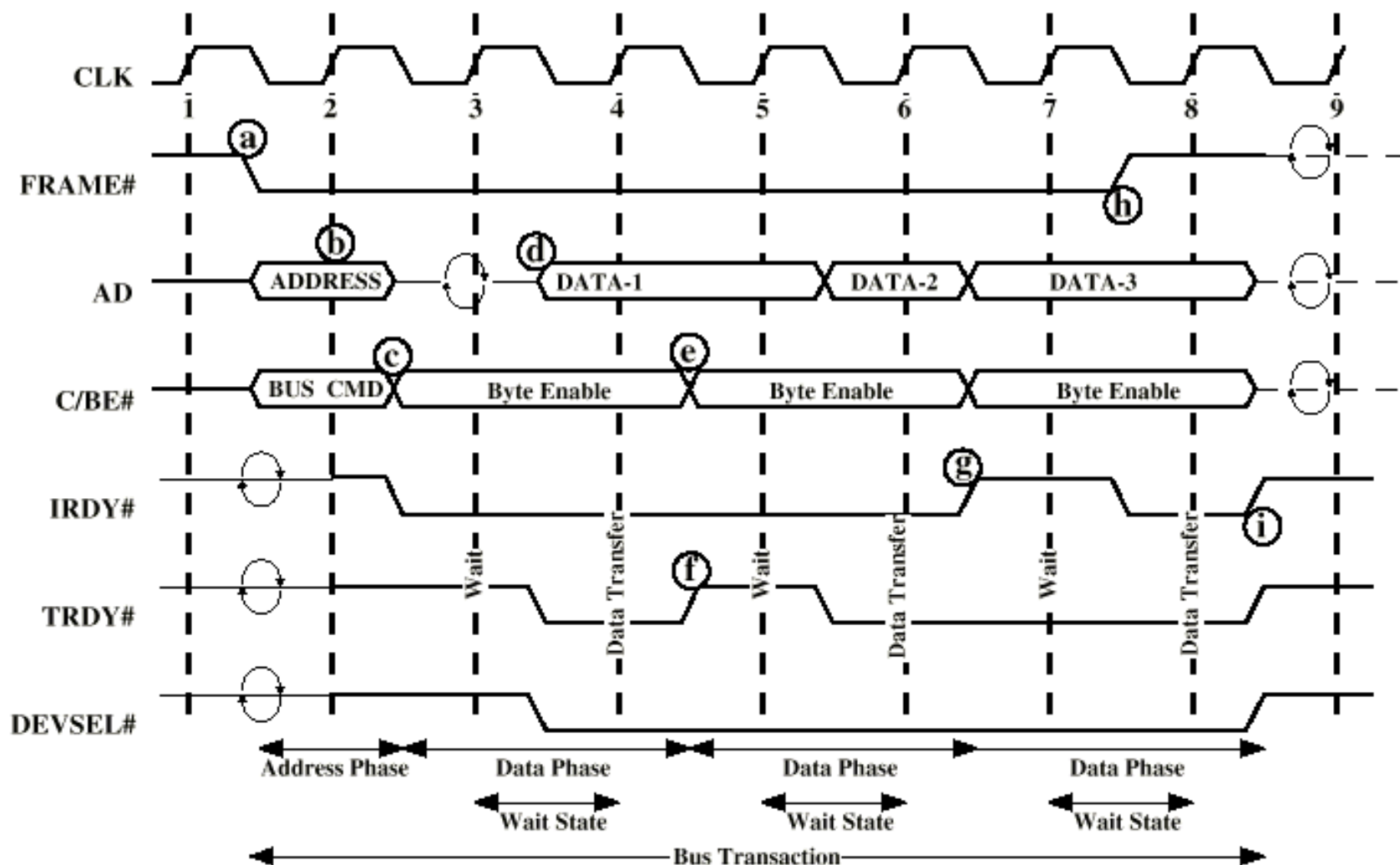
Operação de Leitura no PCI – Burst Mode



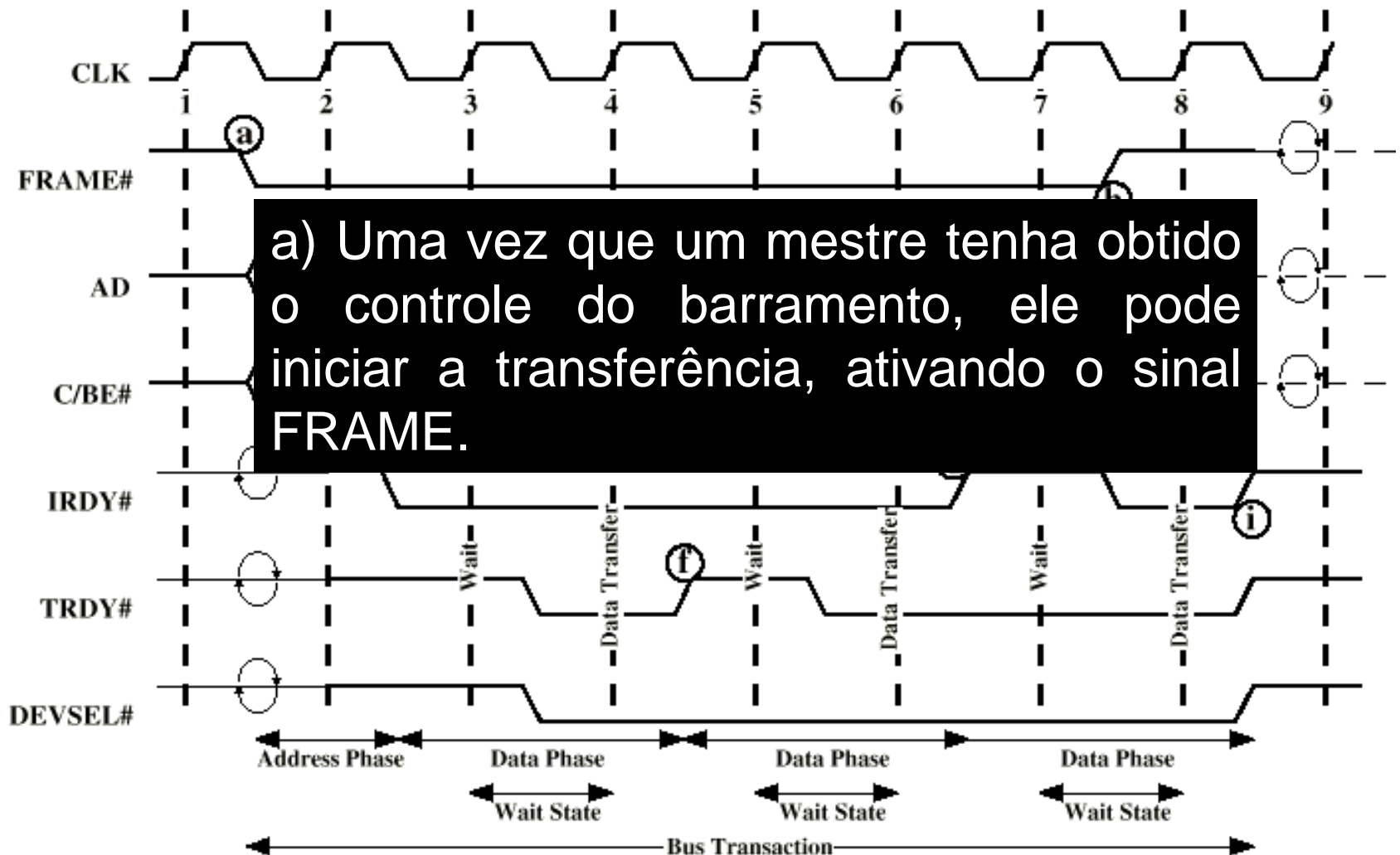
- Os sinais são verificados na transição de subida do clock
- Os sinais são alterados na transição de descida do clock



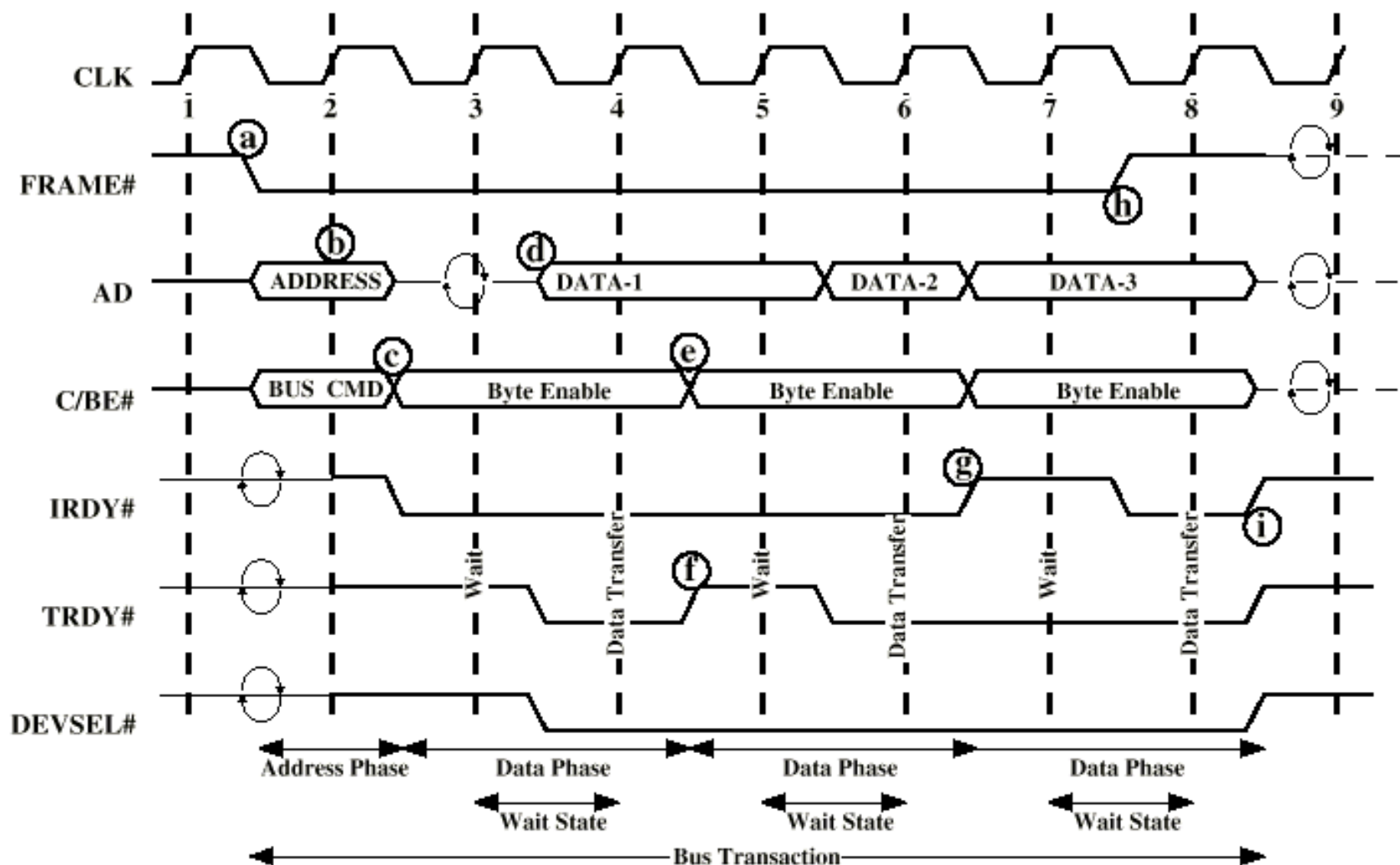
Operação de Leitura no PCI – Burst Mode



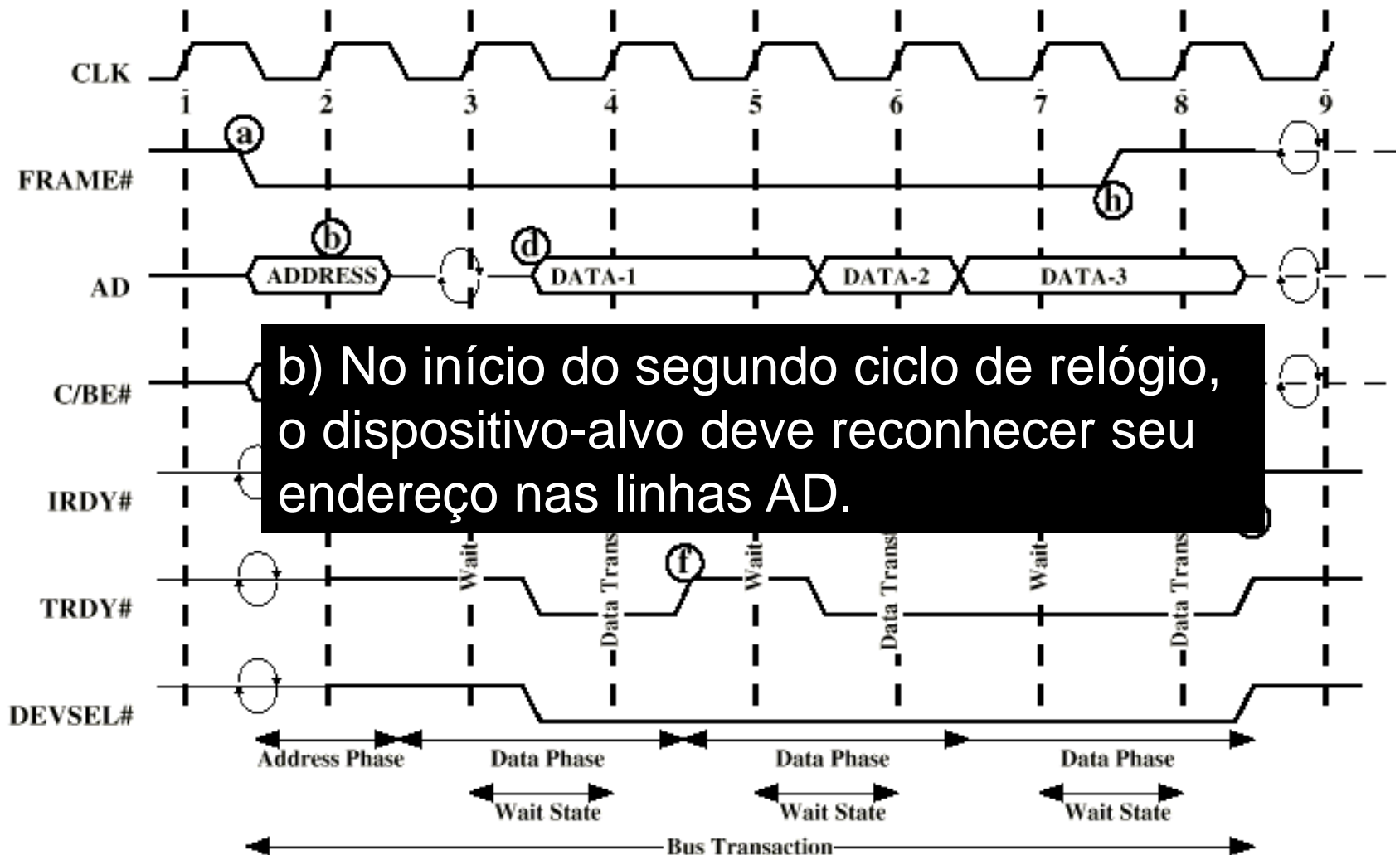
Operação de Leitura no PCI



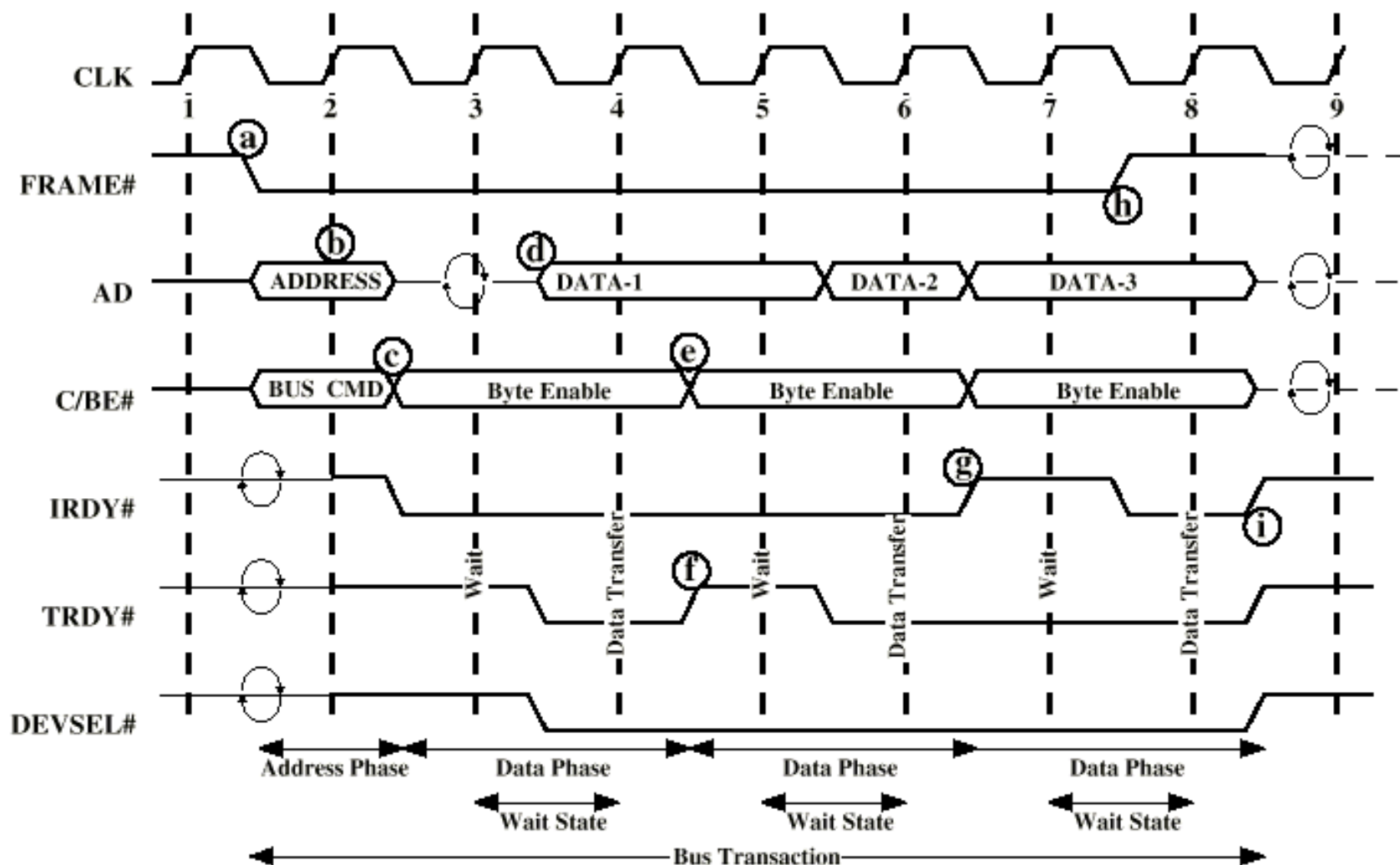
Operação de Leitura no PCI – Burst Mode



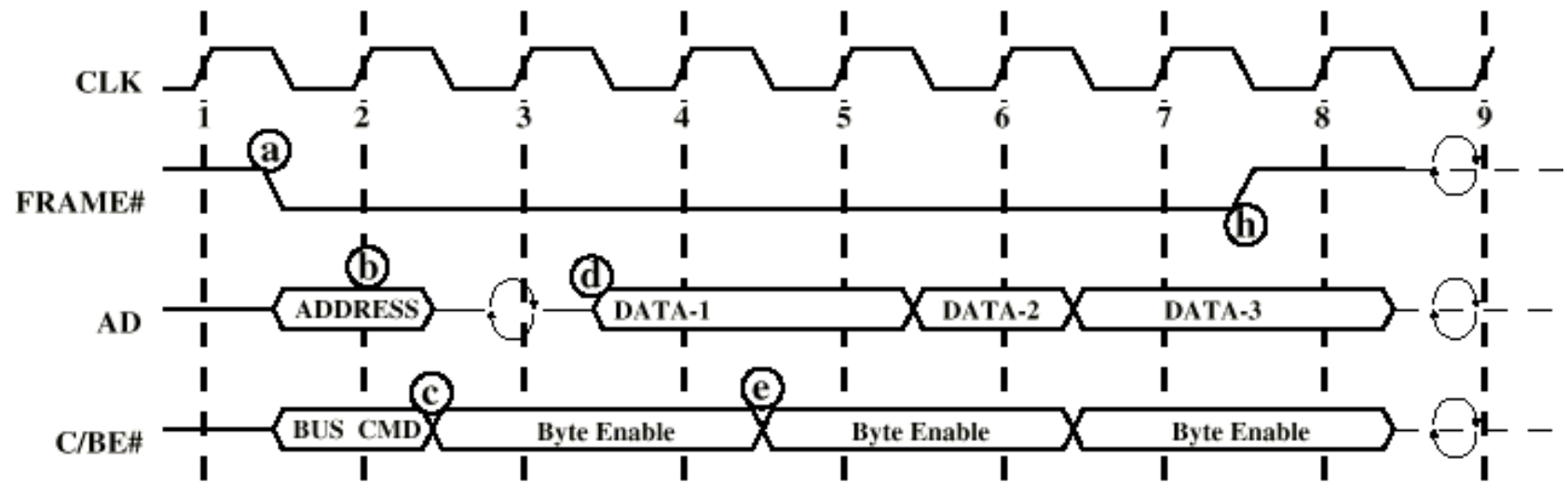
Operação de Leitura no PCI



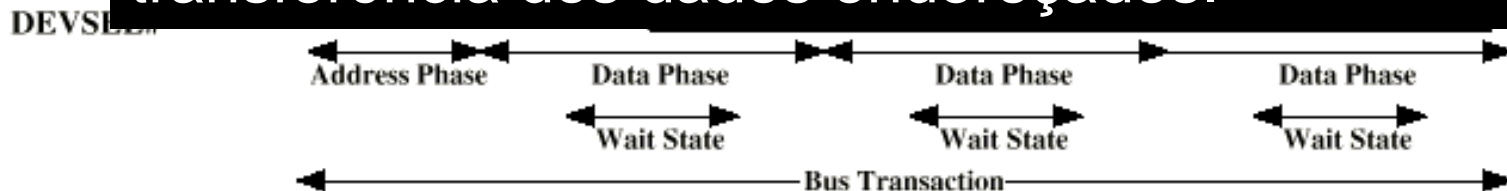
Operação de Leitura no PCI – Burst Mode



Operação de Leitura no PCI



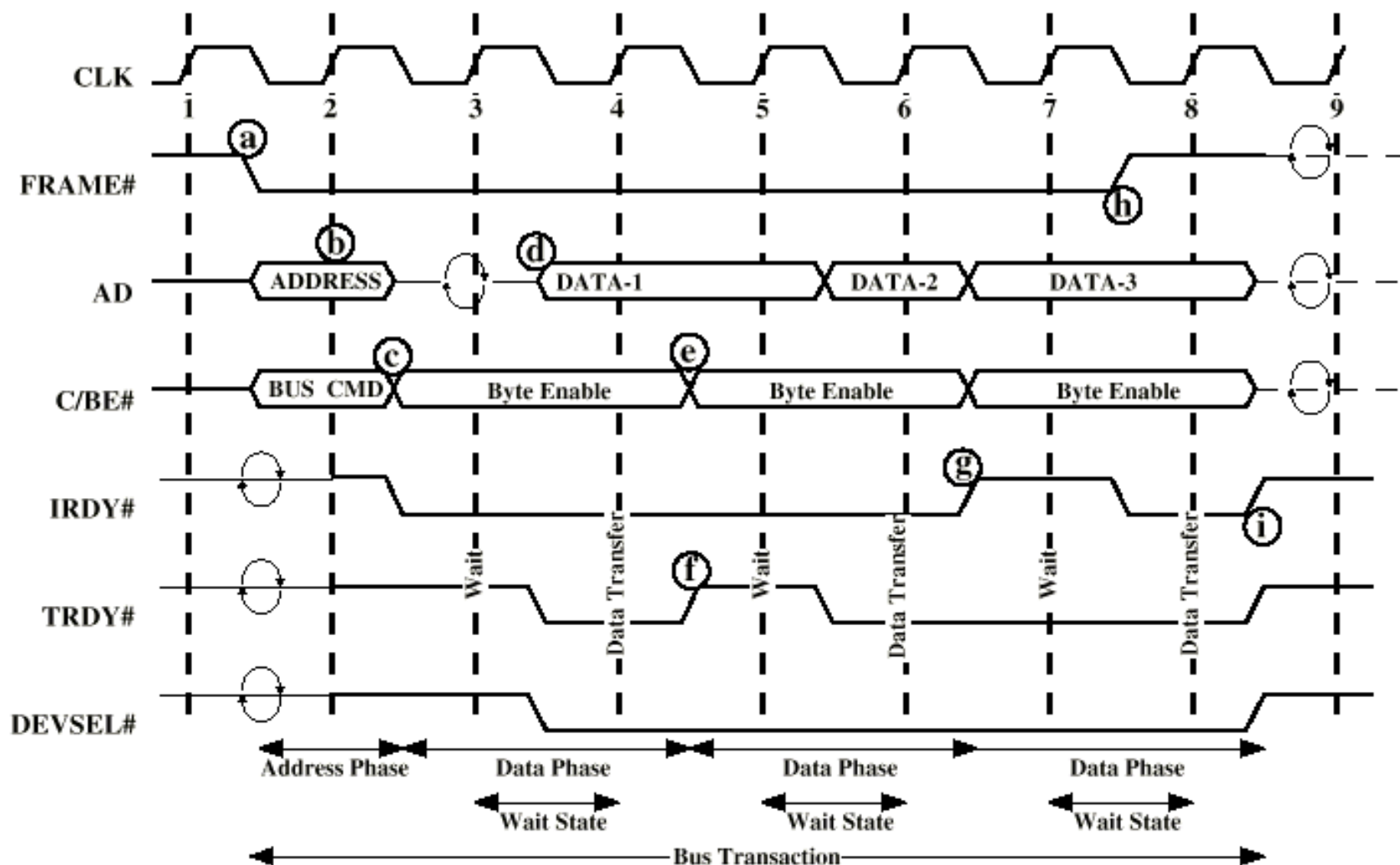
c) O iniciador pára de enviar informações nas linhas AD. O iniciador muda a informação nas linhas C/BE para indicar que linhas AD serão utilizadas para transferência dos dados endereçados.



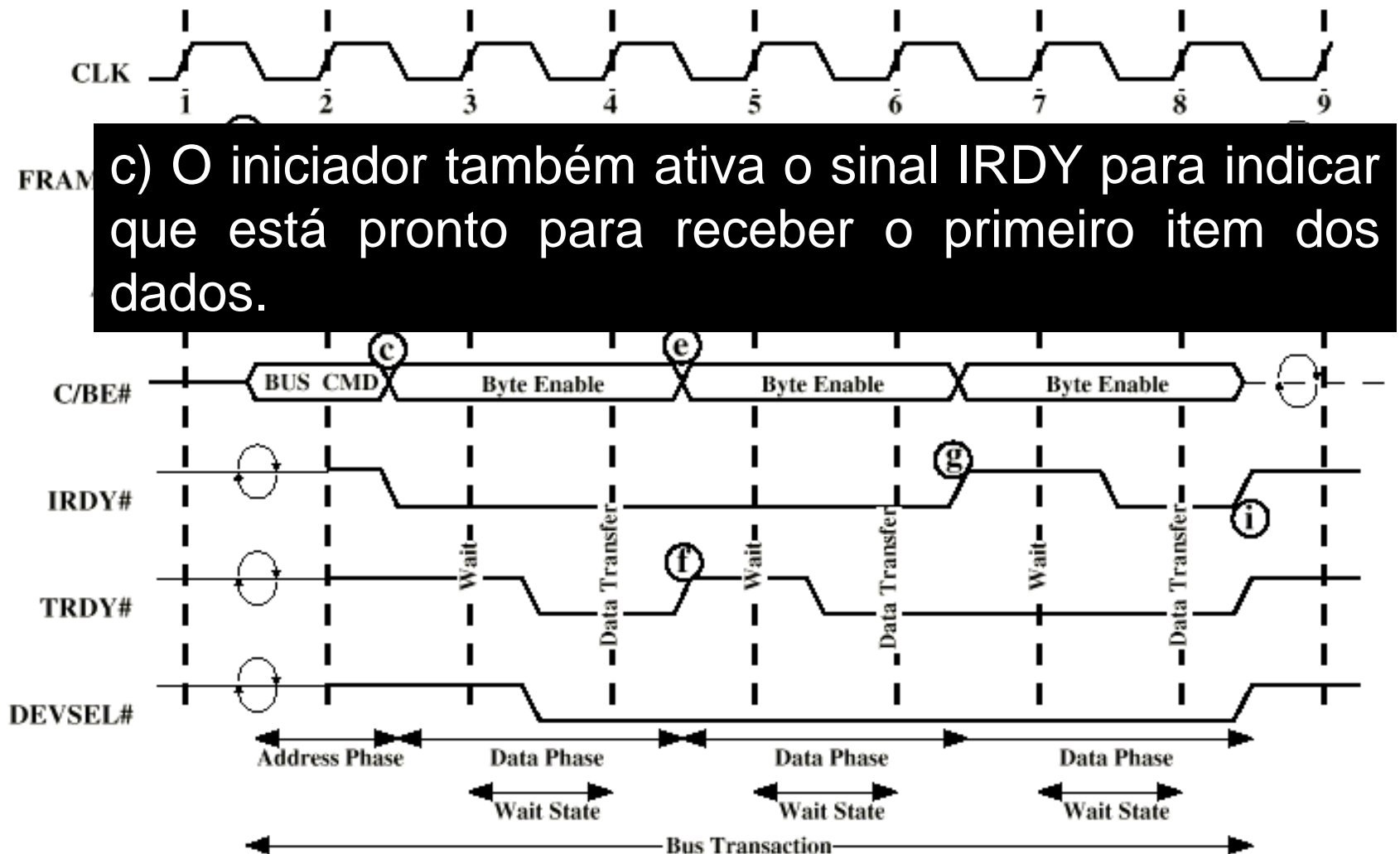
Exemplos de comandos

Command Type	C/BE[3:0] #
• Interrupt Acknowledge	0000
• Special Cycle	0001
• I/O Read	0010
• I/O Write	0011
• Memory Read	0110
• Memory Write	0111
• Configuration Read	1010
• Configuration Write	1011
• Memory Read Multiple	1100
• Dual Address Cycle	1101
• Memory Read Line	1110
• Memory Write and Invalidate	1100

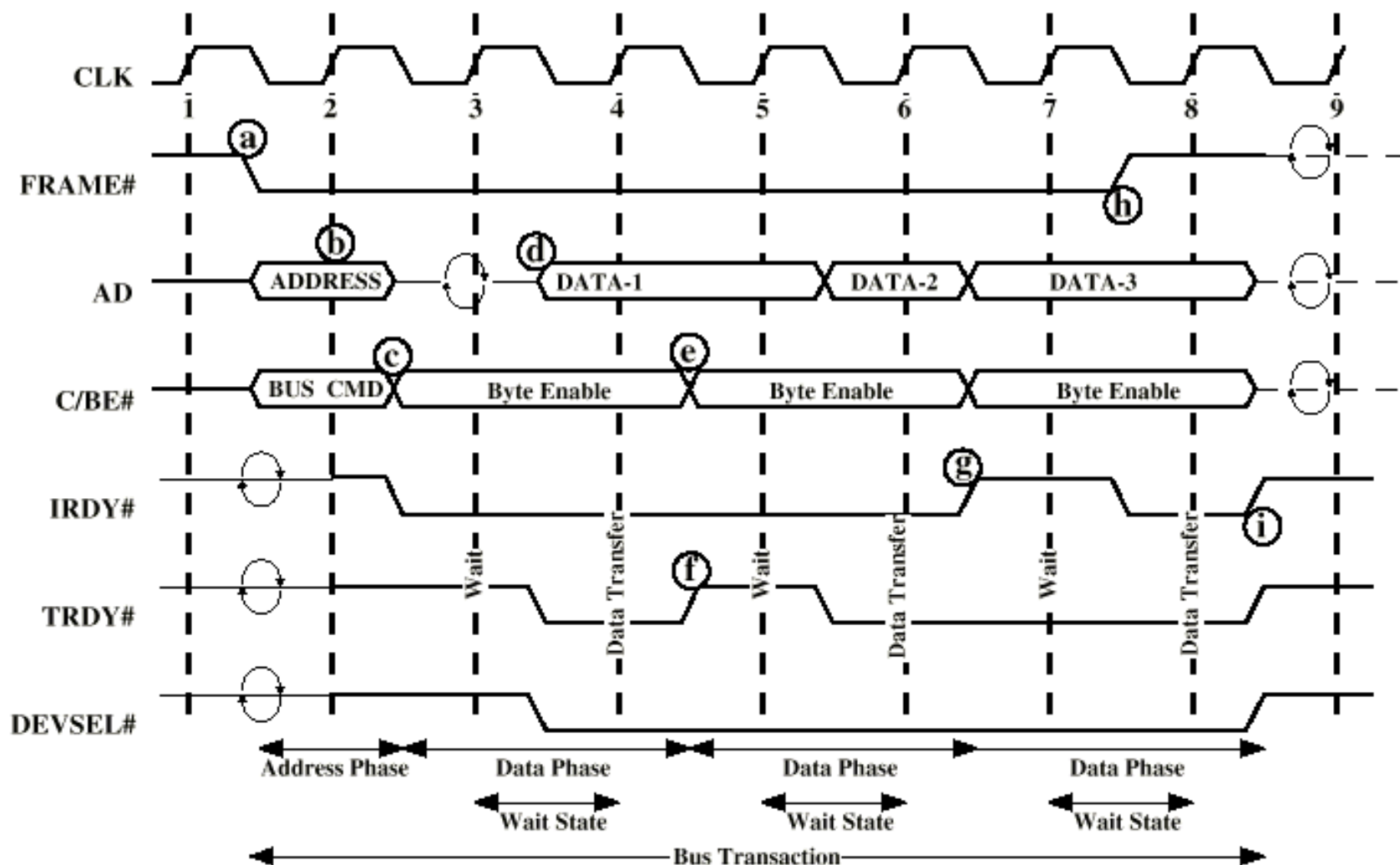
Operação de Leitura no PCI – Burst Mode



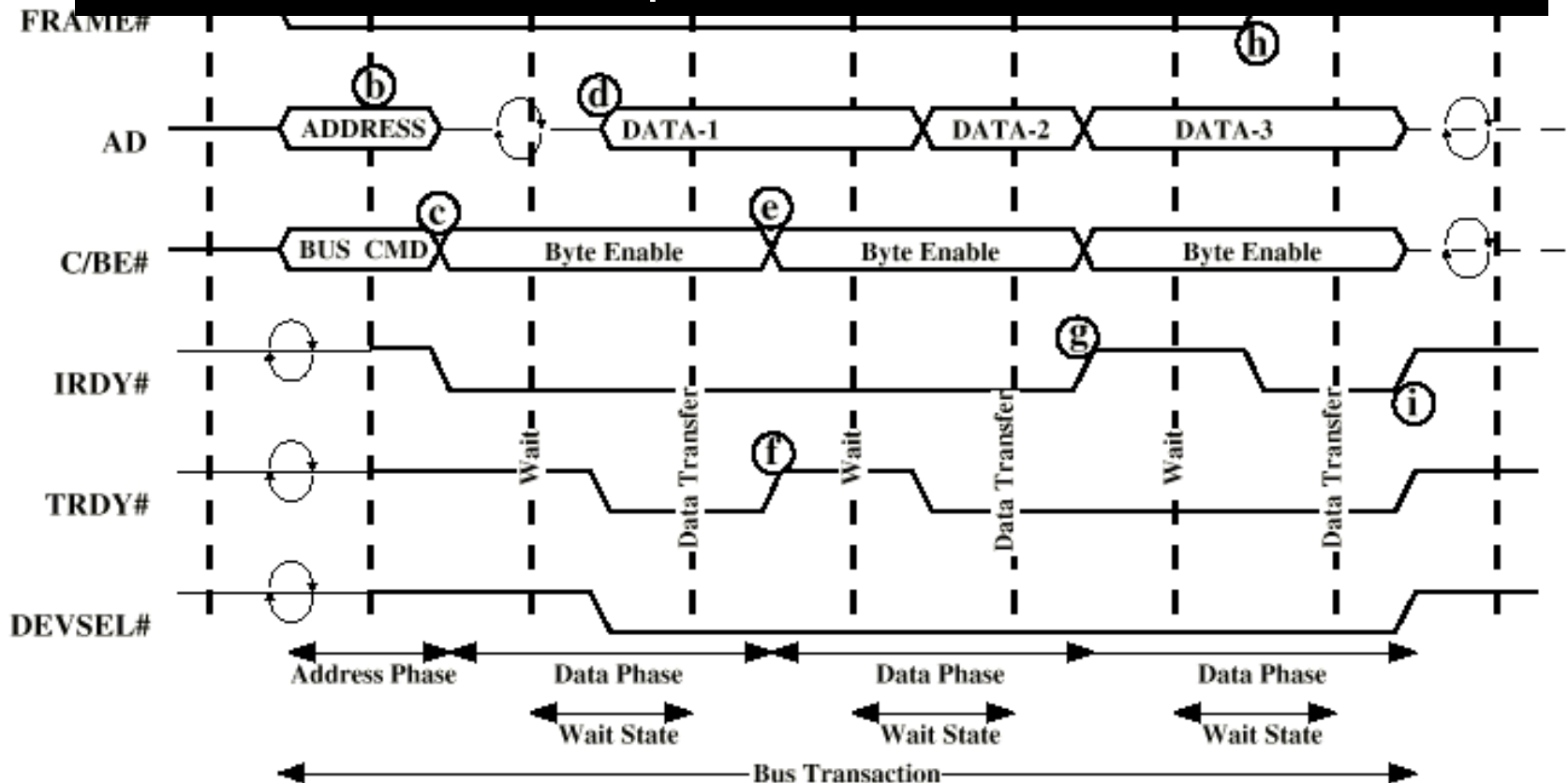
Operação de Leitura no PCI



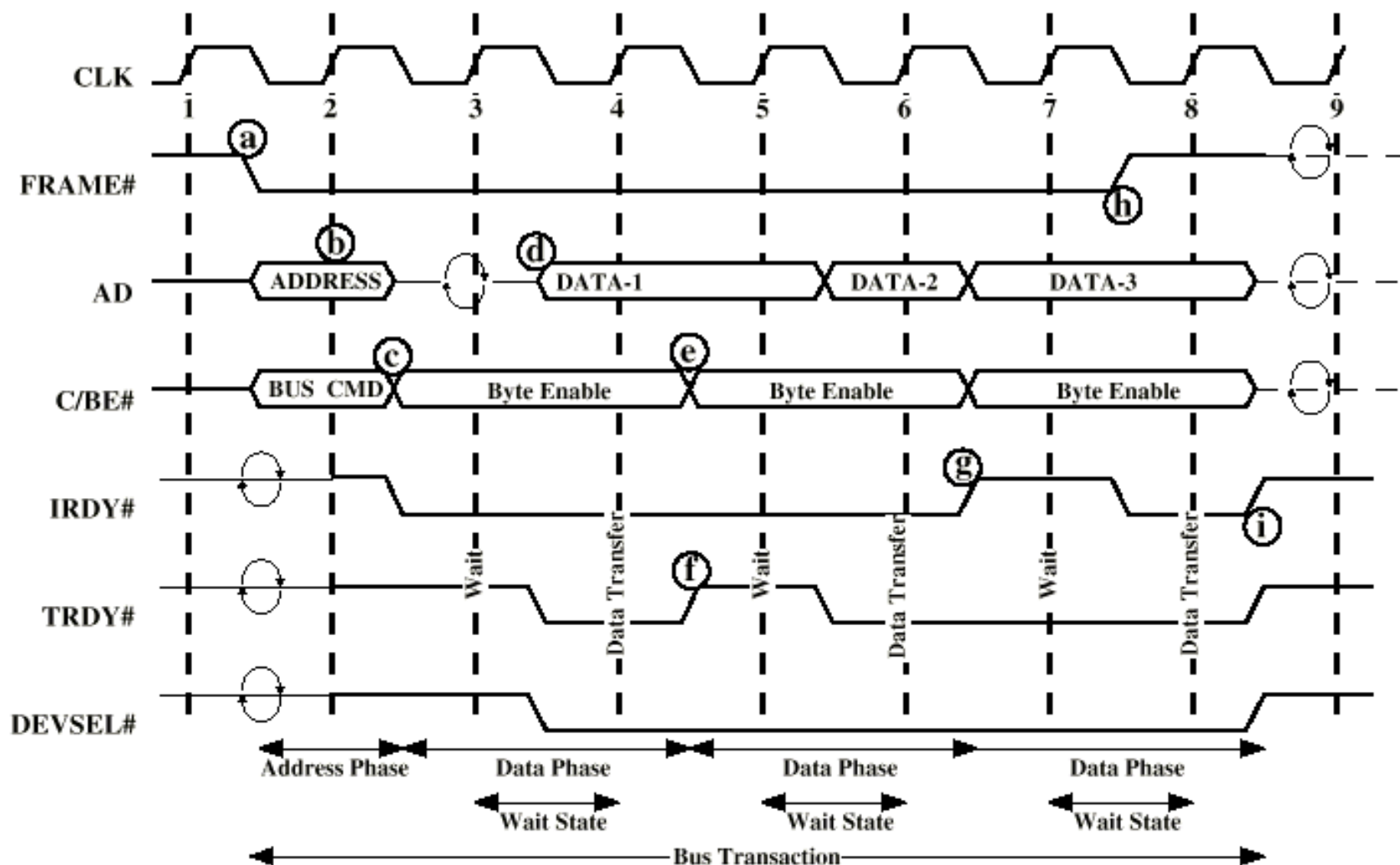
Operação de Leitura no PCI – Burst Mode



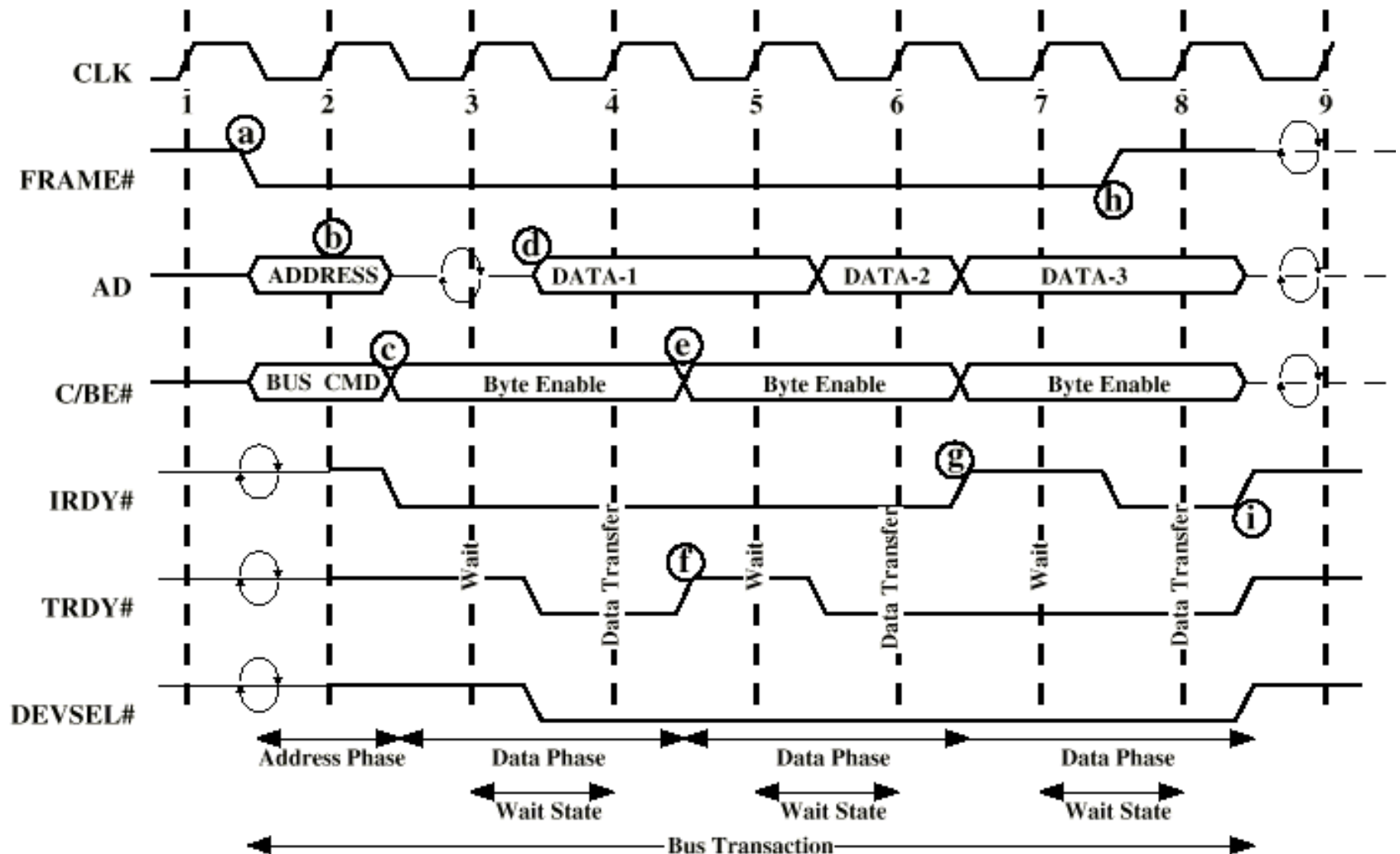
d) O dispositivo-alvo selecionado ativa o sinal DEVSEL para indicar que reconheceu seu endereço e que irá responder. Ele coloca os dados requisitados nas linhas AD e ativa o sinal TRDY para indicar que um dado válido está presente no barramento.



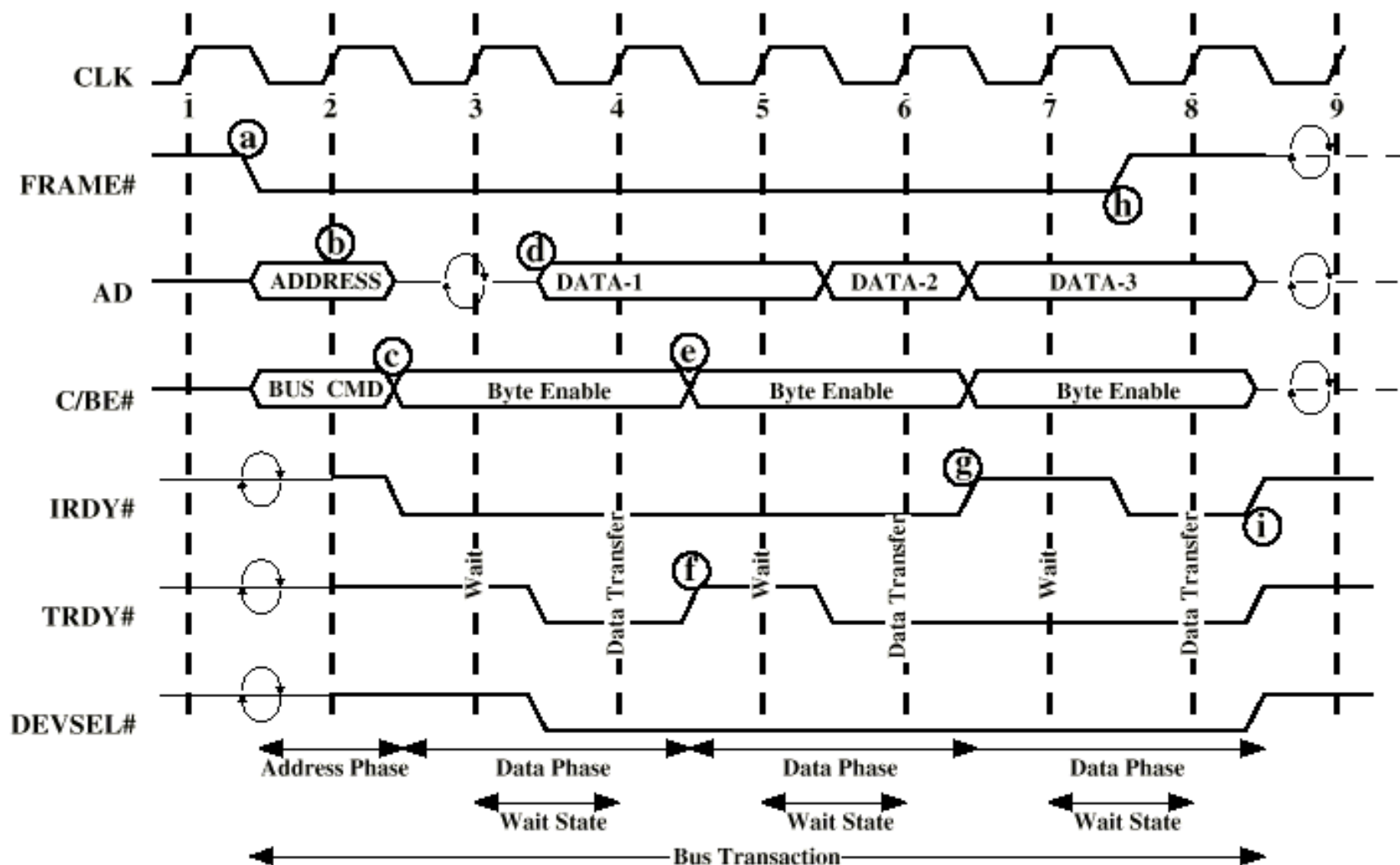
Operação de Leitura no PCI – Burst Mode



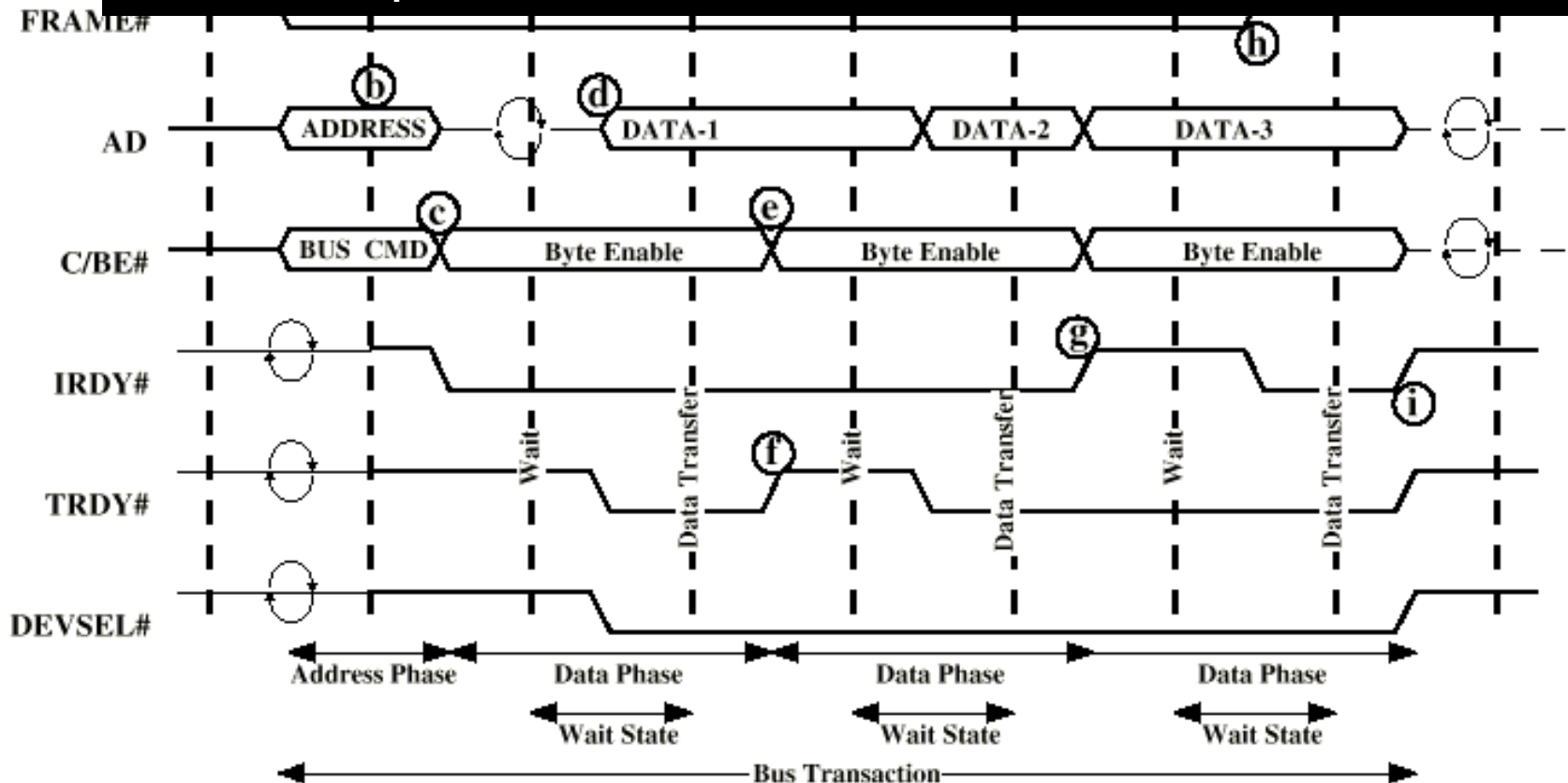
e) O iniciador lê os dados no início do quarto ciclo de relógio e muda os sinais das linhas de habilitação de bytes, como preparação para a próxima leitura.



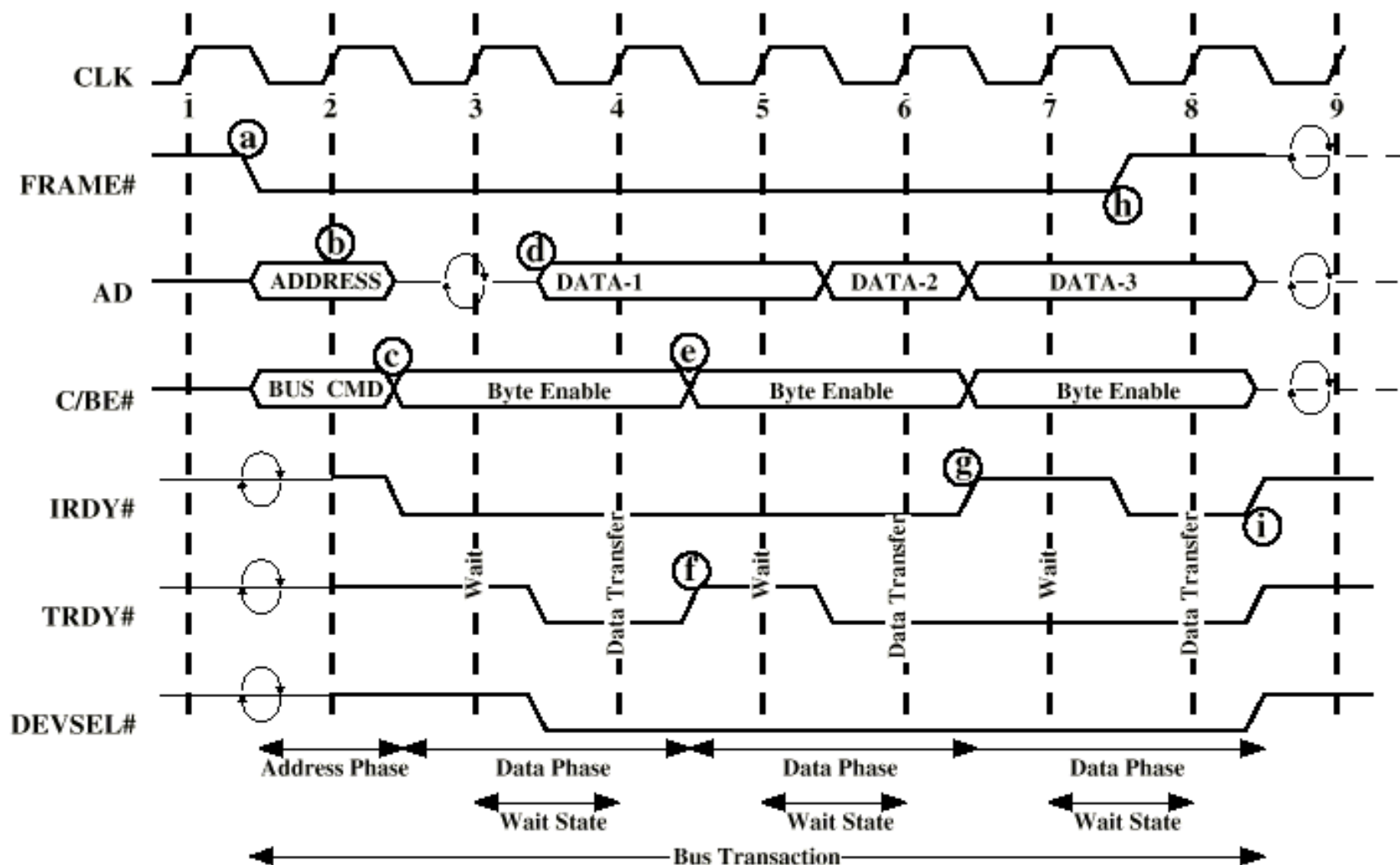
Operação de Leitura no PCI – Burst Mode



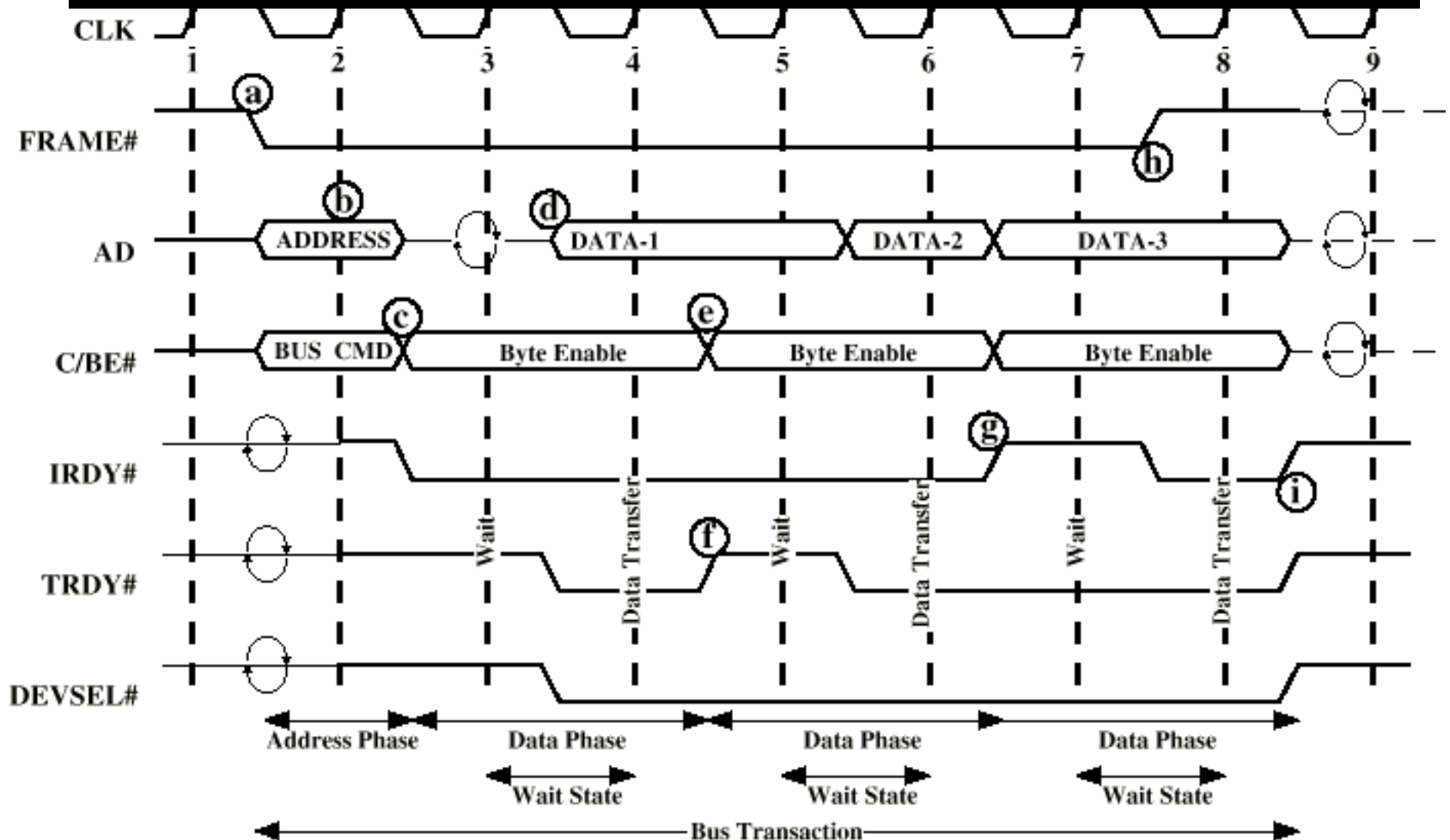
f) Neste exemplo, o dispositivo-alvo precisa de algum tempo para preparar o segundo bloco de dados para transmissão. Portanto, ele desativa o sinal TRDY para avisar ao iniciador que não enviará novos dados durante o próximo ciclo.



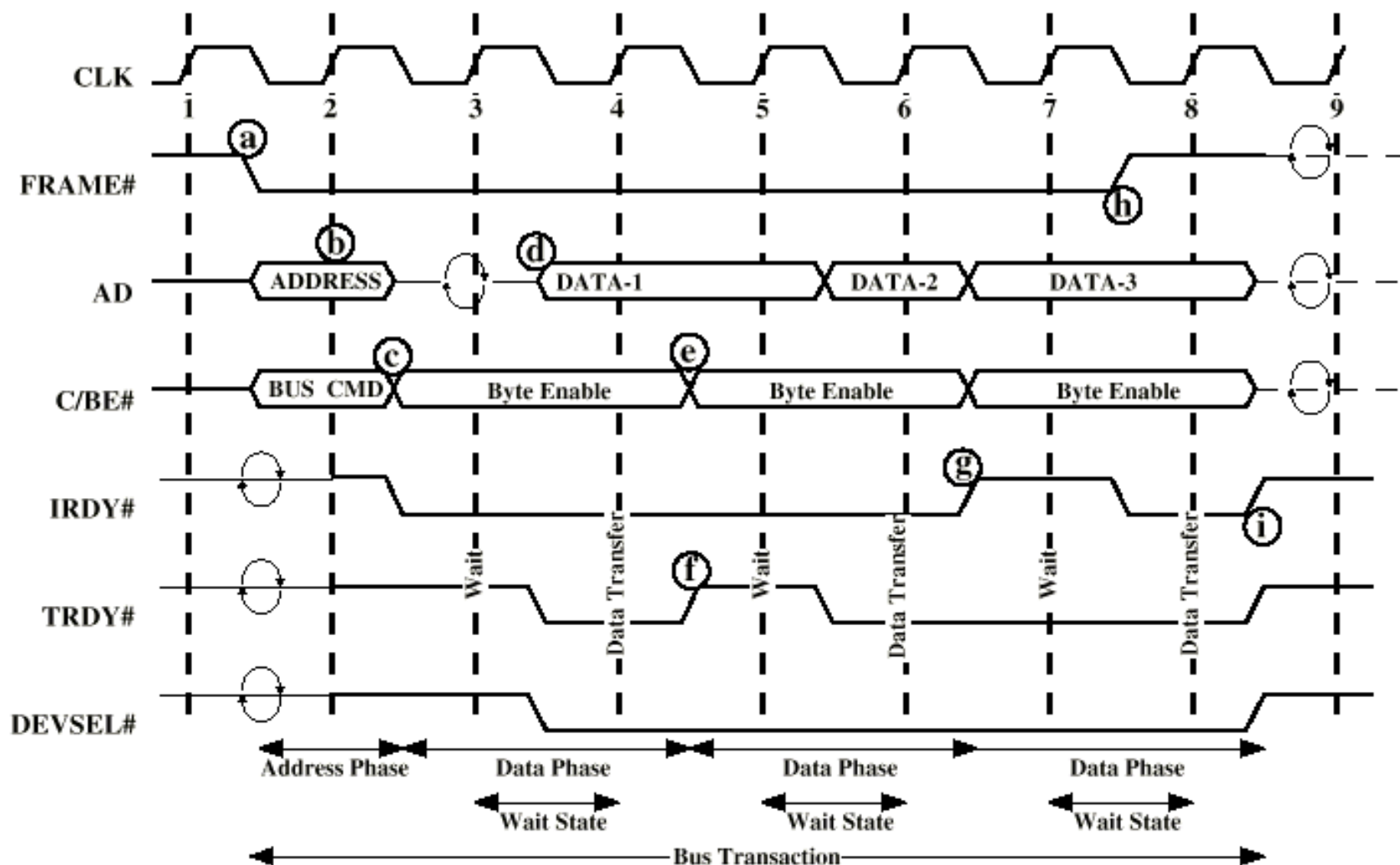
Operação de Leitura no PCI – Burst Mode



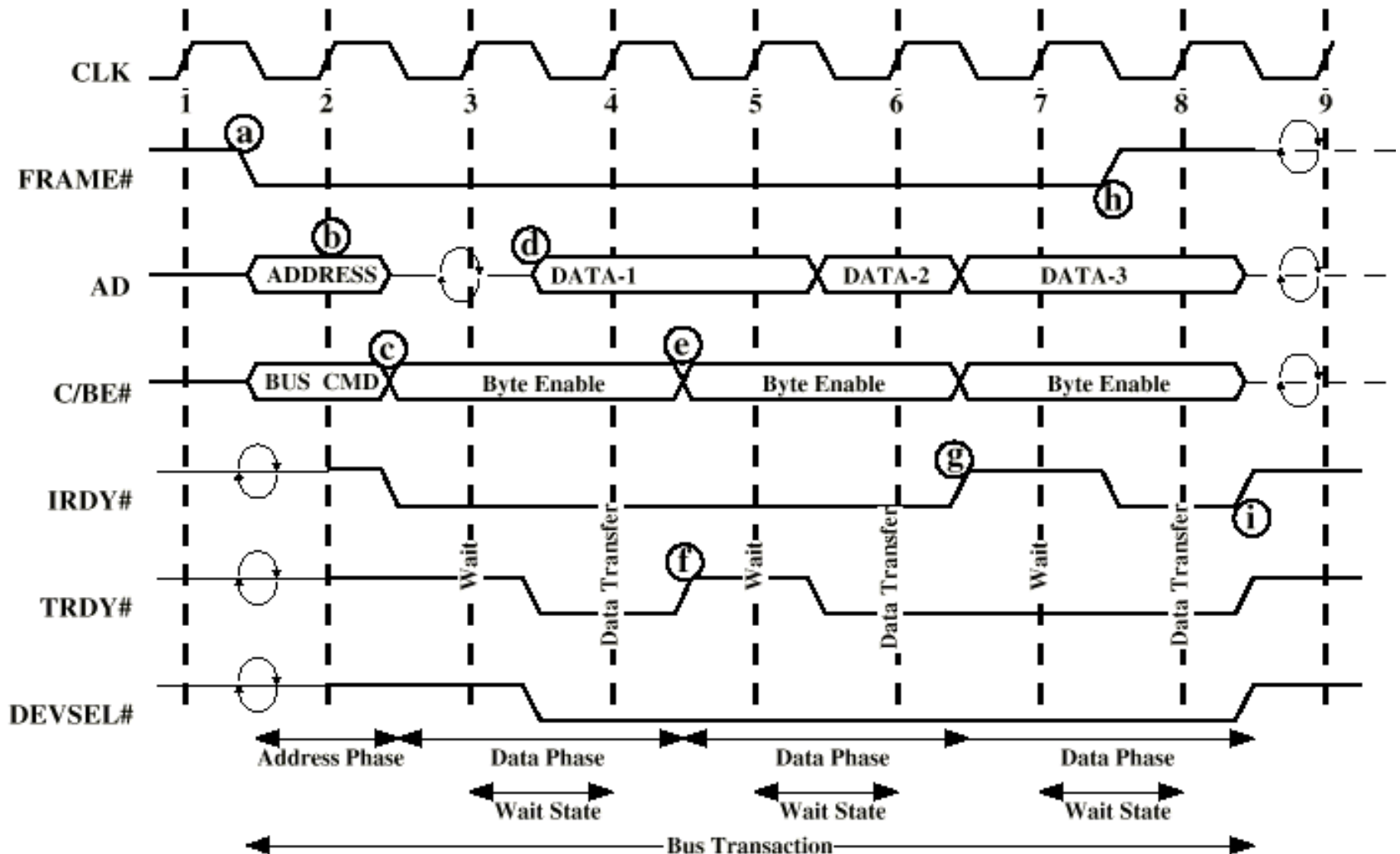
g) Durante o sexto ciclo de relógio, o dispositivo-alvo coloca o terceiro item de dados no barramento. Entretanto, neste exemplo, o iniciador ainda não está pronto para ler o item de dados. Portanto, ele desativa o sinal IRDY#.



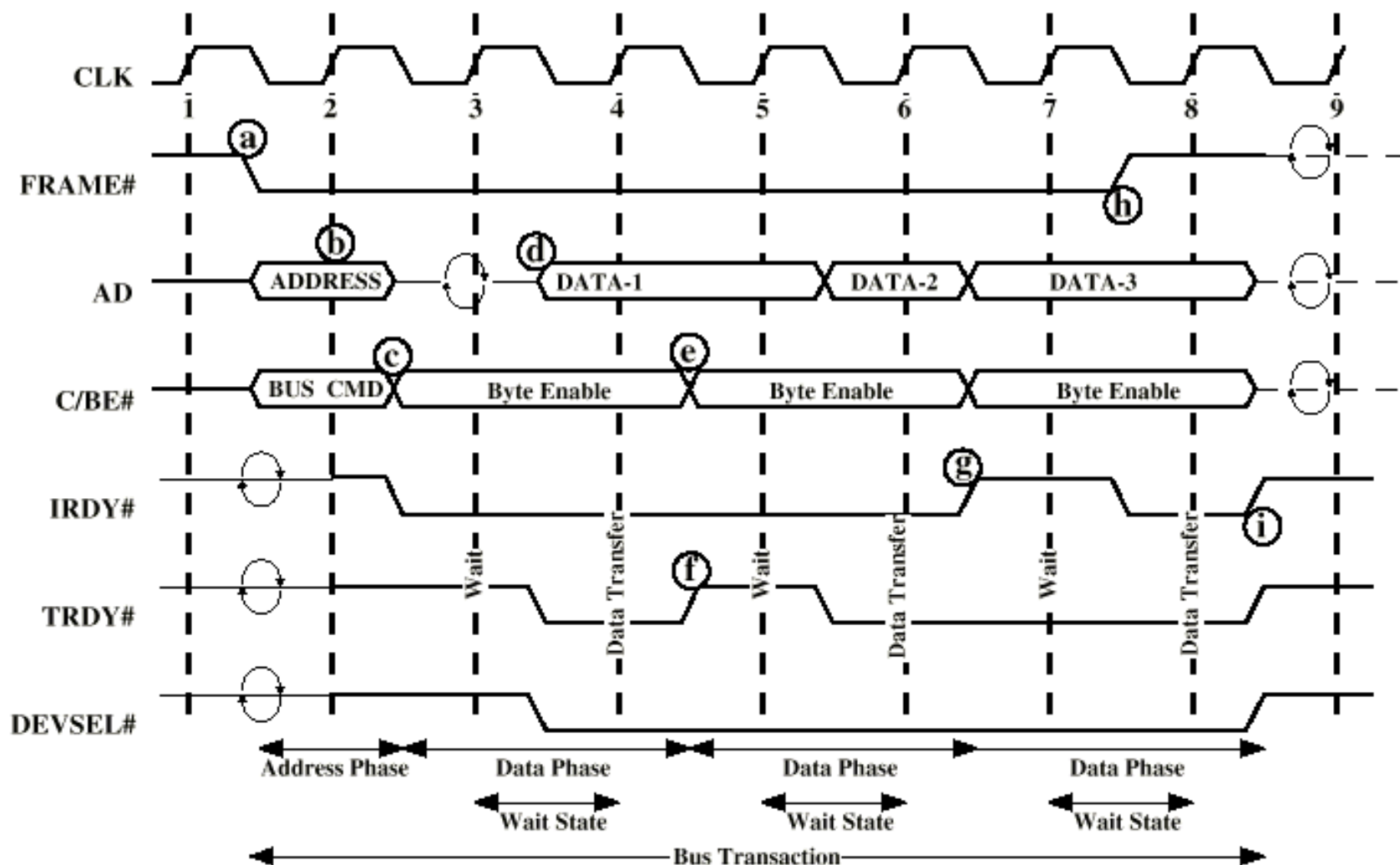
Operação de Leitura no PCI – Burst Mode



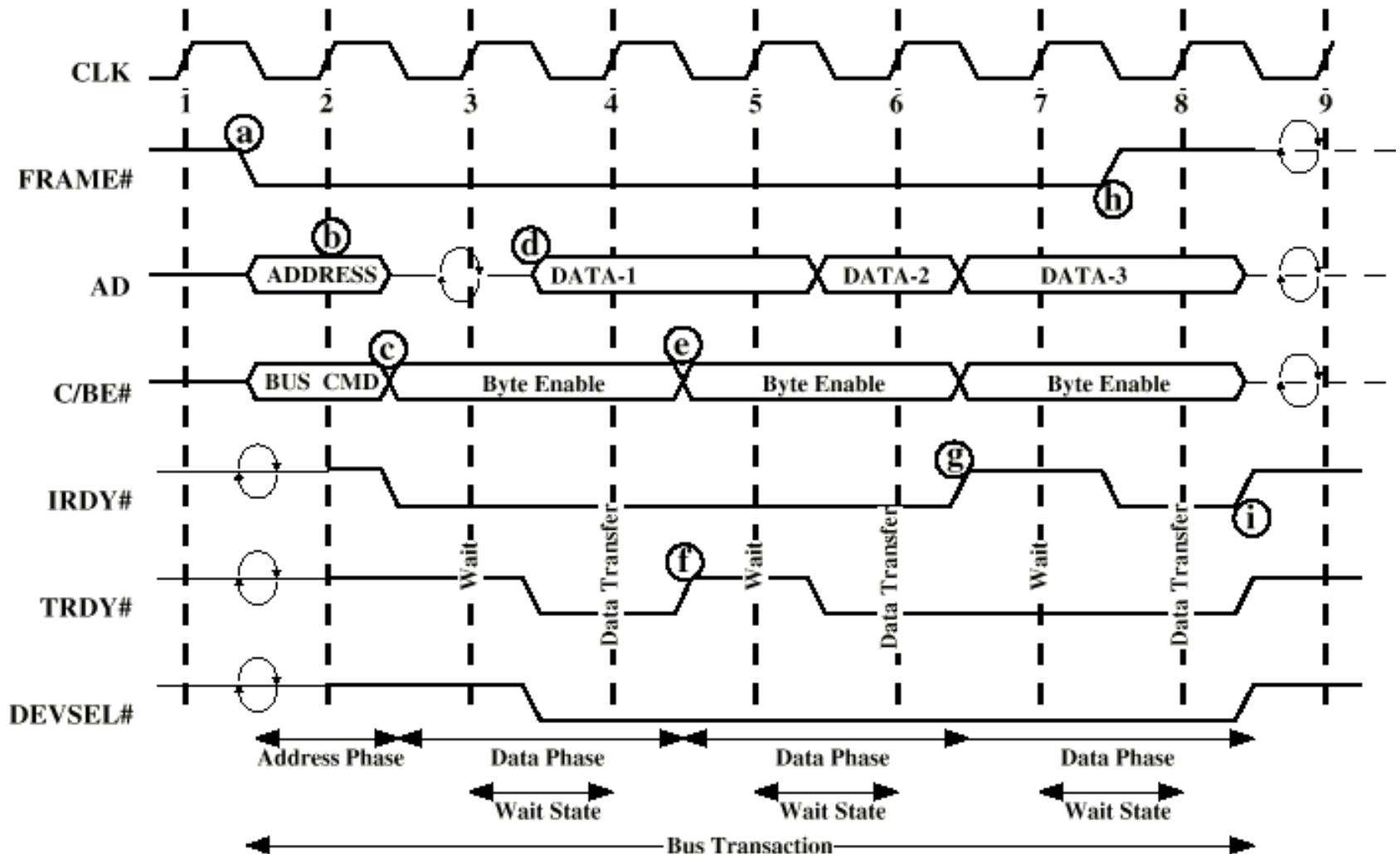
h) O iniciador sabe que a terceira transferência de dados é a última e, portanto, desativa o sinal FRAME indicando ao alvo que essa é a última transferência.



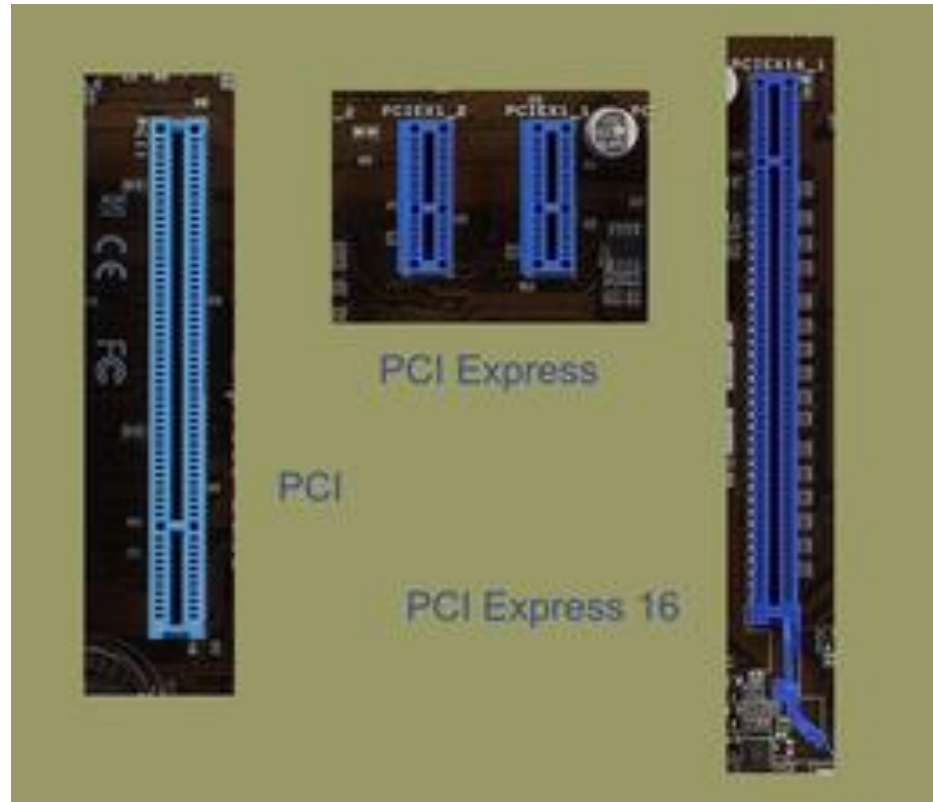
Operação de Leitura no PCI – Burst Mode



i) O iniciador desativa o sinal IRDY, retornando o barramento para o estado inativo, e o dispositivo-alvo desativa os sinais TRDY e DEVSEL.



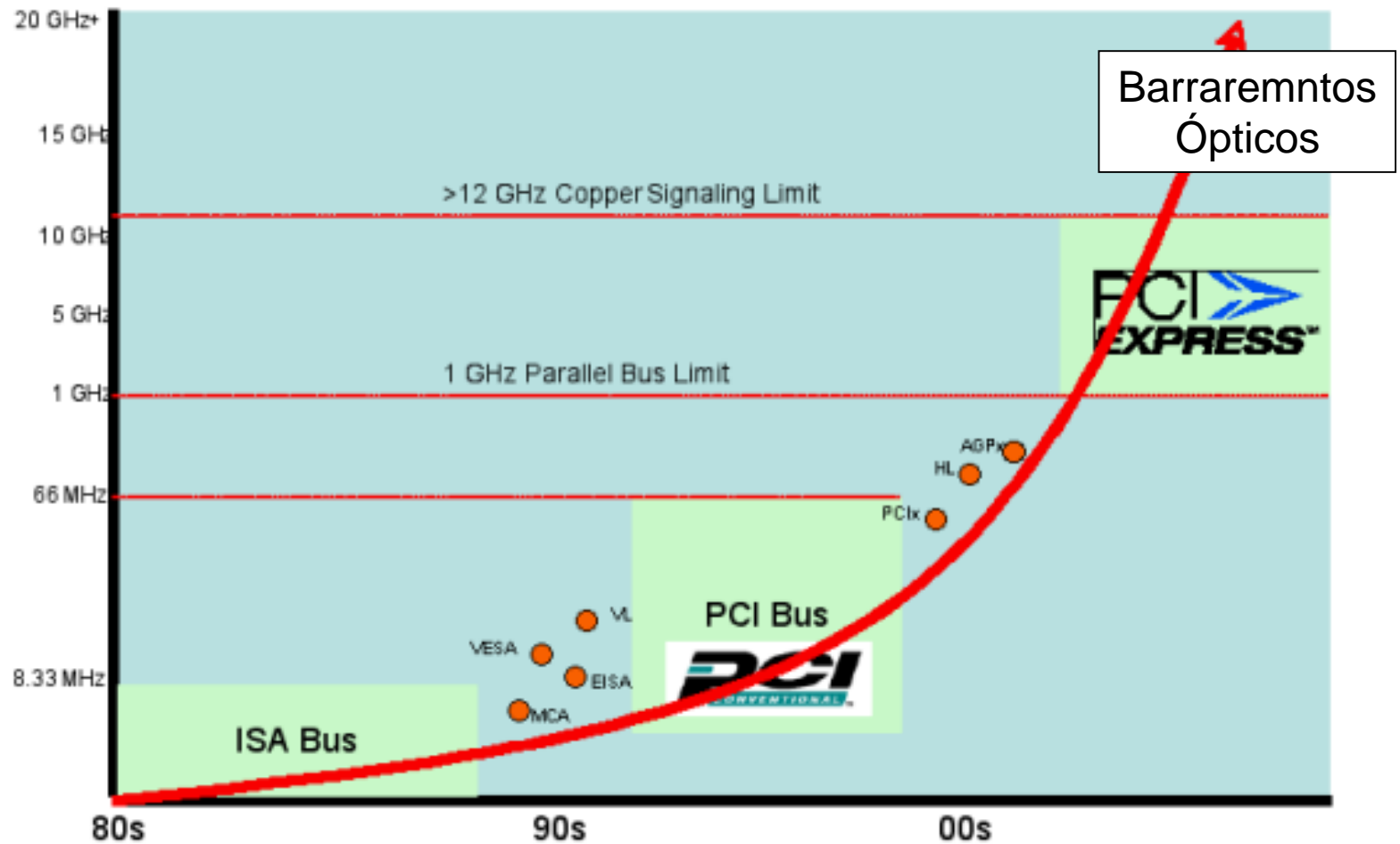
PCI Express



PCI Express

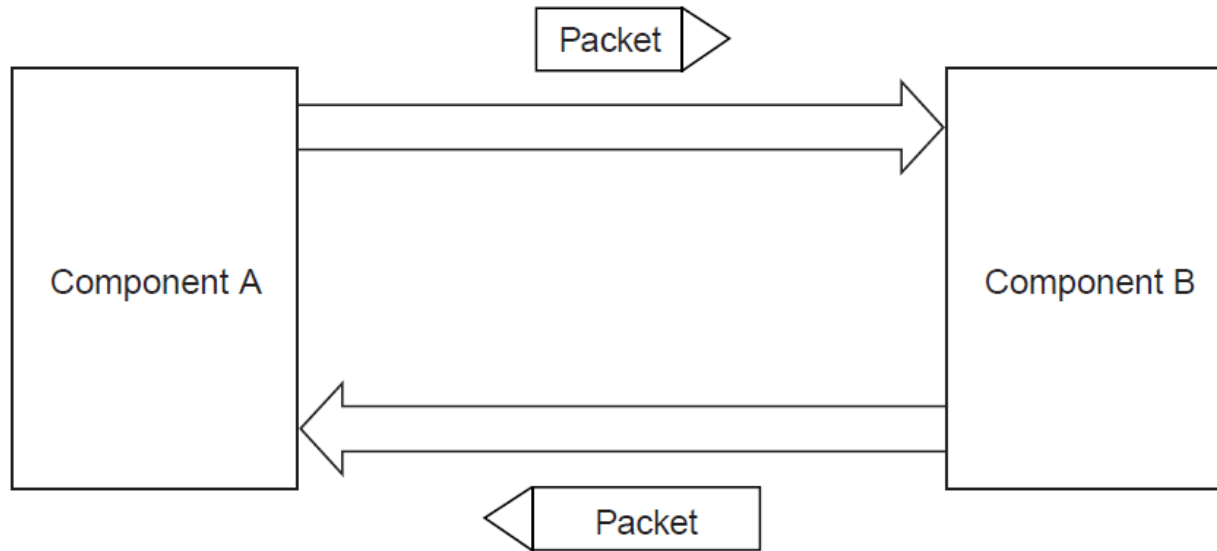
- Criado em 2004 pelo grupo Intel, Dell, HP e IBM
- “Substitui” os padrões PCI, PCI-X e AGP
 - Paralelo \Rightarrow Serial

Evolução



PCI Express

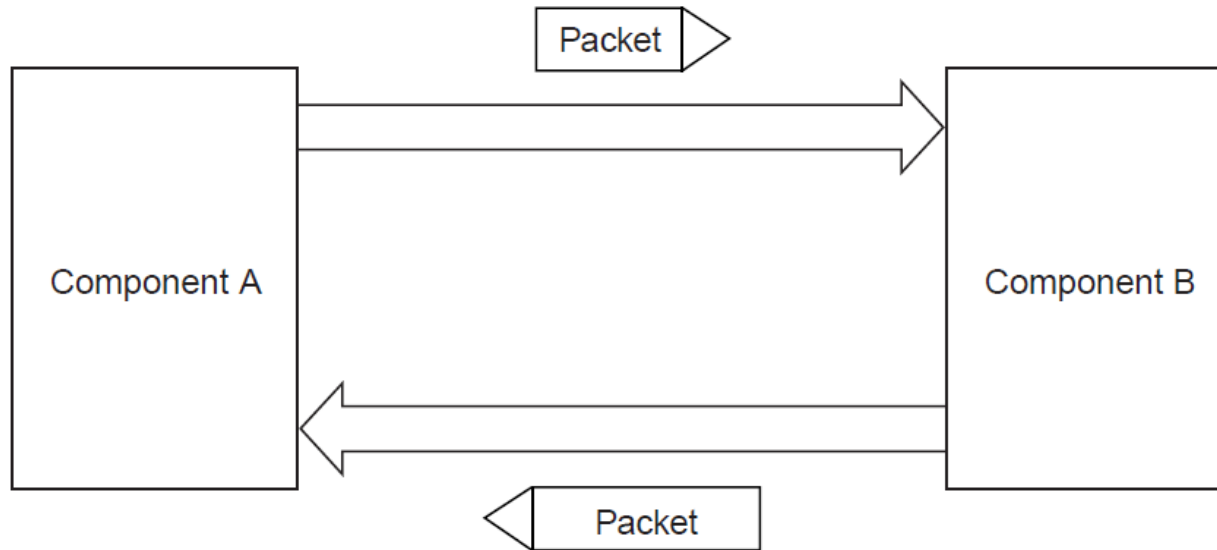
“A Third Generation I/O Interconnect”



PCI Express *Link*

PCI Express

“A Third Generation I/O Interconnect”



1 Link => Até 32 pistas (1, 2, 4, 8, 12, 16 ou 32)

PCI Express



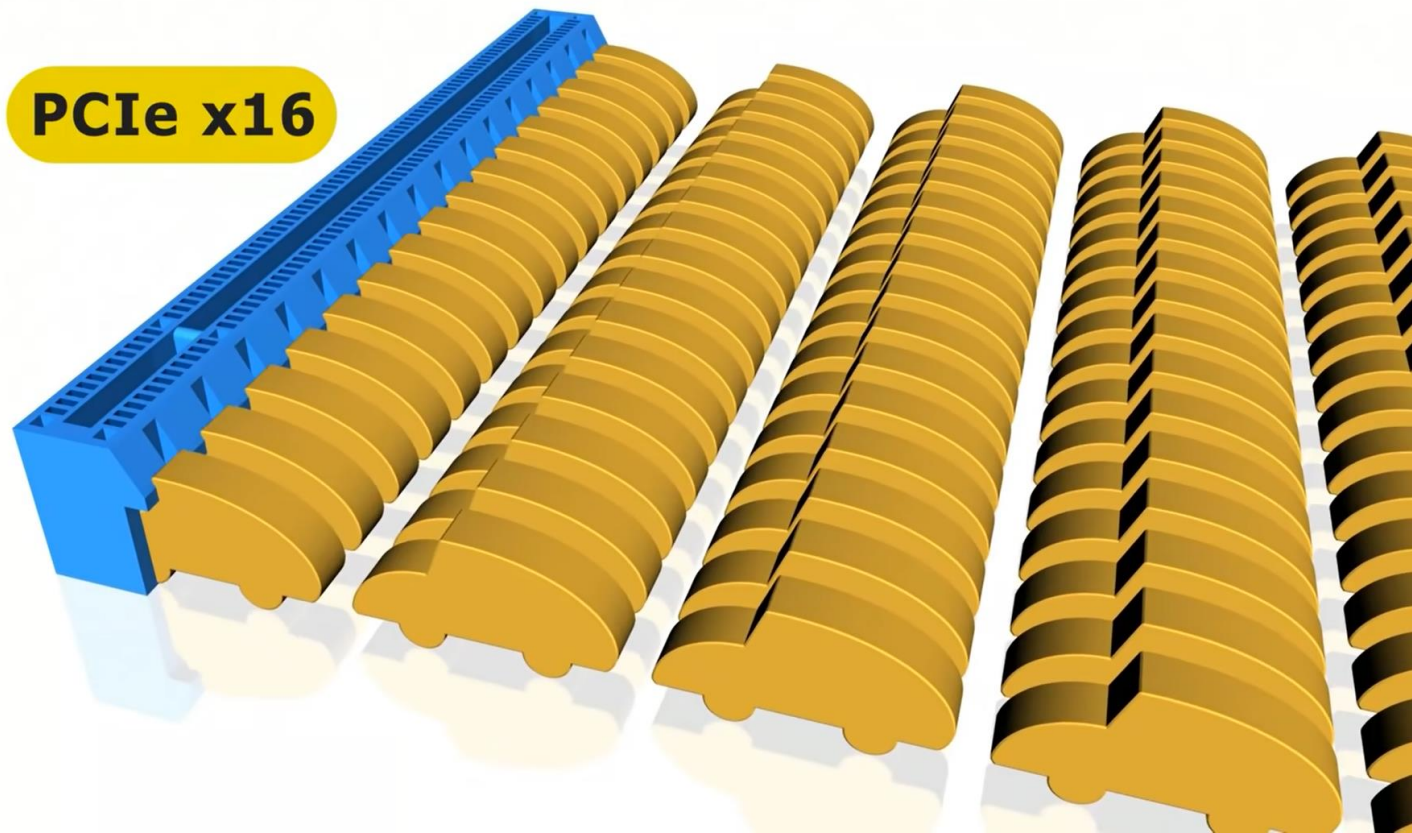
PCI Express

PCIe x1

Uma pista (*lane*) PCIe é uma conexão serial para transferência de dados

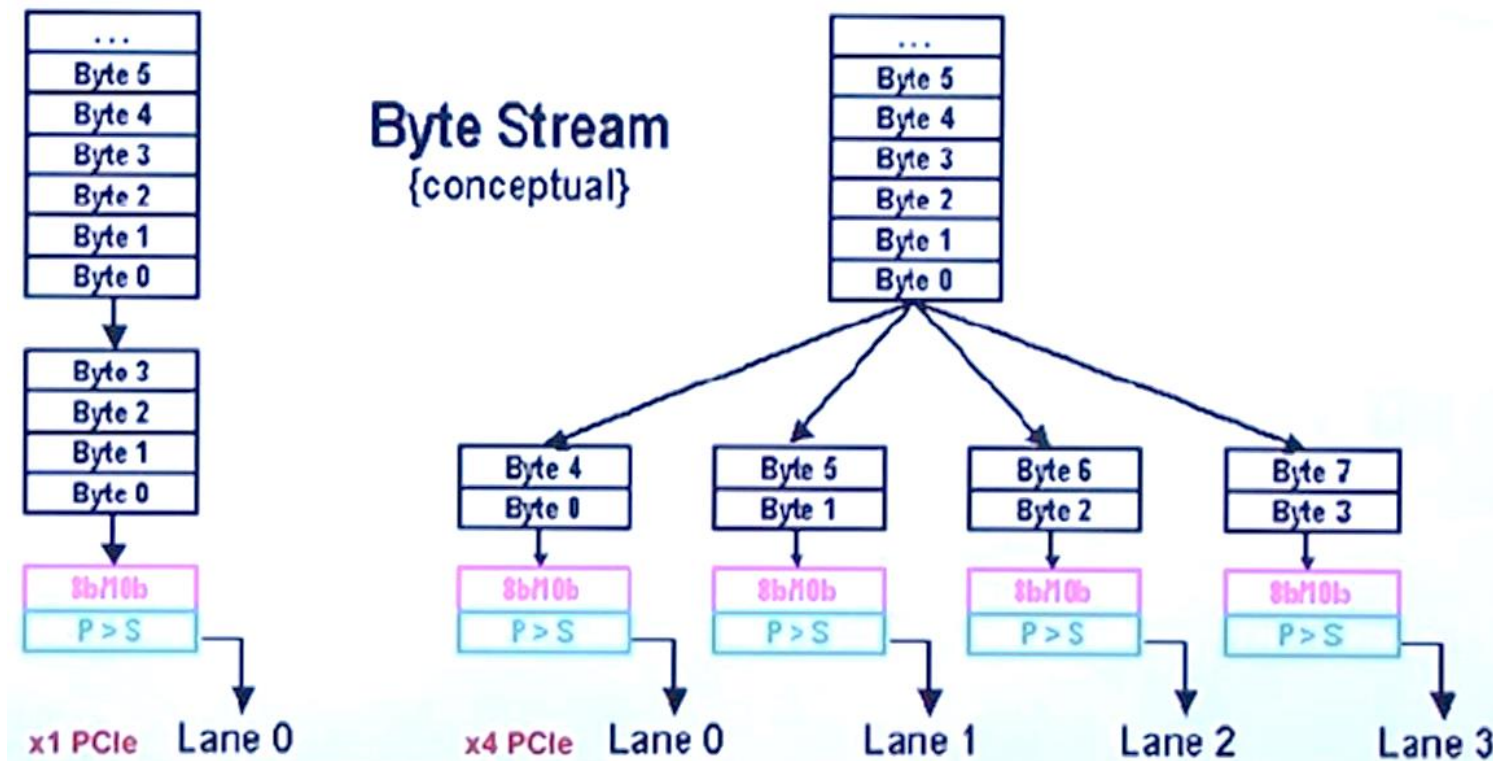


PCI Express



PCI Express

Dados são distribuídos entre as pistas disponíveis



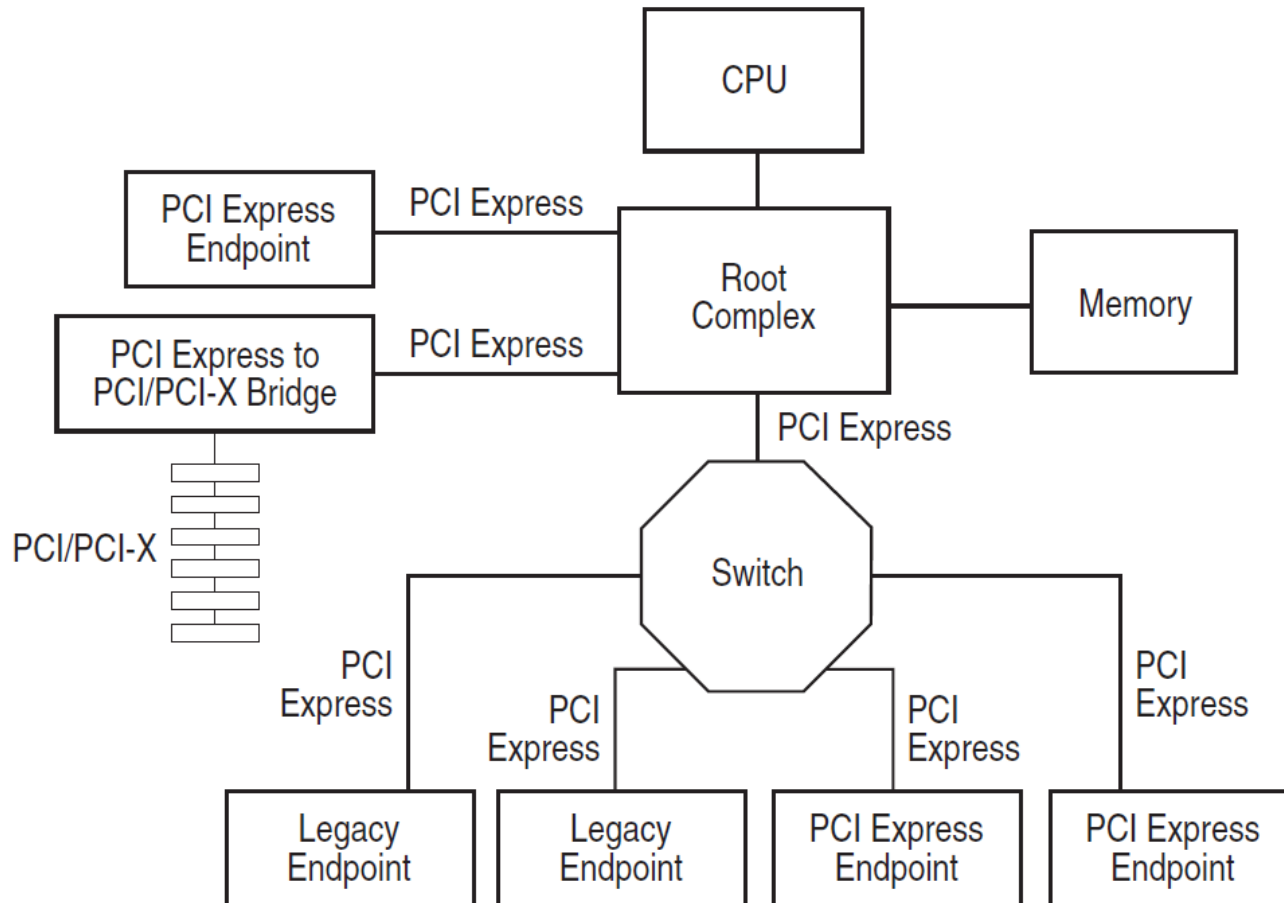
PCI Express

Velocidades e versões

	x1	x4	x8	x16
PCIe 1.0	250MB/s	1GB/s	2GB/s	4GB/s
PCIe 2.0	500MB/s	2GB/s	4GB/s	8GB/s
PCIe 3.0	985MB/s	3.94GB/s	7.88GB/s	15.8GB/s
PCIe 4.0	1.97GB/s	7.88GB/s	15.8GB/s	31.5GB/s
PCIe 5.0*	3.94GB/s	15.8GB/s	31.5GB/s	63.0GB/s

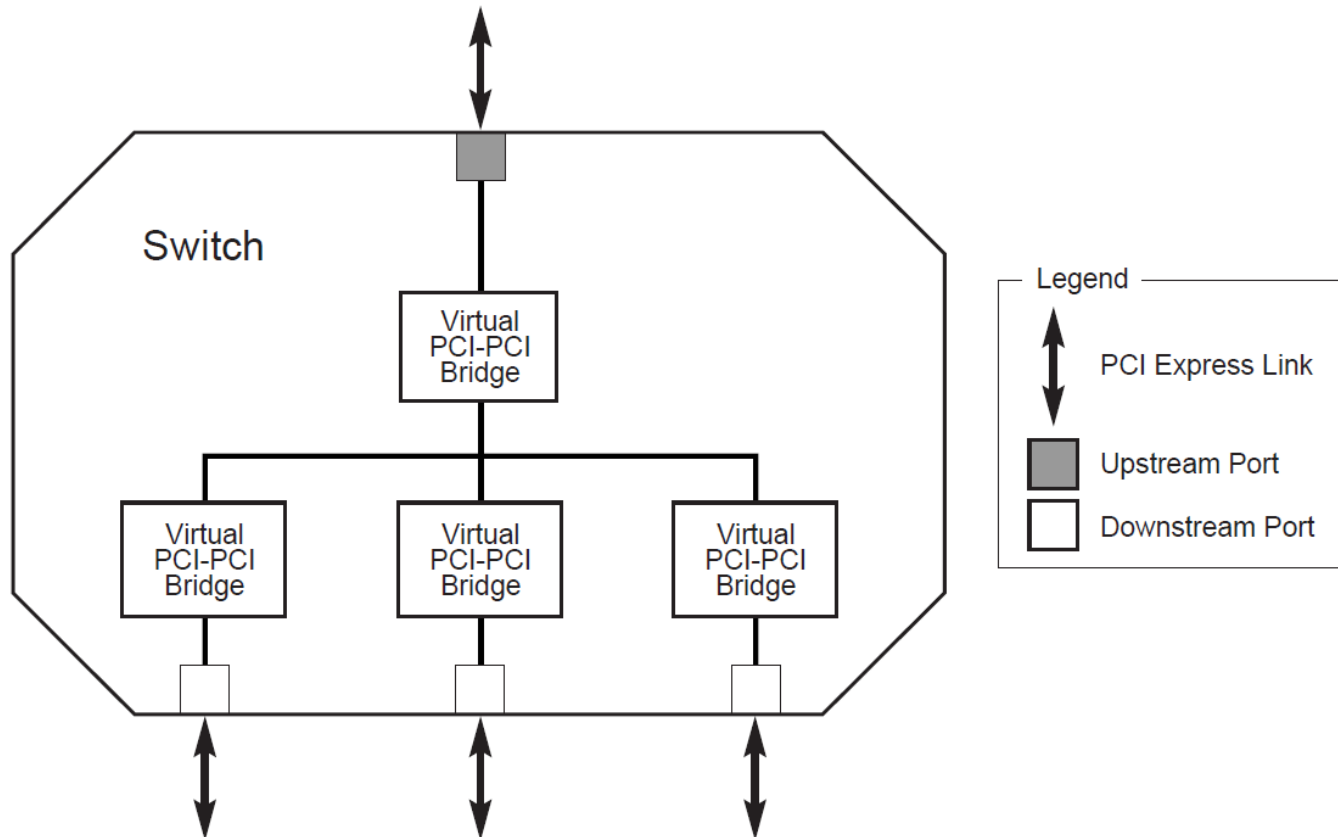
PCI Express

PCI Express Fabric Topology



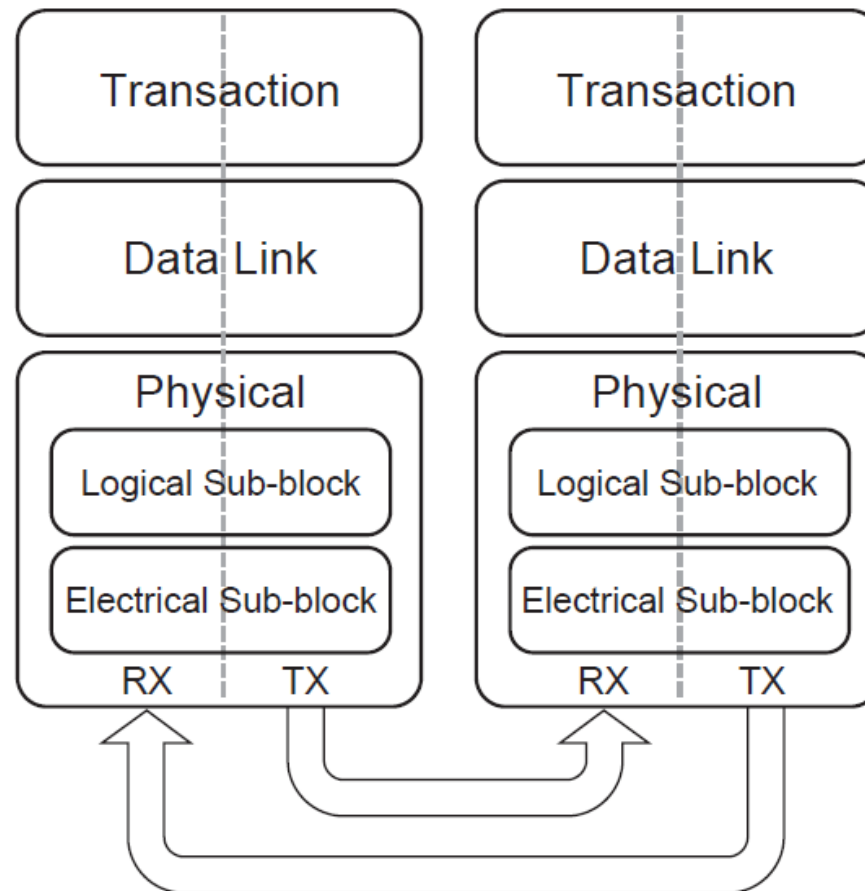
PCI Express

Logical Block Diagram of a Switch



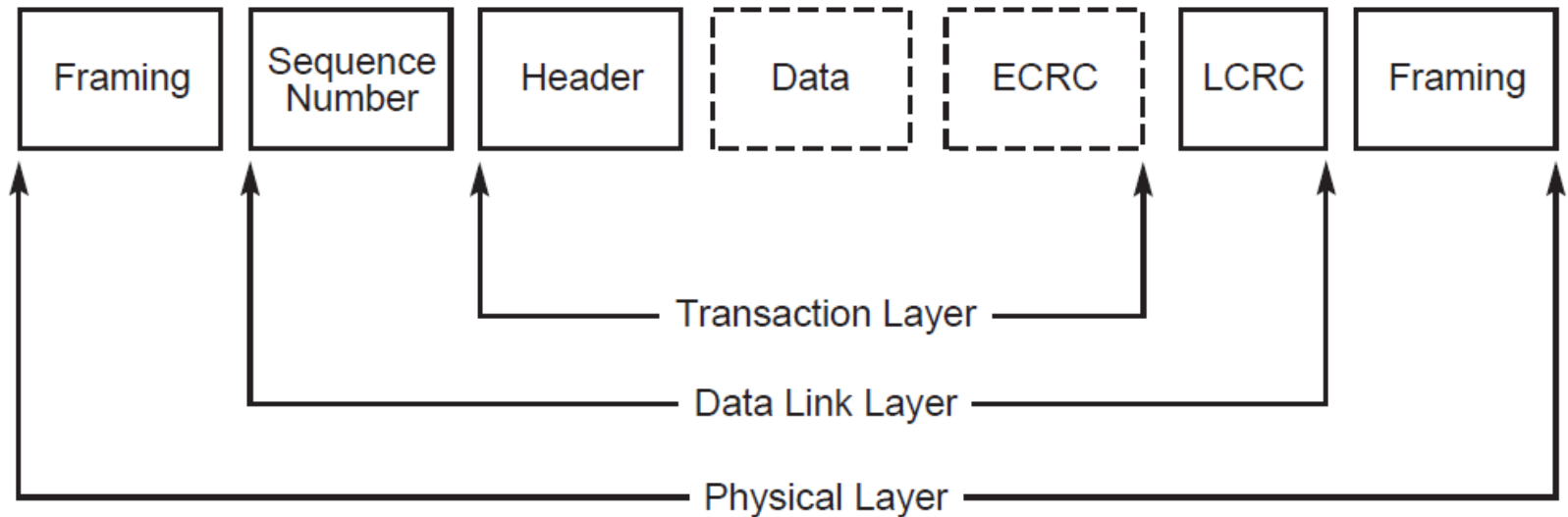
PCI Express

Camadas PCI Express



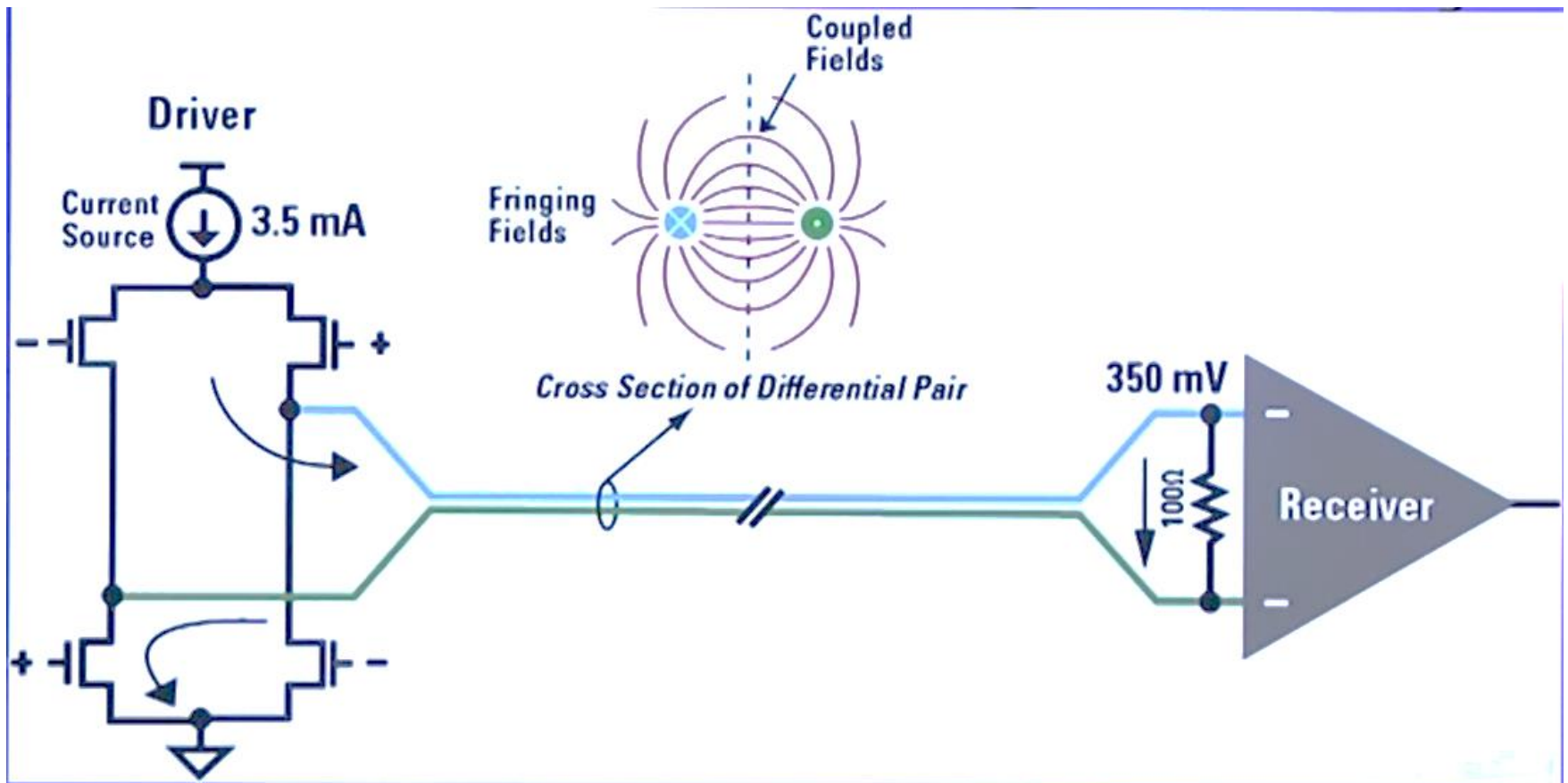
PCI Express

Fluxo de pacotes entre as camadas



PCI Express

Camada física



Leitura Requerida

- Capítulo 3 do Stallings
- www.pcguide.com/ref/mbsys/buses/
- <https://www.youtube.com/watch?v=EHkuzkNWXFk> - PCIe

