

Aluno: João Victor da Silva Prado  
Organização de computadores  
Avaliação 5

1) R: O melhor método de acesso é o acesso aleatório à memória. Cada local na memória tem um endereçamento próprio, e esses endereços são fisicamente interligados; além disso, o tempo de acesso não depende da sequência de acessos anteriores.

2) O tempo normal seria:

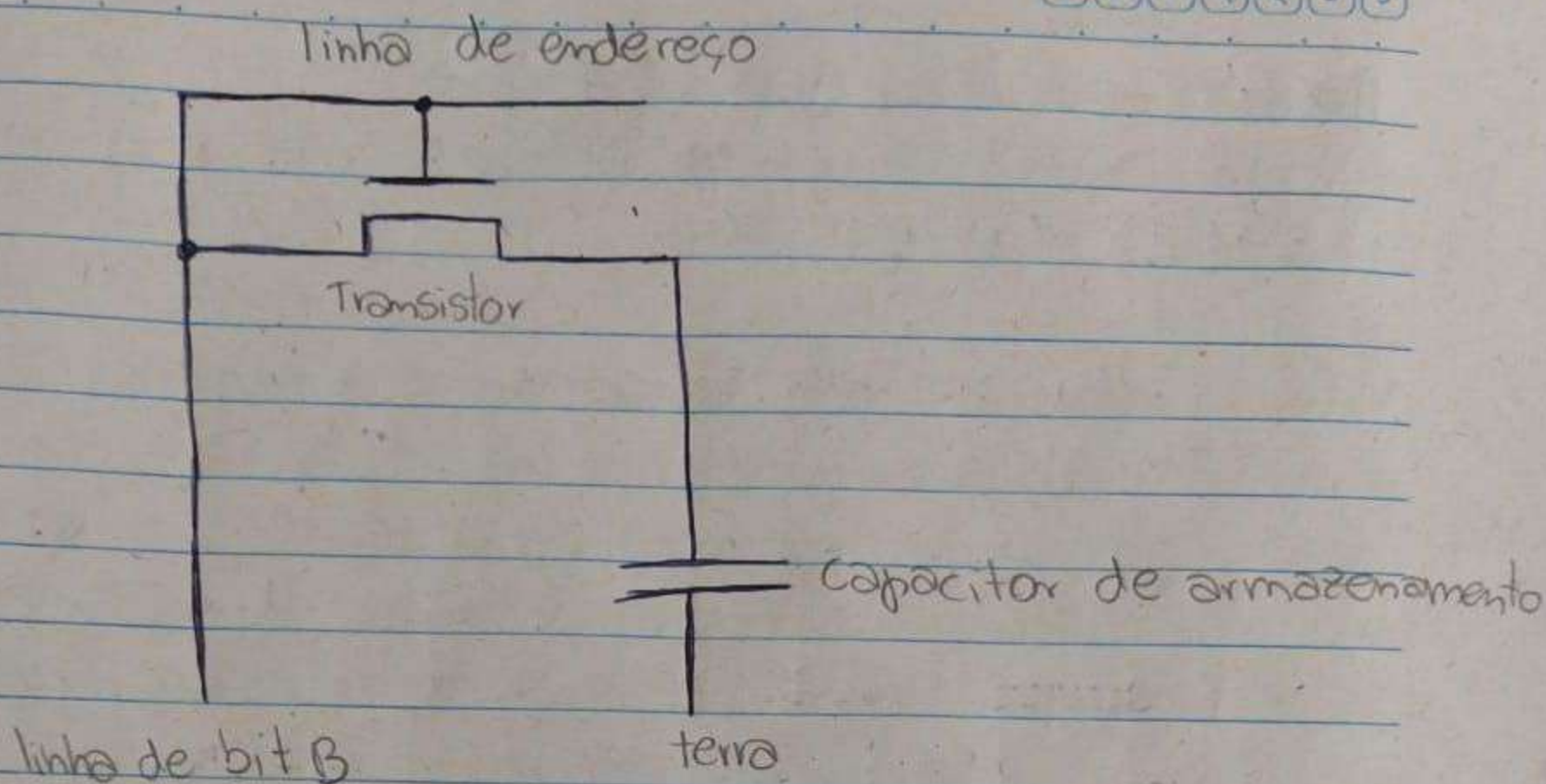
- registrador (1ns - 2ns)
- cache L1 (3ns - 10ns)
- cache L2 (25ns - 50ns)
- Memória principal (30ns - 90ns)
- HD (5ms - 20ms)
- Disco óptico (100ms - 5s)
- Fita magnética (10s - 3m)

Se o processador levasse 1seg para acessar os dados no registrador o cenário seria:

- registrador (1s)
- cache L1 (3s - 10s)
- cache L2 (25s - 50s)
- Memória principal (30s - 90s)
- HD (5000s - 20000s)
- Disco óptico ( $\geq 100000s$ )
- Fita magnética ( $\geq 10000000000s$ )



3) R:



A memória DRAM é um tipo de RAM que é feito usando capacitores e poucos transistores, economizando área do chip. Esse tipo de memória é dinâmica pois necessita constantemente de atualização nos pulsos para manter os dados ativos enquanto trabalha, o que acaba tornando a DRAM mais lenta que a memória estática.

Na memória dinâmica um transistor e um capacitor unem-se para formar uma célula de memória, que é responsável por um bit de dados. Enquanto o capacitor conserva o bit de informação, o transistor age como um controle, que permite ao chip ler o capacitor ou mudar seu estado.

Além das características citadas acima, a DRAM tem outra vantagem que é ser mais barata e uma outra desvantagem, se comparada com a SRAM, que é o alto consumo de energia.



4) R:

a)  $z^n \rightarrow n = 4$  (número de bits de ativação)  
 $z^n = z^4 = \underline{16 \text{ módulos}}$

b) 16 (nº de módulos disponíveis)  
- 64 KB (espaço de memória em cada módulo)  
 $16 \times 64 = \underline{1024 \text{ Kb}}$

c) 4 (módulos usados)  
16 (barramento de endereço de 16 bits)  
 $4 \times 16 = \underline{64 \text{ bits}}$

d) Sim, pode haver espaços de endereçamento diferentes.



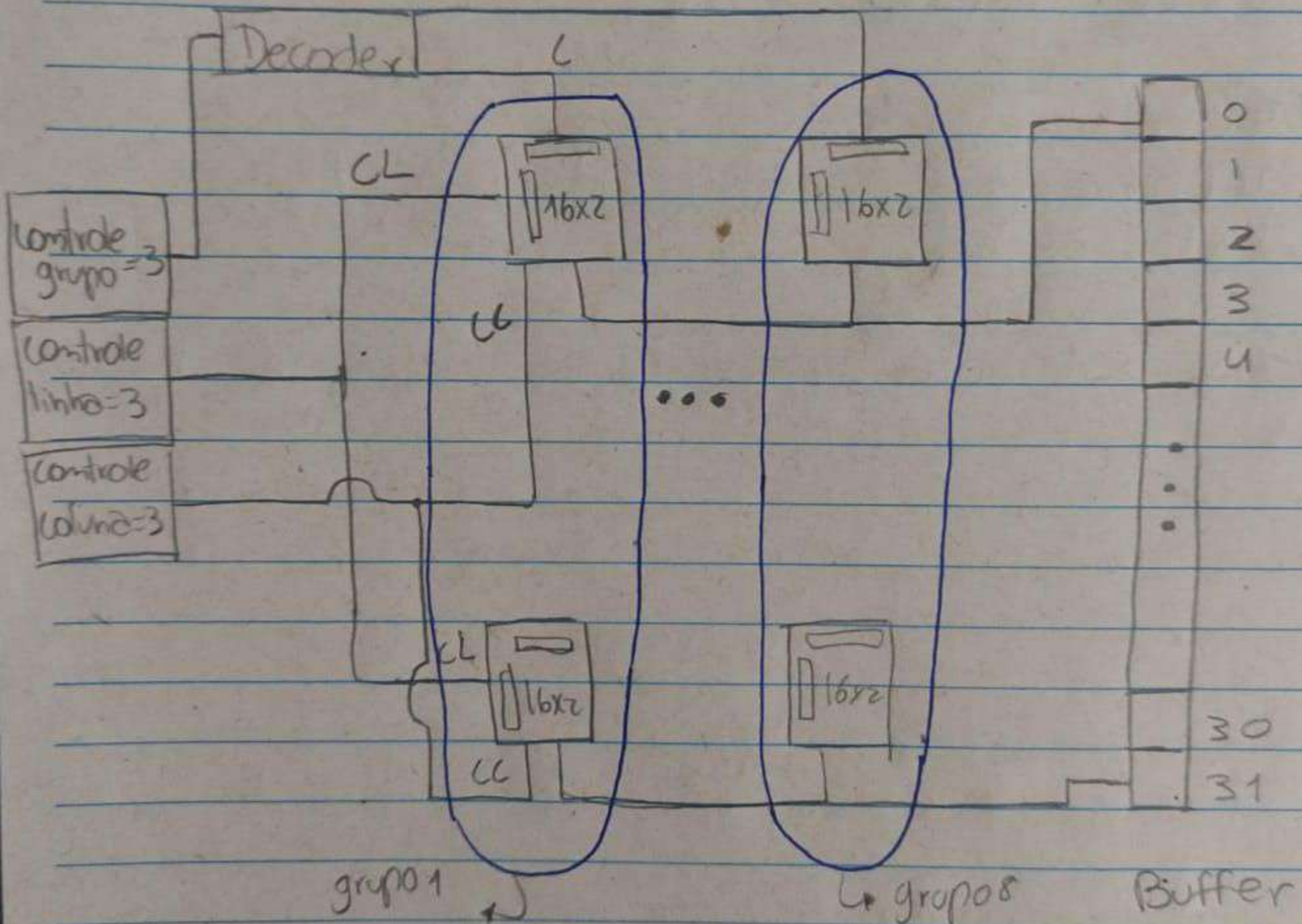
5) Palavra = 32 bits

Capacidade = 8 Kbits

SRAM = 32 bits

Quantidade de pastilhas =  $\frac{8 \text{ Kbits}}{32 \text{ bits}} = 256$

\* tam. palavra = qtd linhas teremos: 32 linhas  
8 colunas



CL = linha acessada na pastilha  
CC = coluna acessada

CG = controle + grupo