

Universidade de Brasília – UnB  
Faculdade UnB Gama – FGA  
Engenharia Eletrônica

# **Projeto de um Conversor Tensão Frequência de uma Tag UHF Passiva para o Monitoramento de Sinais Vitais**

Autor: João Vitor Silva do Espírito Santo  
Orientador: Sandro Augusto Pavlik Haddad

Brasília, DF  
2023





João Vitor Silva do Espirito Santo

# **Projeto de um Conversor Tensão Frequência de uma Tag UHF Passiva para o Monitoramento de Sinais Vitais**

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Universidade de Brasília – UnB

Faculdade UnB Gama – FGA

Orientador: Sandro Augusto Pavlik Haddad

Brasília, DF

2023

---

João Vitor Silva do Espírito Santo

Projeto de um Conversor Tensão Frequência de uma Tag UHF Passiva para o Monitoramento de Sinais Vitais/ João Vitor Silva do Espírito Santo. – Brasília, DF, 2023-

45 p. : il. (algumas color.) ; 30 cm.

Orientador: Sandro Augusto Pavlik Haddad

Trabalho de Conclusão de Curso – Universidade de Brasília – UnB  
Faculdade UnB Gama – FGA , 2023.

1. Palavra-chave01. 2. Palavra-chave02. I. Sandro Augusto Pavlik Haddad. II. Universidade de Brasília. III. Faculdade UnB Gama. IV. Projeto de um Conversor Tensão Frequência de uma Tag UHF Passiva para o Monitoramento de Sinais Vitais

CDU 02:141:005.6

---

João Vitor Silva do Espirito Santo

## **Projeto de um Conversor Tensão Frequência de uma Tag UHF Passiva para o Monitoramento de Sinais Vitais**

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Trabalho aprovado. Brasília, DF, 01 de junho de 2013 – Data da aprovação do trabalho:

---

**Sandro Augusto Pavlik Haddad**  
Orientador

---

**Titulação e Nome do Professor**  
**Convidado 01**  
Convidado 1

---

**Titulação e Nome do Professor**  
**Convidado 02**  
Convidado 2

Brasília, DF  
2023



# Agradecimentos

Agradeço a Deus e a meus pais por me apoiarem ao ingressar nos estudos da faculdade e por prestarem auxílio durante todo o tempo que me dediquei ao curso. Sou grato a meus colegas de curso que me ajudaram nos estudos e atividades da faculdade que, mesmo alguns seguindo outros caminhos em engenharias diferentes, participaram de rodas de estudo trocas de ideias e contribuíram na execução de projetos pessoais. Também agradeço aos professores por estarem disponíveis para sanar dúvidas e pela orientação fornecida, não apenas nesse mas em outros trabalhos anteriores no curso.





# Resumo

Este trabalho apresenta uma abordagem para um conversor tensão-frequência a ser utilizado em uma tag de rádio-frequência (RFID) vestível, destinada ao monitoramento passivo de sinais vitais. Utilizando diferentes bandas de rádio-frequência, como *ultrahigh frequency* (UHF) e *ultrawideband* (UWB), é possível captar e transmitir sinais vitais de pacientes por meio de um sistema *wireless*. A banda UHF alimenta o circuito integrado (CI), enquanto a UWB é responsável pela transmissão dos sinais vitais, variando conforme a fonte de alimentação. Segundo o artigo base (A., 2020), esse tipo de CI pode ser alimentado a uma distância de até 51 metros e transmitir dados a até 2 metros do receptor, além de ser um CI de ultra baixo consumo, com potência próxima de  $1\mu\text{W}$ . Devido à complexidade do projeto e às pesquisas necessárias, o trabalho foi realizado por uma equipe de alunos projetistas, sob a orientação de um professor. Este documento foca em uma parte específica do CI: o conversor tensão-frequência. Serão apresentados os componentes e subcircuitos que compõem o sistema, além das pesquisas que fundamentaram sua elaboração. Por fim, os resultados das simulações serão analisados e interpretados.

**Palavras-chave:** Conversor tensão frequência, tag de rádio frequência, baixo consumo, monitoramento de sinais vitais.



# Abstract

This paper presents an approach for a voltage-to-frequency converter to be used in a wearable radio-frequency (RFID) tag, intended for passive monitoring of vital signs. Using different radio-frequency bands, such as *ultrahigh frequency* (UHF) and *ultrawideband* (UWB), it is possible to capture and transmit vital signs of patients through a *wireless* system. The UHF band powers the integrated circuit (IC), while the UWB is responsible for transmitting vital signs, varying according to the power source. According to the base article ([A., 2020](#)), this type of IC can be powered at a distance of up to 51 meters and transmit data up to 2 meters from the receiver, in addition to being an ultra-low-consumption IC, with power close to  $1\mu\text{W}$ . Due to the complexity of the project and the necessary research, the work was carried out by a team of student designers, under the guidance of a professor. This document focuses on a specific part of the IC: the voltage-frequency converter. The components and subcircuits that make up the system will be presented, as well as the research that supported its development. Finally, the results of the simulations will be analyzed and interpreted.

**Key-words:** Voltage-frequency converter, radio frequency tag, low consumption, vital signs monitoring.



# Lista de ilustrações

|   |    |
|---|----|
| Figura 1 – Ilustração da TAG RFID proposta para monitoramento remoto de sinais vitais. Fonte:(A., 2020)   | 21 |
| Figura 2 – Visão do <i>Top Module</i> da <i>Tag RFID</i> desenvolvida no projeto. Fonte:(LINHARES, 2021)  | 23 |
| Figura 3 – Diagrama de blocos dos módulos Top-Down em desenvolvimento   | 25 |
| Figura 4 – Diagrama de blocos VFC Multivibrador Fonte:(MURILLO BELÉN CALVO LOPEZ, 2013)   | 28 |
| Figura 5 – Esquemático VFC Multivibrador Fonte:(MURILLO BELÉN CALVO LOPEZ, 2013)  | 28 |
| Figura 6 – Formas de onda do Capacitor e Saída do VFC Multivibrador Fonte:(MURILLO BELÉN CALVO LOPEZ, 2013)   | 28 |
| Figura 7 – Esquemático circuito conversor tensão corrente. Fonte:(A., 2020)   | 29 |
| Figura 8 – Integrador de corrente bidirecional com fonte e espelho de corrente. Fonte:(MURILLO BELÉN CALVO LOPEZ, 2013)   | 31 |
| Figura 9 – Esquemático do Integrador de Corrente Bidirecional Fonte:(LINHARES, 2021)  | 32 |
| Figura 10 – Fonte:(MURILLO BELÉN CALVO LOPEZ, 2013)   | 33 |
| Figura 11 – Esquemático do circuito de controle feito com transistores e acompanhados do espelho de corrente e dos divisores de tensão para as tensões de Bias $V_H$ e $V_L$ Fonte:(A., 2020) | 33 |
| Figura 12 – Fonte:(BAKER, 2010)   | 34 |
| Figura 13 – Topologia Latch SR do tipo NAND Fonte:(BAKER, 2010)   | 35 |
| Figura 14 – AmpOp Fonte:(RAZAVI, 2017)  | 35 |
| Figura 15 – Esquemático de topo com integração de todos os sub-circuitos do projeto   | 37 |
| Figura 16 – Simulação da corrente de referência espelhada na Saída do VIC   | 38 |
| Figura 17 – Simulação do Latch SR no Cadence  | 39 |
| Figura 18 – Simulação no Cadence do modelo de AmpOp usado no circuito de controle   | 40 |
| Figura 19 – Sinais observados no Circuito de Controle   | 41 |



# Lista de tabelas

|          |   |   |    |
|----------|---|---|----|
| Tabela 1 | – | Dimensões dos transistores e resistor do VIC . . . . .                  | 30 |
| Tabela 2 | – | Dimensões dos transistores e capacitor do Integrador bidirecional . . . | 32 |
| Tabela 3 | – | Dimensões dos transistores para o circuito de controle da Fig11 . . . . | 34 |
| Tabela 4 | – | Dimensões dos transistores do Latch SR NAND . . . . .                   | 34 |
| Tabela 5 | – | Sugestão de cronograma . . . . .  | 44 |





# Lista de abreviaturas e siglas

|       |                          |
|-------|--------------------------|
| Fig.  | Figura                   |
| ULP   | <i>Ultra Low Power</i>   |
| CI    | Circuito integrado       |
| AmpOp | Amplificador Operacional |
| UnB   | Universidade de Brasília |



# Lista de símbolos

|           |                            |
|-----------|----------------------------|
| $\Gamma$  | Letra grega Gama           |
| $\Lambda$ | Lambda                     |
| $\zeta$   | Letra grega minúscula zeta |
| $\in$     | Pertence                   |
| $\mu$     | Micro                      |



# Sumário

|            |                                    |           |
|------------|------------------------------------|-----------|
| <b>1</b>   | <b>INTRODUÇÃO</b>                  | <b>21</b> |
|            | <b>Introdução</b>                  | <b>21</b> |
| <b>1.1</b> | <b>Contextualização</b>            | <b>21</b> |
| 1.1.1      | Circuitos da <i>TAG RFID</i>       | 22        |
| 1.1.1.1    | Retificador                        | 22        |
| 1.1.1.2    | Tensão de Referência               | 22        |
| 1.1.1.3    | LDO                                | 22        |
| 1.1.1.4    | Conversor Tensão-Frequência        | 22        |
| 1.1.1.5    | Transmissor <i>UWB</i>             | 22        |
| <b>1.2</b> | <b>Objetivos</b>                   | <b>22</b> |
| <b>1.3</b> | <b>Organização</b>                 | <b>22</b> |
| <b>2</b>   | <b>METODOLOGIA</b>                 | <b>25</b> |
| <b>2.1</b> | <b>Metodologia Top Down</b>        | <b>25</b> |
| <b>2.2</b> | <b>Simulações Cadence Virtuoso</b> | <b>25</b> |
| <b>3</b>   | <b>CONVERSOR</b>                   | <b>27</b> |
| <b>3.1</b> | <b>Introdução</b>                  | <b>27</b> |
| <b>3.2</b> | <b>Conversor Tensão corrente</b>   | <b>29</b> |
| <b>3.3</b> | <b>Integrador</b>                  | <b>30</b> |
| <b>3.4</b> | <b>Circuito de Controle</b>        | <b>32</b> |
| 3.4.1      | Latch SR                           | 34        |
| 3.4.2      | Amplificador operacional           | 35        |
| <b>4</b>   | <b>SIMULAÇÃO E RESULTADOS</b>      | <b>37</b> |
| <b>4.1</b> | <b>Conversor tensão corrente</b>   | <b>38</b> |
| <b>4.2</b> | <b>Latch SR</b>                    | <b>38</b> |
| <b>4.3</b> | <b>Amplificador operacional</b>    | <b>39</b> |
| <b>4.4</b> | <b>Circuito de Controle</b>        | <b>39</b> |
| <b>5</b>   | <b>CONSIDERAÇÕES FINAIS</b>        | <b>43</b> |
| <b>5.1</b> | <b>Conclusões</b>                  | <b>43</b> |
| <b>5.2</b> | <b>Trabalhos futuros</b>           | <b>43</b> |
|            | <b>REFERÊNCIAS</b>                 | <b>45</b> |



# 1 Introdução

## 1.1 Contextualização

A preocupação e cuidados com a saúde sempre foram tópicos relevantes para a humanidade. Com a descoberta da eletricidade e estudo da biologia humana foram desenvolvidas tecnologias que unem ambas para prever, diagnosticar, tratar e monitorar o avanço de doenças.

A evolução dessas tecnologias chegou ao ponto da criação de dispositivos *wearables* (vestíveis). Esses dispositivos são criados de forma a serem usados no corpo do usuário como uma roupa. É uma tecnologia emergente que permite o monitoramento de sinais vitais no dia-a-dia, durante o trabalho, na prática de esporte e etc. (DIAS; CUNHA, 2018)

Esse projeto visa o uso de monitoramento num ambiente hospitalar, onde será feita a captação do estado do paciente de forma mais confortável e constantemente sem precisar de contato físico. Isso é aplicável a pacientes que precisam de monitoramento constante e que estão em tratamento intensivo como UTI ou bebês em incubadoras. (A., 2020)

Dadas as considerações esse projeto propõe o desenvolvimento de uma *tag RFID*, que será usada como sensor *wearable* acompanhando o estado do paciente constantemente o paciente e funcionando de forma remota. Dado que a alimentação e transmissão das informações são feitas de maneira *wireless* por rádio frequência como descrito na Fig. 1

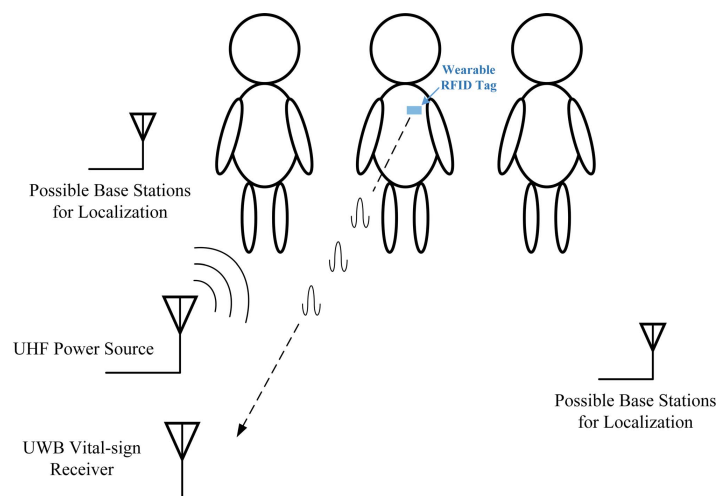


Figura 1 – Ilustração da TAG RFID proposta para monitoramento remoto de sinais vitais.  
Fonte: (A., 2020)

### 1.1.1 Circuitos da TAG RFID

Na Fig. 2 está a visão em *Top Modulo* da TAG RFID, composta por cinco sub-circuitos principais: Retificador, LDO, Tensão de referência (Bandgap), Conversor tensão frequência e o transmissor UWB.

#### 1.1.1.1 Retificador

O retificador é o circito responsável por alimentar o sistema. É um sistema de alimentação por indução. Ele capta o sinal de alimentação em rádio frequência e o converte em corrente contínua (DC) para suprir a TAG com energia.

#### 1.1.1.2 Tensão de Referência

O circuito de tensão de referência utilizado é o Bandgap, que gera uma tensão de referência estável e resistente à variação de temperatura, destinada ao LDO.

#### 1.1.1.3 LDO

O LDO é um regulador de tensão que ajusta a voltagem para níveis adequados aos demais subcircuitos, como o conversor tensão-frequência e o transmissor UWB.

#### 1.1.1.4 Conversor Tensão-Frequência

Este componente é o foco principal desta tese. Ele converte os sinais elétricos recebidos na tensão de entrada, que não é a de alimentação, em um sinal de onda quadrada com frequência proporcional à tensão de entrada.

#### 1.1.1.5 Transmissor UWB

Ele recebe o sinal produzido pelo conversor tensão frequência e o transmite o sinal que pode ser interceptado por outro equipamento.

## 1.2 Objetivos

Para a execução do projeto será modelado o circuito de conversão tensão-frequência. Exibindo e explicando o funcionamento dos subsistemas que compõe esse circuito e a lógica aplicada nele começando pelas suas topologias e depois a simulação. Os blocos de subsistemas abordados são: conversor tensão corrente, integrador e sistema de controle.

## 1.3 Organização

Esse documento é organizado nas seguintes sessões:



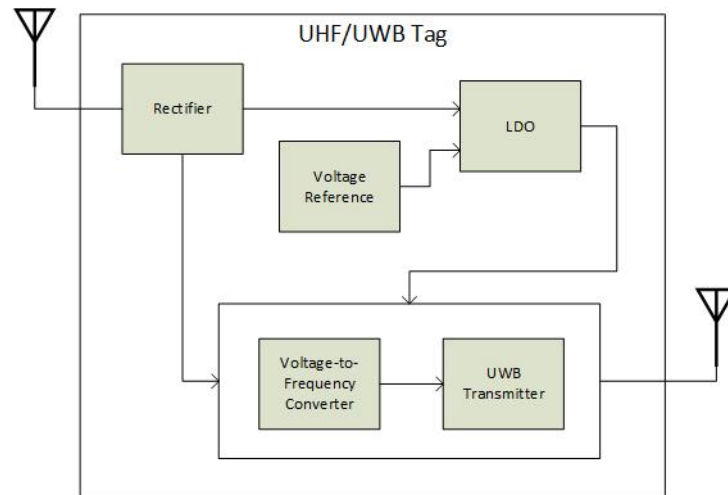


Figura 2 – Visão do *Top Module* da *Tag RFID* desenvolvida no projeto.  
Fonte:(LINHARES, 2021)

- **Sessão I Introdução:** Explicação das razões do projeto e contextualização
- **Sessão II Metodologia:** apresentação das metodologias aplicadas no projeto
- **Sessão III Conversor Tensão frequência:** exibição das topologias e explicação dos circuitos e blocos que compõe o conversor e como eles são relacionados.
- **Sessão IV Simulações:** Simulações dos circuitos feitas com a ferramenta de desenvolvimento Cadence Virtuoso
- **Sessão V Layout:** Criação do Layout dos circuitos que compõe os blocos do sistema.



## 2 Metodologia

Na aplicação do método científico deve-se explicitar por quais meios, métodos e ferramentas foram usadas para os testes e provas da pesquisa que o projeto está direcionado. Com isso o pesquisador reúne informações que podem ou não corroborar com a sua tese inicial. O principal método do projeto foi o *Top Down*, onde os subsistemas que formam o projeto foram divididos entre os integrantes da equipe.

### 2.1 Metodologia Top Down

*Top Down* significa "de cima para baixo" e é uma maneira de organizar um projeto dividindo a lógica ou blocos funcionais dele em partes menores e com funções mais específicas que, quando unidos, formam o projeto completo. Resumindo é um método que visa a arquitetura da gestão que começa por uma abordagem geral e desce até níveis específicos. (REIS, 2019)

Na equipe, os blocos foram divididos entre os membros para o desenvolvimento como exibido na Fig. 3. Na Fig. 2 observa-se o topo da montagem com a relação entre os blocos, que serão 5: o retificador, o tensão de referência, o LDO, o conversor tensão frequência e o transmissor UWB.

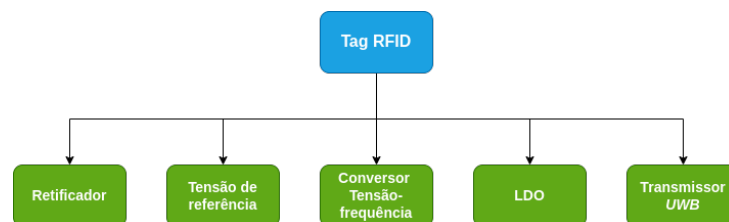


Figura 3 – Diagrama de blocos dos módulos Top-Down em desenvolvimento

### 2.2 Simulações Cadence Virtuoso

A ferramenta usada na confecção e simulação dos circuitos foi o Cadence Virtuoso com a licença disponibilizada à UnB para uso dos alunos e professores para projetos de CIs. Ela foi usada desde o início das simulações não tendo outra IDE ou programa alternativo para simulação de circuitos anterior ou posterior à escolha dela.

Sua escolha tem como principal razão o uso da tecnologia *UMC 018μ* para a fabricação de CIs, que foi a base para o projeto e criação da *TAG*.



## 3 Conversor Tensão frequência

### 3.1 Introdução

"Conversores tensão-frequência(VFC) são osciladores de primeira ordem cuja a entrada é uma tensão analógica  $V_{in}$  e tem como saída um sinal em frequência  $f_0$  linearmente proporcional à tensão de entrada, portanto:

$$f_0 = kV_{in} \quad (3.1)$$

Eles geralmente são denominados conversores quase digitais devido à sua saída analógica traduzida em frequência.

Os VFCs geralmente são confundidos com osciladores controlados por tensão (VCOs), mas observe que os VFCs têm especificações de desempenho diferentes e mais rigorosas: os requisitos típicos são precisão de fator de alta escala e estabilidade com temperatura e tensão de alimentação, ampla faixa dinâmica e baixo erro de linearidade." (MURILLO BELÉN CALVO LOPEZ, 2013)

Há muitas abordagens para um VFC, na literatura a maioria se baseia no mesmo princípio de operação, que é a integração alternada da tensão de entrada que gera pulsos quando a tensão de saída se iguala à uma tensão de referência. Os VFCs têm duas configurações principais, o multivibrador e o equilíbrio de carga. Suas diferenças podem ser vistas na atuação do circuito de controle: no multivibrador o circuito de controle impõe as tensões limite, ajustando a oscilação de tensão no capacitor, enquanto no equilíbrio de carga, o circuito de controle fixa a duração da fase de carga ou descarga.

O multivibrador é, geralmente, um conversor Corrente-Frequência(IFC) precedido por um conversor Tensão-Corrente(VIC). Seu princípio de funcionamento e aplicação são bem simples e precisa de pouca potência, mas são menos precisos que o equilíbrio de carga. O equilíbrio de carga pode ser síncrono ou assíncrono, ele é mais preciso que o multivibrador. Entretanto precisa de mais potência e o seu sinal de saída são trens de pulsos, diferente do multivibrador que é uma onda quadrada. A escolha para o projeto da TAG foi da abordagem do VFC multivibrador pela pouca potência necessária.

O diagrama na Fig. 4 descreve o funcionamento do VFC projetado. Nele, uma tensão de entrada  $V_{in}$  é aplicada num conversor tensão corrente, essa corrente é espelhada no circuito integrador bidirecional que manda o sinal de tensão para um circuito de controle que, realimenta o integrador com os comandos de carga e descarga do capacitor no integrador.

Na Fig. 5 há um exemplo implementado do modelo de VFC multivibrador funcio-

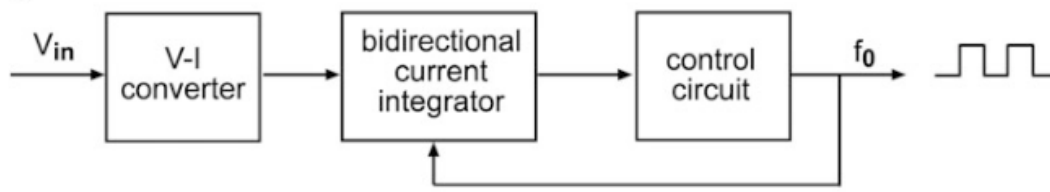


Figura 4 – Diagrama de blocos VFC Multivibrador Fonte:(MURILLO BELÉN CALVO LOPEZ, 2013)

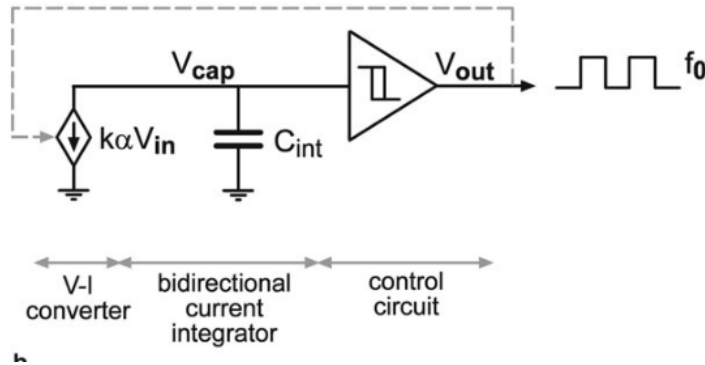


Figura 5 – Esquemático VFC Multivibrador Fonte:(MURILLO BELÉN CALVO LOPEZ, 2013)

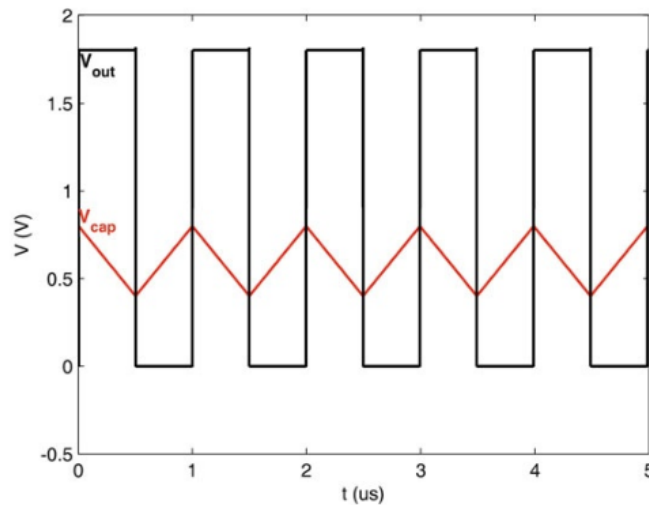


Figura 6 – Formas de onda do Capacitor e Saída do VFC Multivibrador Fonte:(MURILLO BELÉN CALVO LOPEZ, 2013)

nal. Nele uma fonte de corrente controlada pela tensão de entrada  $V_{in}$  gera uma corrente que é integrada num capacitor aterrado cuja as tensões variam entre duas referências, a tensão menor  $V_L$  e a maior  $V_H$ . Ao observar a tensão no capacitor o circuito de controle atua no sentido de carga e descarga e também envia o sinal digital de saída com a frequência correspondente à tensão de entrada. A frequência de saída é obtida na onda exibida na Fig. 6 onde o sinal digital acompanha as retas de subida e descida na tensão do capacitor do integrador. A sua expressão é dada na Eq. 3.1.

## 3.2 Conversor Tensão corrente

O conversor tensão corrente(VIC) é um bloco base para muitos designs de sinais analógicos e mistos como em multiplicadores, conversores de dados, amplificadores de ganho variável.O VIC é o estágio de entrada do VFC, a maior parte da performance depende desse bloco. Isso leva à necessidade de uma transcondutância( $gm$ ) independente de temperatura, tempo e tensão com variação linear e largura de banda apropriada.(MURILLO BELÉN CALVO LOPEZ, 2013).

A ideia descrita nos artigos (A., 2020) e (LINHARES, 2021) em que o trabalho se baseia é que para a análise dos sinais vitais a tensão gerada pelos batimentos cardíacos é retificada e então é usada como a tensão de entrada  $V_{in}$  do VFC.

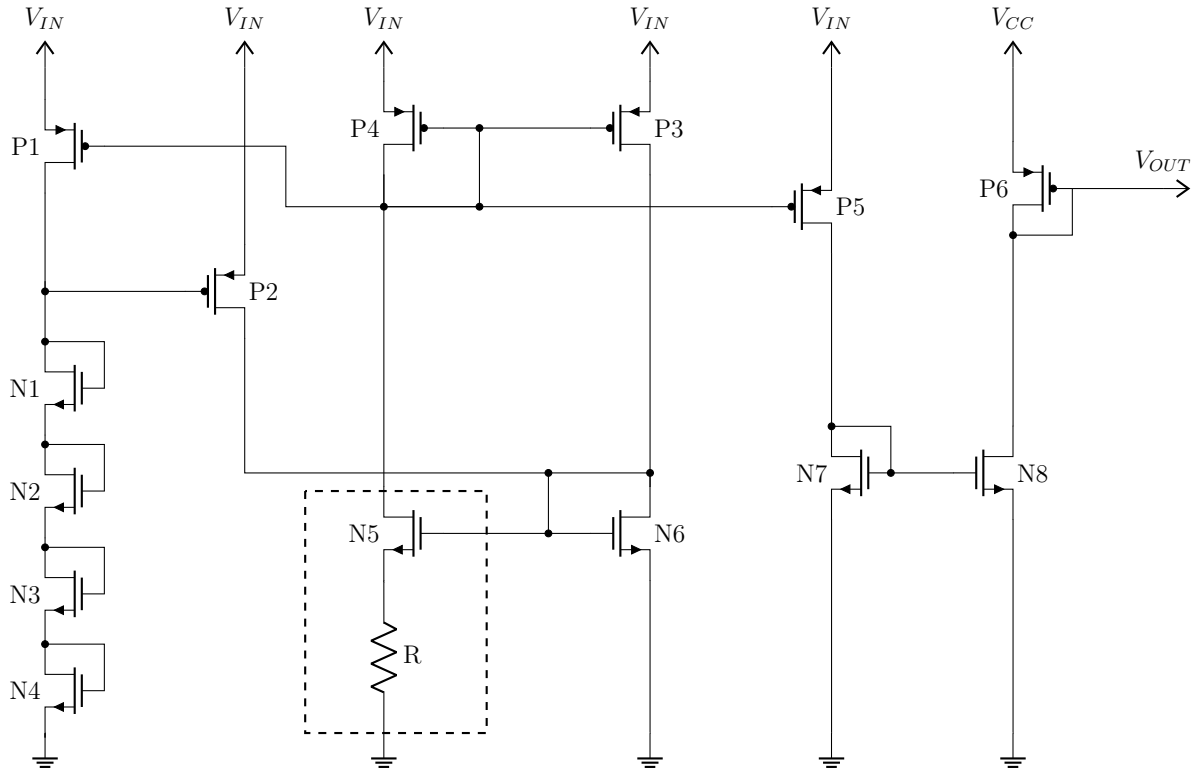


Figura 7 – Esquemático circuito conversor tensão corrente. Fonte:(A., 2020)

A topologia do circuito VIC desse projeto está exibida na Fig. 7. Observa-se no esquemático uma variação de uma bootstrapped auto-bias current source, ou seja, fonte de corrente auto enviesada. Nesse modelo a corrente, limitada pelo resistor, é espelhada de forma mútua entre os espelhos dos PMOS  $P_3$  e  $P_4$  e NMOS  $N_5$  e  $N_6$ . A relação à esquerda, composta pelo divisor de tensão com  $P_1$ ,  $P_2$ ,  $N_1$  até  $N_4$ , funciona como um soft-start que regula a corrente de acordo com a variação da tensão  $V_{in}$  de forma proporcional às tensões do  $P_2$ . Essas razões de proporção estão expressas na eq. 3.2.

$$V_{in} \propto V_{GS,P2} \propto V_{GS,N6} = V_{GS,N5} \Rightarrow V_{in} \propto V_{GS,N5} \approx \frac{1}{R} \quad (3.2)$$

| Nome do componente        | Dimensões (W/L)[ $\mu$ m] |
|---------------------------|---------------------------|
| $P_1, N_1, N_2, N_3, N_4$ | 1/5                       |
| $P_2$                     | 0.24/0.18                 |
| $P_3, P_4, P_5$           | 0.24/21.82                |
| $N_5, N_6$                | 15/45                     |
| $N_7, N_8$                | 0.24/20                   |
| $P_6$                     | 100/2                     |
| $R$                       | 200 $\Omega$              |

Tabela 1 – Dimensões dos transistores e resistor do VIC

À direita da fonte há um espelho, composto por  $N_7$  e  $N_8$ , que direciona uma corrente que será espelhada novamente para uma relação,  $P_6$  e  $N_8$ , cuja a tensão de alimentação não é mais a  $V_{in}$ , que é traduzida em corrente, mas sim a tensão  $V_{DD}$  padrão de alimentação do resto do circuito. Essa tensão de saída é a tensão de Bias usada nos espelhos para o circuito integrador usado para criar o sinal de frequência.

Considerações devem ser feitas sobre esse circuito. O primeiro é sobre a faixa de corrente que ele vai abranger, que exerce influência direta nas frequências de saída. Além disso quanto maior essa faixa maior será a potência consumida. A potência máxima exigida no projeto pode afetar o desenvolvimento do projeto para se ajustar ao consumo total essas faixas podem ser revistas.

O controle dessa faixa é feito com o dimensionamento dos transistores e depois do resistor. Sua linearidade é controlada com a relação W/L que deve ser pequena para evitar efeitos de canal curto. Entretanto isso afeta no ganho e na transcondutância tornando a faixa menor. O controle da transcondutância também é influenciado pelo resistor, que de acordo com o seu tamanho ele aumenta ou reduz a faixa de corrente. Portanto deve-se procurar um equilíbrio comum entre essas parâmetros para que um não se sobressaia e afete demais o outro.

### 3.3 Integrador

O integrador bidirecional é um circuito de carga/descarga com um capacitor  $C$  temporizado e uma fonte de corrente constante que carrega o capacitor e um dissipador constante que o descarrega. O controle da carga e descarga do capacitor é feito com um circuito que observa a tensão no capacitor e a compara com tensões de referência limites, alto( $V_H$ ) e baixo( $V_L$ ), e dá a ordem de carga ou descarga. O acionamento é feito com a ativação alternada das chaves que selecionam a carga ou descarga. O modelo explicativo em blocos está na Fig. 8.

Na Fig. 9 está o circuito proposto. Para destrinchar o seu funcionamento ignore momentaneamente os transistores  $P_2$  e  $P_3$ . O transistor  $P_1$  espelha a corrente do circuito



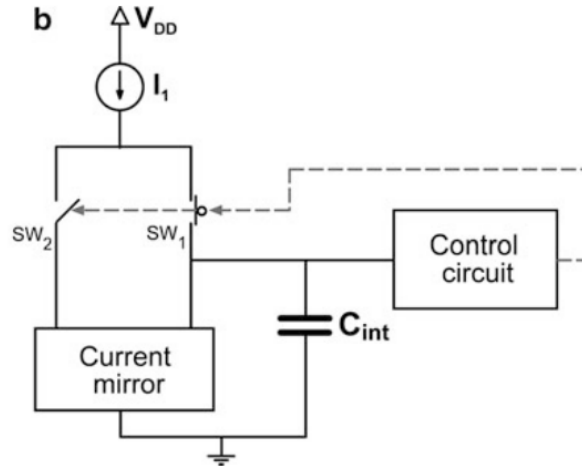


Figura 8 – Integrador de corrente bidirecional com fonte e espelho de corrente.  
Fonte: (MURILLO BELÉN CALVO LOPEZ, 2013)

VIC apresentado anteriormente e atua como uma fonte de corrente para o integrador. Inicialmente o capacitor está descarregado, com isso o sistema de controle faz o integrador ligar o  $P_5$  e a corrente é direcionada no capacitor carregando-o. A tensão no capacitor então aumenta com a injeção de corrente nele seguindo a expressão da eq. 3.3. Sendo  $V_0$  a tensão inicial ou anterior à mudança de estado do capacitor.

$$V_{cap}(t) = V_0 + \frac{I \cdot t}{C_1} \quad (3.3)$$

Após a tensão  $V_{cap}$  atingir o valor de  $V_H$  ele troca os estados das chaves deligando  $P_5$  e acionando  $P_4$ . Assim a corrente agora é direcionada para o lado esquerdo que espelha a corrente nos transistores  $N_2$  e  $N_4$  descarregando o capacitor até atingir  $V_L$  e o sistema de controle alternar as chaves de novo.

A frequência do processo da carga e descarga é obtido com a expressão da eq. 3.4, que já é a expressão da frequência final observada no VFC, apesar da tensão do capacitor  $V_{cap}$  não ser o sinal de saída do VFC.

$$f = \frac{I}{C \cdot (V_H - V_L)} \quad (3.4)$$

Os transistores  $N_1$  e  $N_2$  estão ativados com uma tensão de bias o suficiente para ligá-los. Os  $P_2$  e  $P_3$  são acionados para atingir novas faixas de frequência. A ideia é de que ao acionar cada um dos transistores que espelha a corrente do VIC a faixa mude entre as opções: 100Hz-1kHz, 1kHz-10kHz e 10kHz-100kHz. Onde as correntes de  $P_2$  e  $P_3$  são somadas para alterar as frequências no integrador.

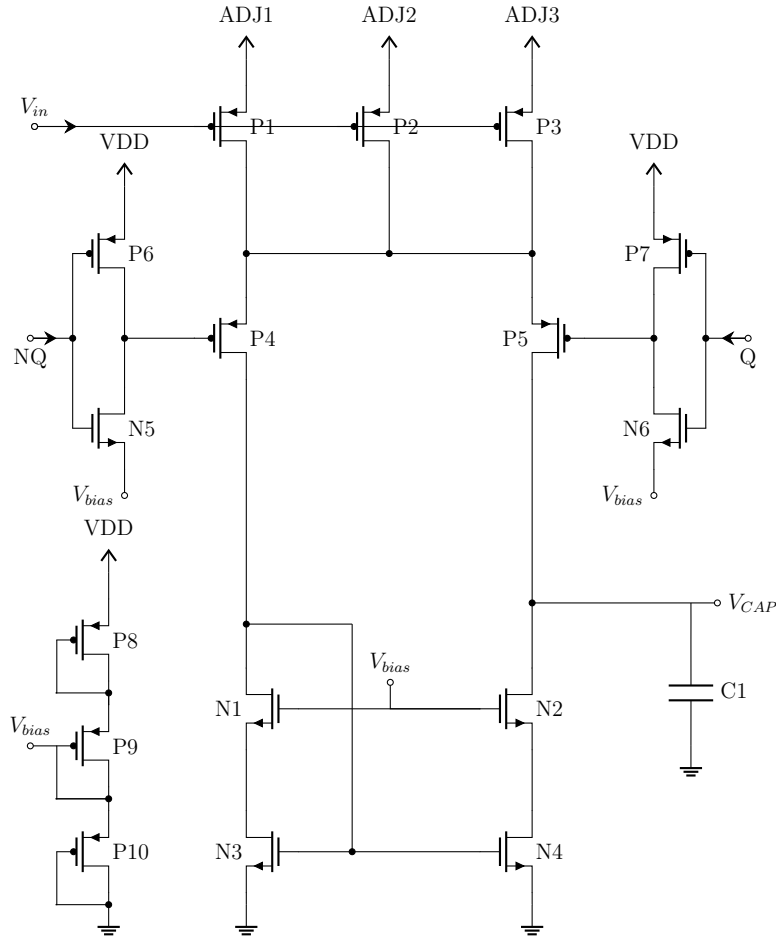


Figura 9 – Esquemático do Integrador de Corrente Bidirecional Fonte:([LINHARES, 2021](#))

| Nome do componente             | Dimensões (W/L)[ $\mu$ m] |
|--------------------------------|---------------------------|
| $P_6, P_7, N_5, N_6$           | 0.24/0.18                 |
| $P_4, P_5, N_1, N_2, N_3, N_4$ | 1/15                      |
| $P_8, P_9, P_{10}$             | 0.3/0.18                  |
| $P_1$                          | 0.73/2                    |
| $P_2$                          | 6.5/2                     |
| $P_3$                          | 73/2                      |
| $C$                            | 7pF                       |

Tabela 2 – Dimensões dos transistores e capacitor do Integrador bidirecional

### 3.4 Circuito de Controle

O circuito de controle usado é baseado na topologia da Fig. 10a, onde são usados dois AmpOps como comparadores da tensão  $V_{cap}$  com os limiares  $V_H$  e  $V_L$  e os seus sinais são usados na entrada de um latch SR. O latch recebe a saída da relação de AmpOps e, com os sinais  $Q$  e  $NQ$  realimenta esses sinais no circuito integrador. A saída final do VFC é o sinal  $Q$  do circuito de controle.

Em simulação o bloco do circuito foi feito como apresentado na Fig. 11, onde as tensões  $V_H$  e  $V_L$  são obtidas com os divisores de tensão dos transistores conectados em

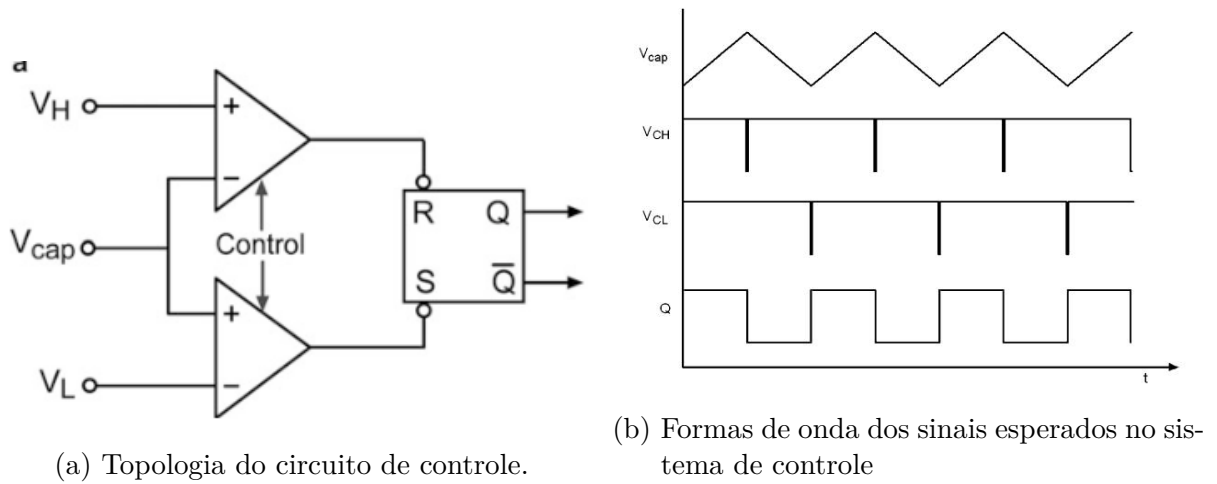


Figura 10 – Fonte: (MURILLO BELÉN CALVO LOPEZ, 2013)

diodo. No circuito dessa figura já está implementado ambos os AmpOps e o espelho de corrente usado para polarizá-los.

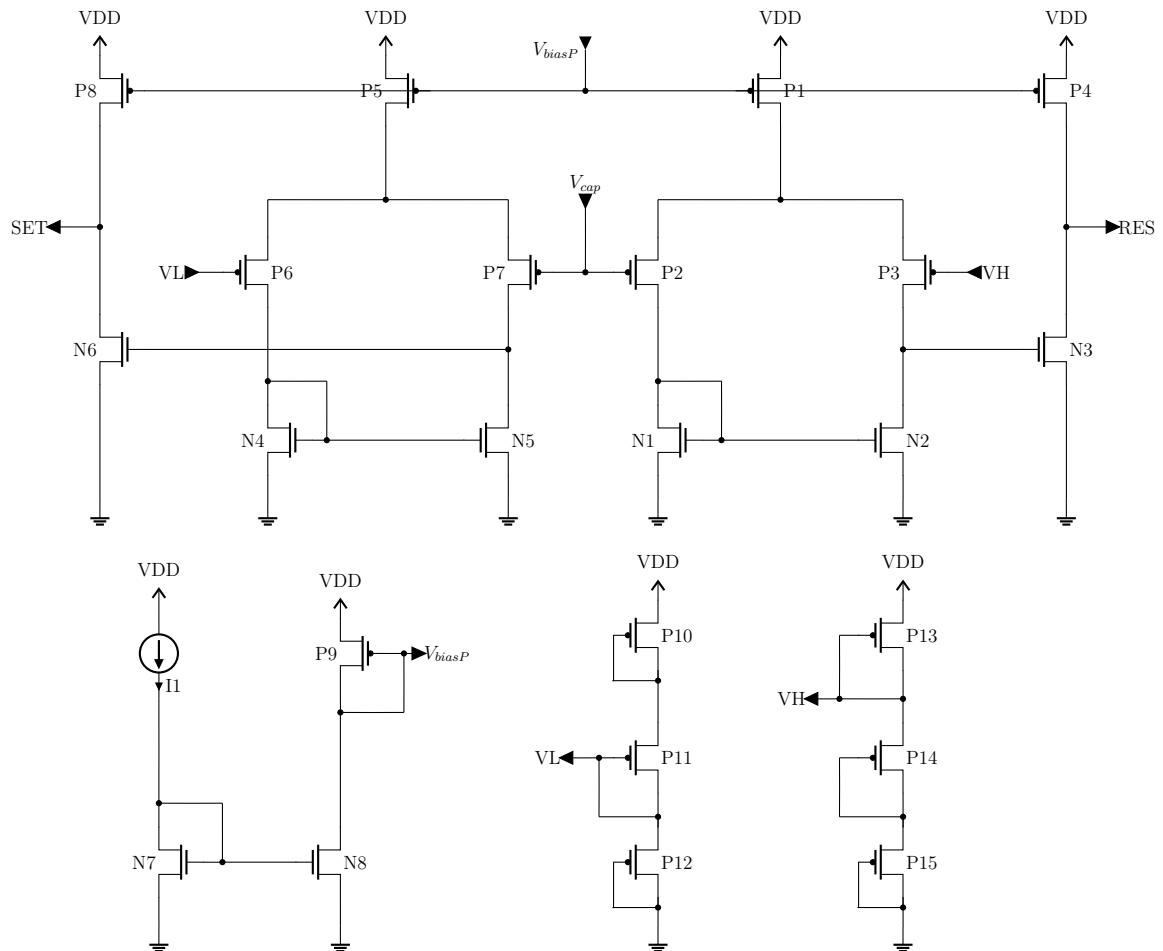


Figura 11 – Esquemático do circuito de controle feito com transistores e acompanhado do espelho de corrente e dos divisores de tensão para as tensões de Bias  $V_H$  e  $V_L$  Fonte: (A., 2020)

| Nome do componente                                 | Dimensões (W/L)[ $\mu$ m] |
|--|---------------------------|
| $P_1, P_4, P_5, P_8, P_9$                          | 0.4/0.2                   |
| $P_2, P_3, P_6, P_7, N_1, N_2, N_3, N_4, N_5, N_6$ | 0.24/0.18                 |
| $N_7$  | 10/1                      |
| $N_8$  | 1/1                       |
| $P_13$   | 1/2                       |
| $P_{10}, P_{11}, P_{12}, P_{14}, P_{15}$           | 1/5                       |

Tabela 3 – Dimensões dos transistores para o circuito de controle da Fig11

### 3.4.1 Latch SR

O Latch SR pode ser descrito como um circuito digital primitivo de memória. Com ele é possível manusear estados e por tabela armazenar informação. Há dois tipos de Latch SR, o que se baseia em portas lógicas NOR e NAND. O comportamento lógico desse circuito está descrito nas tabelas verdade das figuras 12a e 12b. Em resumo o do tipo NAND foi usado no projeto por conta do seu estado ser alterado para as condições desejadas no controlador com a queda nos sinais de SET( $S$ ) e RESET( $R$ ). Há abordagens que usa o Latch de tipo NOR, mas com inversores na entrada, isso é observado na Fig. 10a por exemplo. O circuito do Latch SR montado a partir dos transistores MOS se encontra na Fig. 13.

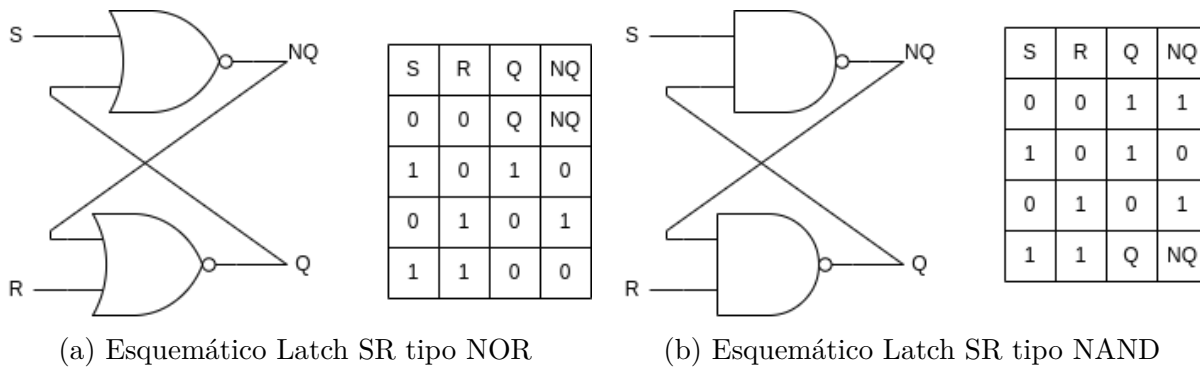


Figura 12 – Fonte:(BAKER, 2010)

| Nome do componente   | Dimensões (W/L)[ $\mu$ m] |
|----------------------|---------------------------|
| $P_1, P_2, P_3, P_4$ | 2.65/0.18                 |
| $N_1, N_2, N_3, N_4$ | 0.24/0.18                 |

Tabela 4 – Dimensões dos transistores do Latch SR NAND

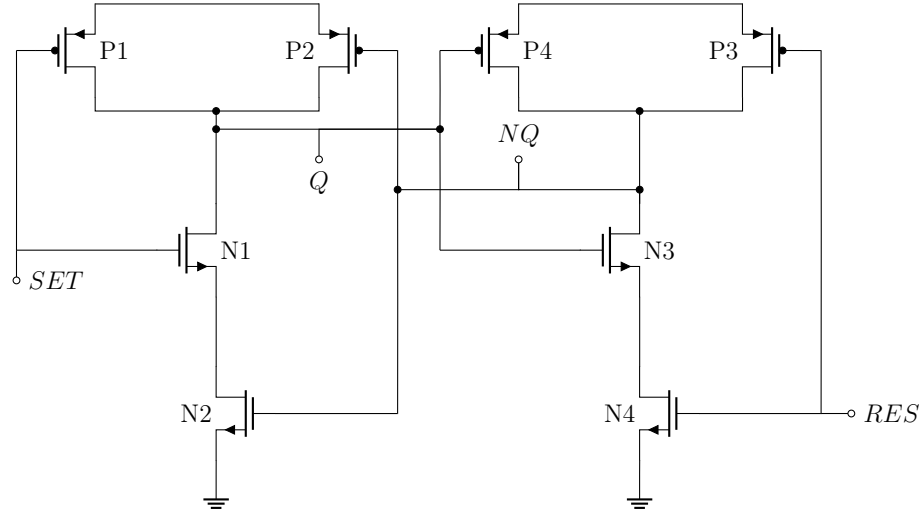


Figura 13 – Topologia Latch SR do tipo NAND Fonte:(BAKER, 2010)

### 3.4.2 Amplificador operacional

Os comparadores do circuito de controle são AmpOps. Para cada AmpOp foi usado a topologia de 2 estágios com conexão diodo, como observado na Fig.15. A tensão de Bias,  $V_{biasP}$ , para polarização dos transistores  $P_1$  e  $P_4$  é feita com o espelho de corrente usando a fonte de tensão do projeto Cedro.

O ganho dessa topologia de AmpOp pode ser expresso pela eq. 3.5 que quantifica a contribuição de ambos estágios no ganho final.

$$A_V = g_{mP2} \cdot (r_{oP3} \parallel r_{oN1}) \cdot g_{mP4} (r_{oP4} \parallel r_{oN3}) \quad (3.5)$$

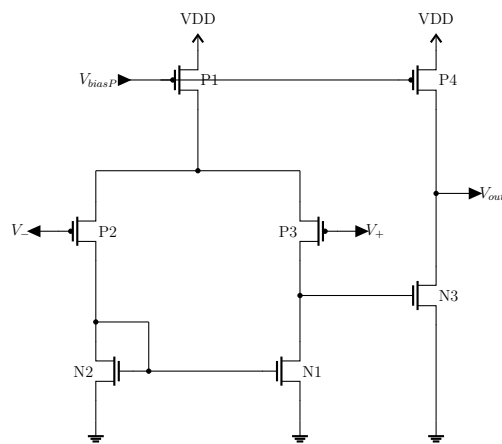


Figura 14 – AmpOp Fonte:(RAZAVI, 2017)



## 4 Simulação e Resultados

## 4.1 Conversor tensão corrente

A relação entre a tensão  $V_{in}$  e a corrente de saída do VIC está na Fig. 16. Observa-se no gráfico que os limites da faixa de correntes mínimas e máximas são:

- 1,2V — 68,2nA
- 2,5V — 703,7nA

As correntes espelhadas no integrador seguem o comportamento desse conversor, portanto a linearidade de ambos são iguais. Por conta disso um VIC mal feito acarretaria erros acumulados, como pouca linearidade, faixa de frequência e consumo de potência, que dificultariam o funcionamento esperado dos outros circuitos.

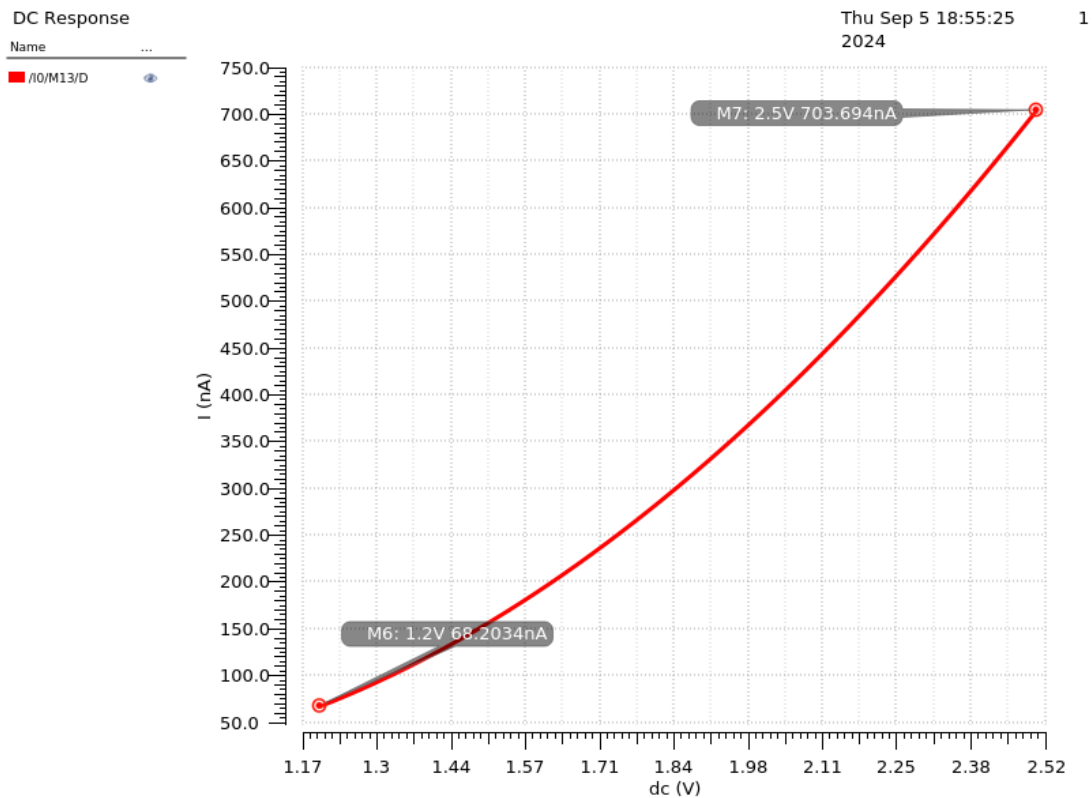


Figura 16 – Simulação da corrente de referência espelhada na Saída do VIC

## 4.2 Latch SR

Na Fig. 17 está a simulação do Latch SR, que foi implementado no circuito de controle. Nela foi testado o comportamento dele para comparar com a sua tabela lógica da Fig. 12b. Em vermelho está o sinal de  $R$ , em verde  $S$ , roza  $q$  e em ciano  $nq$ .



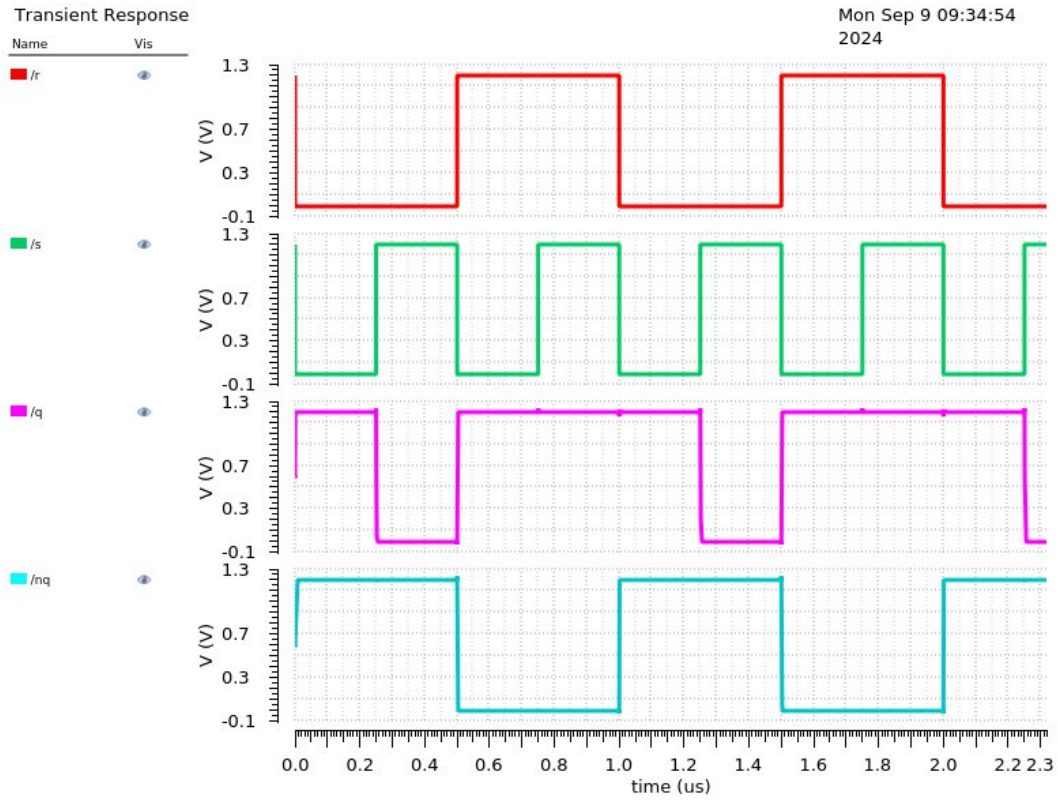


Figura 17 – Simulação do Latch SR no Cadence

### 4.3 Amplificador operacional

O AmpOp usado para a elaboração do circuito de controle foi simulado de forma isolada para análise de desempenho. Na Fig. 18 estão exibidos em azul o ganho em decibéis e a fase em vermelho, ambos analisados com o variar da frequência.

### 4.4 Circuito de Controle

Na Fig. 19 está os sinais observados no circuito de controle. Nota-se o acionamento dos sinais  $Q$  (verde), e  $NQ$  (vermelho), no Latch com a queda abrupta nos AmpOps nos sinais  $R$  (rosa), e  $S$  (laranja). O sinal de resposta do comparador do sistema de controle, ao perceber que  $V_{cap}$  (azul), atingiu  $V_H$ , cai e aciona no Latch a rotina de descarga do capacitor. Inversamente ao perceber que  $V_{cap}$  ficou menor que  $V_L$  o sinal  $S$  cai e o Latch aciona a rotina de carga.

A tensão  $V_{cap}$  é observada na onda triangular em azul e a onda quadrada é o sinal em frequência do VFC e saída  $Q$  do Latch. Vale salientar que na Fig. 19d há marcações nos pontos máximos e mínimos do sinal do capacitor. Isso porque ao aumentar a frequência do sinal a resposta dos AmpOps do circuito de controle fica mais lenta, então os limites da tensão  $V_{cap}$  se alargam, abrangendo uma faixa de tensão maior. A variação varia dependendo se o limite é superior ou inferior, mas nessa frequência máxima a média do

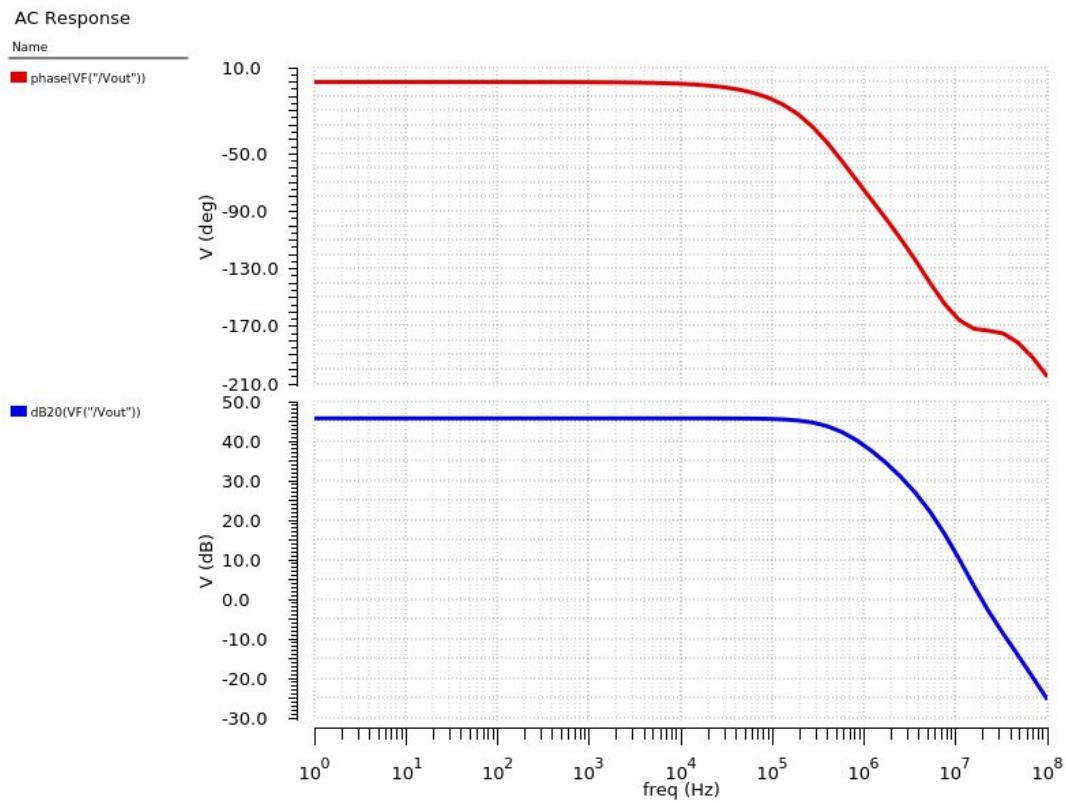


Figura 18 – Simulação no Cadence do modelo de AmpOp usado no circuito de controle

desvio é cerca de  $21mV$ .

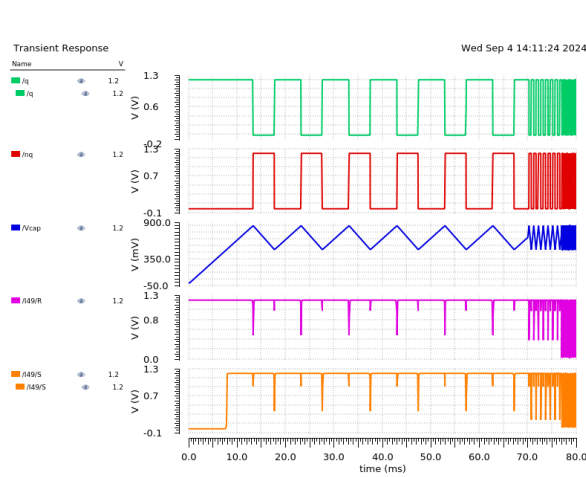
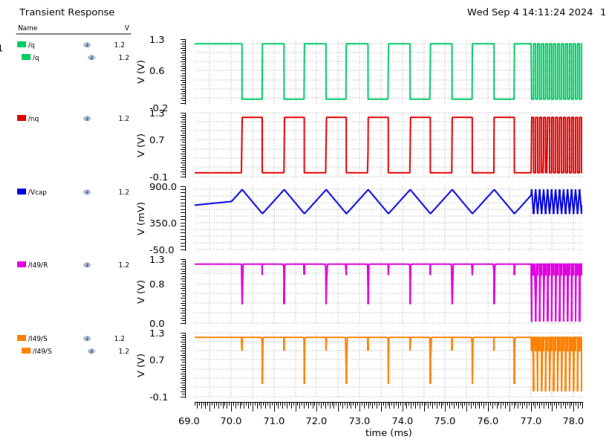
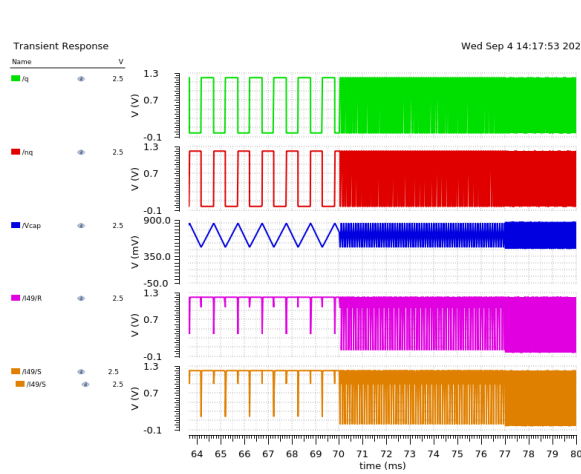
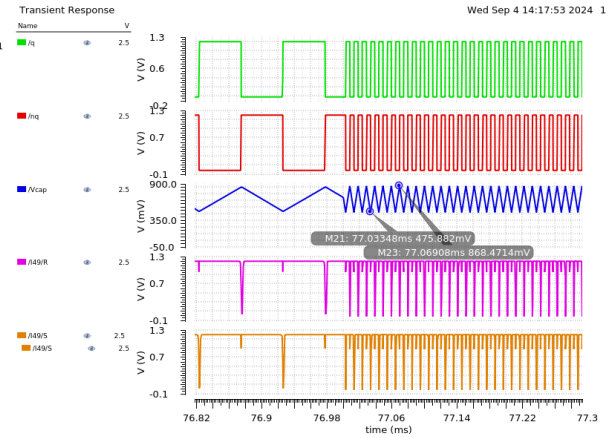
(a) Gráfico da simulação com  $V_{in} = 1, 2V$ (b) Gráfico da simulação com  $V_{in} = 1, 2V$  com zoom nos sinais de maior frequência(c) Gráfico da simulação com  $V_{in} = 2, 5V$ (d) Gráfico da simulação com  $V_{in} = 2, 5V$  com zoom nos sinais de maior frequência

Figura 19 – Sinais observados no Circuito de Controle



## 5 Considerações Finais

### 5.1 Conclusões

Nesse trabalho foram destrinchados os circuitos, topologias e sub-sistemas para a projeção de um conversor tensão frequência além de simulações na ferramenta Cadence.

Nas simulações os resultados obtidos se aproximaram das expectativas em ambas as três faixas de frequência. Em geral a frequência do VFC varia na faixa de 101,6Hz até 93,57kHz e a potência máxima obtida foi de  $10,03\mu W$ .

Os blocos que compõem o circuito foram explicados em detalhes no texto e referenciados. Em geral os objetivos de baixo consumo e da faixa de frequência atingida foram satisfatórios. Entretanto há pontos que podem ser lapidados em trabalhos futuros afim de deixar o circuito mais robusto e resistente.

### 5.2 Trabalhos futuros

Para trabalhos futuros as principais possibilidades de melhora que percebo para o projeto são os seguintes:

- Compactar AmpOps em um bloco
- Vacinar o VIC contra a variação de temperatura

Incluindo as melhorias em trabalhos futuros poderia listá-los da seguinte forma:

1. **Compactar AmpOps em um bloco:** Ao fazer o símbolo do AmpOp e usá-lo em simulação ele considera cada um com a sua própria relação de transistores conectados em diodo. Então para não duplicar os divisores de tensão usados para tensões de bias eles podem ser feitos num esquemático só compartilhando a mesma relação de transistores. Assim a área usada no projeto de Layout será reduzida.
2. **Vacinar o VIC contra a variação de temperatura:** Toda a relação do VFC é influenciada pela natureza dos transistores que mudam o seu comportamento com a variação de temperatura. O circuito crucial para a conversão final em frequência é o VIC que alarga e eleva as faixas de frequência de saída com o aumentar da temperatura.
3. **Realizar a análise de Corners:** Considerando ou não essas mudanças, a análise de cornes aponta o quão suscetível a erros o circuito está com base na variação dos

parâmetros que os componentes do circuito apresenta. Com essa análise é possível ver o comportamento do VFC em situações de piores cenários.

4. **Fazer Layout:** Projetar o layout do circuito para ser implementado na *TAG*.

Para a realização desses trabalhos é preciso conversar com o professor orientador do projeto sobre os prazos para planejar um cronograma definitivo. Além de que as melhorias não são cruciais para o funcionamento do projeto, elas iram melhorar a sua performance. Já a análise de corners e Layout são essenciais e não devem ser dispensadas. Com isso em mente exibi na tabela 5 uma sugestão de cronograma com um intervalo de tempo de uma semana para eu tentar implementar as melhorias sugeridas e o tempo para a continuação do projeto de layout e análise de corners.

|                          |                         |
|--------------------------|-------------------------|
| Compactar AmpOps         | 08/01/2024 a 15/01/2024 |
| Vacinar o VIC            | 16/01/2024 a 23/01/2024 |
| Fazer análise de Corners | 24/01/2024 a 01/02/2024 |
| Fazer Layout             | 02/02/2024 a 15/03/2024 |

Tabela 5 – Sugestão de cronograma

# Referências

- A., L. H. W. Z. B. A uhf/uwb hybrid rfid tag with a 51-m energy-harvesting sensitivity for remote vital-sign monitoring. 2020. Citado 6 vezes nas páginas 7, 9, 11, 21, 29 e 33.
- BAKER, R. J. *CMOS Circuit Design, Layout, and Simulation*. 3th. ed. USA: IEEE Press Editorial Board, 2010. ISBN 978-0-470-88132-3. Citado 3 vezes nas páginas 11, 34 e 35.
- DIAS, D.; CUNHA, J. P. S. *Wearable Health Devices—Vital Sign Monitoring, Systems and Technologies*. 2018. Disponível em: <<https://www.ncbi.nlm.nih.gov/pmc/articles/PMC6111409/>>. Citado na página 21.
- LINHARES, G. T. B. I. de Andrade Sousa; Vitor Guedes da Silva; Wellington Avelino do A. G. C. Design of a passive uhf rfid tag for vital signs measurement using uwb communication. Brasília, Brazil, 2021. Citado 4 vezes nas páginas 11, 23, 29 e 32.
- MURILLO BELÉN CALVO LOPEZ, S. C. P. C. A. *Voltage-to-Frequency Converters CMOS Design and Implementation*. Acsp · analog circuits and signal processing. New York: Springer, 2013. ISBN 978-1-4614-6236-1. Citado 6 vezes nas páginas 11, 27, 28, 29, 31 e 33.
- RAZAVI, B. *Design of Analog CMOS Integrated Circuits*. 2th. ed. New York: McGraw-Hill Education, 2017. ISBN 978-0-07-252493-2. Citado 2 vezes nas páginas 11 e 35.
- REIS, T. *Top down: o que é e como funciona esse conceito?* 2019. Disponível em: <<https://www.suno.com.br/artigos/top-down/>>. Citado na página 25.