

Universidade de Brasília – UnB
Faculdade UnB Gama – FGA
Engenharia Eletrônica

Projeto de um Conversor Tensão Frequência de uma Tag UHF Passiva para o Monitoramento de Sinais Vitais

Autor: João Vitor Silva do Espírito Santo
Orientador: Sandro Augusto Pavlik Haddad

Brasília, DF
2023



João Vitor Silva do Espírito Santo

Projeto de um Conversor Tensão Frequência de uma Tag UHF Passiva para o Monitoramento de Sinais Vitais

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Universidade de Brasília – UnB

Faculdade UnB Gama – FGA

Orientador: Sandro Augusto Pavlik Haddad

Brasília, DF

2023

João Vitor Silva do Espírito Santo

Projeto de um Conversor Tensão Frequência de uma Tag UHF Passiva para o Monitoramento de Sinais Vitais/ João Vitor Silva do Espírito Santo. – Brasília, DF, 2023-

41 p. : il. (algumas color.) ; 30 cm.

Orientador: Sandro Augusto Pavlik Haddad

Trabalho de Conclusão de Curso – Universidade de Brasília – UnB
Faculdade UnB Gama – FGA , 2023.

1. Palavra-chave01. 2. Palavra-chave02. I. Sandro Augusto Pavlik Haddad. II. Universidade de Brasília. III. Faculdade UnB Gama. IV. Projeto de um Conversor Tensão Frequência de uma Tag UHF Passiva para o Monitoramento de Sinais Vitais

CDU 02:141:005.6

João Vitor Silva do Espirito Santo

Projeto de um Conversor Tensão Frequência de uma Tag UHF Passiva para o Monitoramento de Sinais Vitais

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Trabalho aprovado. Brasília, DF, 01 de junho de 2013 – Data da aprovação do trabalho:

Sandro Augusto Pavlik Haddad
Orientador

Titulação e Nome do Professor
Convidado 01
Convidado 1

Titulação e Nome do Professor
Convidado 02
Convidado 2

Brasília, DF
2023

Agradecimentos

Agradeço a Deus e a meus pais por me apoiarem ao ingressar nos estudos da faculdade e por prestarem auxílio durante todo o tempo que me dediquei ao curso. Sou grato a meus colegas de curso que me ajudaram nos estudos e atividades da faculdade que, mesmo alguns seguindo outros caminhos em engenharias diferentes, participaram de rodas de estudo trocas de ideias e contribuíram na execução de projetos pessoais. Também agradeço aos professores por estarem disponíveis para sanar dúvidas e pela orientação fornecida, não apenas nesse mas em outros trabalhos anteriores no curso.

Resumo

Este trabalho visa apresentar uma abordagem de um conversor tensão frequência que será usado numa tag de rádio frequência (*Radio Frequency Identification*(RFID)) de monitoramento de sinais vitais vestível e alimentada passivamente. Usando diferentes bandas de radio frequência *ultrahigh frequency* (UHF), *ultrawideband* (UWB) os sinais vitais de pacientes podem ser captados e transmitidos com um sistema *wireless*. As bandas de frequência UHF alimentam o circuito integrado (CI) e a transmissão é feita pela UWB que, com a variação da fonte de alimentação capta e transmite os sinais vitais. Conforme o artigo base(A., 2020) um CI desse tipo pode ser alimentado com distâncias de até 51 metros (m) e transmitir as informações até 2 metros do receptor, além de ser um CI *Ultra Low Power* consumindo uma potência próxima de $1\mu\text{W}$ (Watt). Por conta da complexidade do projeto, das pesquisas necessárias e a quantidade de trabalho para a implementação desse CI, a atividade foi dividida em uma equipe de alunos projetistas e um professor que orientou e participou na finalização do projeto. Este documento se trata apenas de uma parte do CI, que é o conversor tensão frequência. Nele será apresentado os componentes e sub circuitos que compõem o sistema para a conversor bem como as pesquisas que levaram à elaboração desse sistema. Os resultados obtidos com as simulações serão analisados e interpretados.

Palavras-chave: Conversor tensão frequência, baixo consumo, monitoramento de sinais vitais.

Abstract

This is the english abstract.

Key-words: latex. abntex. text editoration.

Lista de ilustrações

Figura 1 – Ilustração da TAG RFID proposta para monitoramento remoto de sinais vitais. Fonte:(A., 2020)	21
Figura 2 – Diagrama de blocos dos módulos Top-Down em desenvolvimento	23
Figura 3 – Visão do <i>Top Module</i> da <i>Tag RFID</i> desenvolvida no projeto. Fonte:(LINHARES, 2021)	24
Figura 4 – Diagrama de blocos VFC Multivibrador Fonte:(MURILLO BELÉN CALVO LOPEZ, 2013)	26
Figura 5 – Esquemático VFC Multivibrador Fonte:(MURILLO BELÉN CALVO LOPEZ, 2013)	26
Figura 6 – Formas de onda do Capacitor e Saída do VFC Multivibrador Fonte:(MURILLO BELÉN CALVO LOPEZ, 2013)	26
Figura 7 – Esquemático circuito conversor tensão corrente. Fonte:(A., 2020)	27
Figura 8 – Integrador de corrente bidirecional com fonte e espelho de corrente. Fonte:(MURILLO BELÉN CALVO LOPEZ, 2013)	29
Figura 9 – Esquemático do Integrador de Corrente Bidirecional Fonte:(LINHARES, 2021)	30
Figura 10 – Fonte:(MURILLO BELÉN CALVO LOPEZ, 2013)	31
Figura 11 – Esquemático dos componentes do Circuito de controle acompanhados dos divisores de tensão para as tensões de Bias V_H e V_L Fonte:(A., 2020)	31
Figura 12 – Fonte:(BAKER, 2010)	32
Figura 13 – Topologia Latch SR do tipo NAND Fonte:(BAKER, 2010)	32
Figura 14 – Fonte:(RAZAVI, 2017)	33
Figura 15 – Esquemático de topo com integração de todos os sub-circuitos do projeto	35
Figura 16 – Simulação da corrente de referência espelhada na Saída do VIC	36
Figura 17 – Sinais observados no Circuito de Controle	37

Lista de tabelas

Tabela 1	–	Dimensões dos transistores e resistor do VIC	28
Tabela 2	–	Dimensões dos transistores e capacitor do Integrador bidirecional . . .	30
Tabela 3	–	Dimensões dos transistores dos divisores de tensão para as tensões de Bias V_H e V_L	31
Tabela 4	–	Dimensões dos transistores do Latch SR NAND	33
Tabela 5	–	Dimensões dos transistores do AmpOp de 2 estágios cascode	34
Tabela 6	–	Sugestão de cronograma	40

Lista de abreviaturas e siglas

Fig.	Figura
ULP	<i>Ultra Low Power</i>
CI	Circuito integrado
AmpOp	Amplificador Operacional
UnB	Universidade de Brasília

Lista de símbolos

Γ	Letra grega Gama
Λ	Lambda
ζ	Letra grega minúscula zeta
\in	Pertence
μ	Micro

Sumário

1	INTRODUÇÃO	21
	Introdução	21
1.1	Contextualização	21
1.2	Objetivos	22
1.3	Organização	22
2	METODOLOGIA	23
2.1	Metodologia Top Down	23
2.2	Simulações Cadence Virtuoso	23
3	CONVERSOR	25
3.1	Introdução	25
3.2	Conversor Tensão corrente	27
3.3	Integrador	28
3.4	Circuito de Controle	30
3.4.1	Latch SR	32
3.4.2	Amplificador operacional	33
4	SIMULAÇÃO E RESULTADOS	35
4.1	Conversor tensão corrente	35
4.2	Circuito de Controle	36
5	CONSIDERAÇÕES FINAIS	39
5.1	Conclusões	39
5.2	Trabalhos futuros	39
	REFERÊNCIAS	41

1 Introdução

1.1 Contextualização

A preocupação e cuidados com a saúde sempre foram tópicos relevantes para a humanidade. Com a descoberta da eletricidade e estudo da biologia humana foram desenvolvidas tecnologias que unem ambas para prever, diagnosticar, tratar e monitorar o avanço de doenças.

A evolução dessas tecnologias chegou ao ponto da criação de dispositivos *wearables* (vestíveis). Esses dispositivos são criados de forma a serem usados no corpo do usuário como uma roupa. É uma tecnologia emergente que permite o monitoramento de sinais vitais no dia-a-dia, durante o trabalho, na prática de esporte e etc. (DIAS; CUNHA, 2018)

Esse projeto visa o uso de monitoramento num ambiente hospitalar, onde será feita a captação do estado do paciente de forma mais confortável e constantemente sem precisar de contato físico. Isso é aplicável a pacientes que precisam de monitoramento constante e que estão em tratamento intensivo como UTI ou bebês em incubadoras. (A., 2020)

Dadas as considerações esse projeto propõe o desenvolvimento de uma *tag RFID*, que será usada como sensor *wearable* acompanhando o estado do paciente constantemente o paciente e funcionando de forma remota. Dado que a alimentação e transmissão das informações são feitas de maneira *wireless* por rádio frequência como descrito na Fig. 1

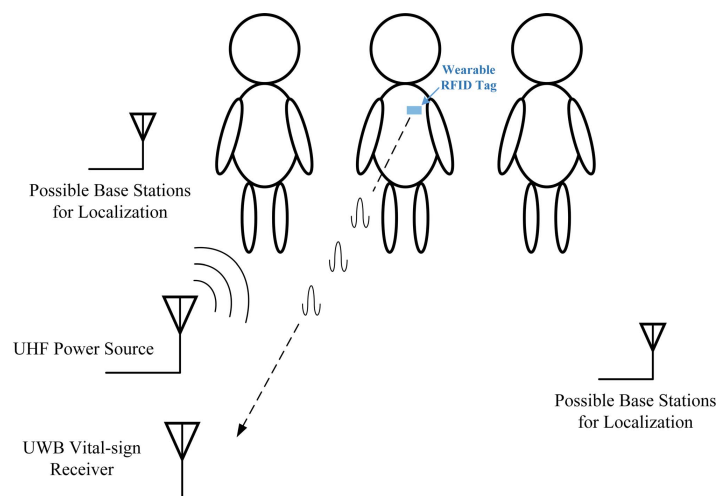


Figura 1 – Ilustração da TAG RFID proposta para monitoramento remoto de sinais vitais.
Fonte: (A., 2020)

1.2 Objetivos

Para a execução do projeto será modelado o circuito de conversão tensão-frequência. Exibindo e explicando o funcionamento dos subsistemas que compõe esse circuito e a lógica aplicada nele começando pelas suas topologias e depois a simulação. Os blocos de subsistemas abordados são: conversor tensão corrente, integrador e sistema de controle.

1.3 Organização

Esse documento é organizado nas seguintes sessões:

- **Sessão I Introdução:** Explicação das razões do projeto e contextualização
- **Sessão II Metodologia:** apresentação das metodologias aplicadas no projeto
- **Sessão III Conversor Tensão frequência:** exibição das topologias e explicação dos circuitos e blocos que compõe o conversor e como eles são relacionados.
- **Sessão IV Simulações:** Simulações dos circuitos feitas com a ferramenta de desenvolvimento Cadence Virtuoso

2 Metodologia

Na aplicação do método científico deve-se explicitar por quais meios, métodos e ferramentas foram usadas para os testes e provas da pesquisa que o projeto está direcionado. Com isso o pesquisador reúne informações que podem ou não corroborar com a sua tese inicial. O principal método do projeto foi o *Top Down*, onde os subsistemas que formam o projeto foram divididos entre os integrantes da equipe.

2.1 Metodologia Top Down

Top Down significa "de cima para baixo" e é uma maneira de organizar um projeto dividindo a lógica ou blocos funcionais dele em partes menores e com funções mais específicas que, quando unidos, formam o projeto completo. Resumindo é um método que visa a arquitetura da gestão que começa por uma abordagem geral e desce até níveis específicos. (REIS, 2019)

Na equipe, os blocos foram divididos entre os membros para o desenvolvimento como exibido na Fig. 2. Na Fig. 3 observa-se o topo da montagem com a relação entre os blocos, que serão 5: o retificador, o tensão de referência, o LDO, o conversor tensão-frequência e o transmissor UWB.

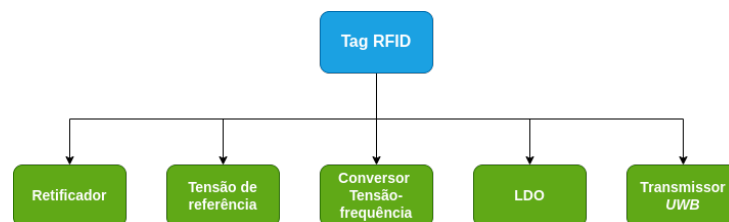


Figura 2 – Diagrama de blocos dos módulos Top-Down em desenvolvimento

2.2 Simulações Cadence Virtuoso

A ferramenta usada na confecção e simulação dos circuitos foi o Cadence Virtuoso com a licença disponibilizada à UnB para uso dos alunos e professores para projetos de CIs. Ela foi usada desde o início das simulações não tendo outra IDE ou programa alternativo para simulação de circuitos anterior ou posterior à escolha dela.

Sua escolha tem como principal razão o uso da tecnologia *UMC 018μ* para a fabricação de CIs, que foi a base para o projeto e criação da *TAG*.

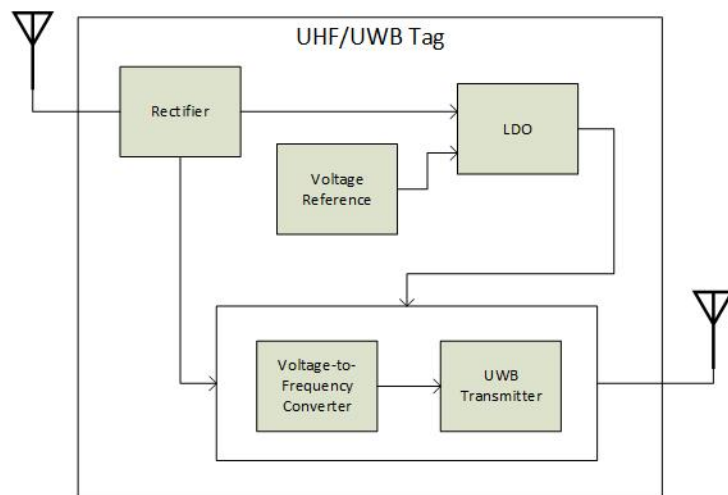


Figura 3 – Visão do *Top Module* da *Tag RFID* desenvolvida no projeto.
Fonte: (LINHARES, 2021)

3 Conversor Tensão frequência

3.1 Introdução

"Conversores tensão-frequência(VFC) são osciladores de primeira ordem cuja a entrada é uma tensão analógica V_{in} e tem como saída um sinal em frequência f_0 linearmente proporcional à tensão de entrada, portanto:

$$f_0 = kV_{in} \quad (3.1)$$

Eles geralmente são denominados conversores quase digitais devido à sua saída analógica traduzida em frequência.

Os VFCs geralmente são confundidos com osciladores controlados por tensão (VCOs), mas observe que os VFCs têm especificações de desempenho diferentes e mais rigorosas: os requisitos típicos são precisão de fator de alta escala e estabilidade com temperatura e tensão de alimentação, ampla faixa dinâmica e baixo erro de linearidade." (MURILLO BELÉN CALVO LOPEZ, 2013)

Há muitas abordagens para um VFC, na literatura a maioria se baseia no mesmo princípio de operação, que é a integração alternada da tensão de entrada que gera pulsos quando a tensão de saída se iguala à uma tensão de referência. Os VFCs têm duas configurações principais, o multivibrador e o equilíbrio de carga. Suas diferenças podem ser vistas na atuação do circuito de controle: no multivibrador o circuito de controle impõe as tensões limite, ajustando a oscilação de tensão no capacitor, enquanto no equilíbrio de carga, o circuito de controle fixa a duração da fase de carga ou descarga.

O multivibrador é, geralmente, um conversor Corrente-Frequência(IFC) precedido por um conversor Tensão-Corrente(VIC). Seu princípio de funcionamento e aplicação são bem simples e precisa de pouca potência, mas são menos precisos que o equilíbrio de carga. O equilíbrio de carga pode ser síncrono ou assíncrono, ele é mais preciso que o multivibrador. Entretanto precisa de mais potência e o seu sinal de saída são trens de pulsos, diferente do multivibrador que é uma onda quadrada. A escolha para o projeto da TAG foi da abordagem do VFC multivibrador pela pouca potência necessária.

O diagrama na Fig. 4 descreve o funcionamento do VFC projetado. Nele, uma tensão de entrada V_{in} é aplicada num conversor tensão corrente, essa corrente é espelhada no circuito integrador bidirecional que manda o sinal de tensão para um circuito de controle que, realimenta o integrador com os comandos de carga e descarga do capacitor no integrador.

Na Fig. 5 há um exemplo implementado do modelo de VFC multivibrador funcio-

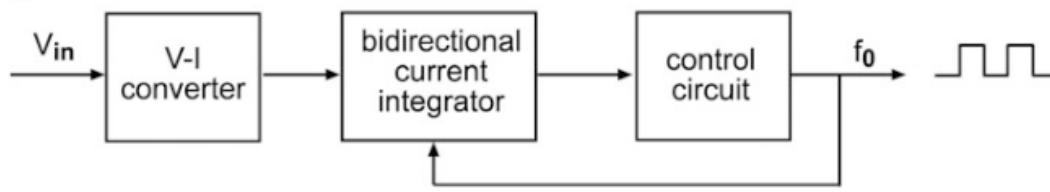


Figura 4 – Diagrama de blocos VFC Multivibrador Fonte:(MURILLO BELÉN CALVO LOPEZ, 2013)

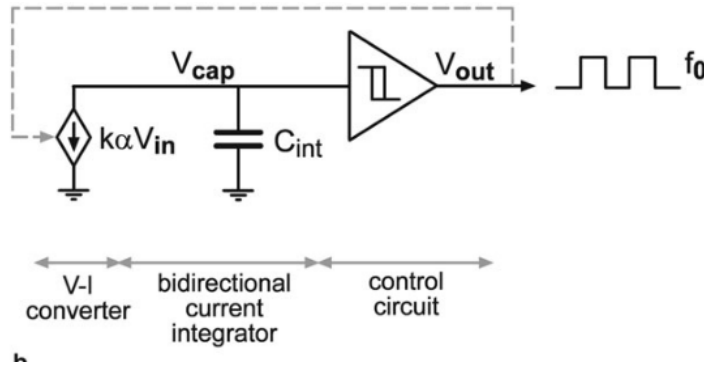


Figura 5 – Esquemático VFC Multivibrador Fonte:(MURILLO BELÉN CALVO LOPEZ, 2013)

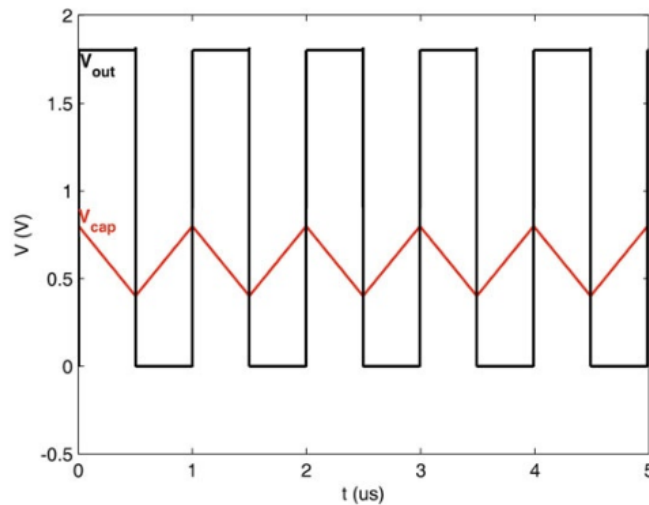


Figura 6 – Formas de onda do Capacitor e Saída do VFC Multivibrador Fonte:(MURILLO BELÉN CALVO LOPEZ, 2013)

nal. Nele uma fonte de corrente controlada pela tensão de entrada V_{in} gera uma corrente que é integrada num capacitor aterrado cuja as tensões variam entre duas referências, a tensão menor V_L e a maior V_H . Ao observar a tensão no capacitor o circuito de controle atua no sentido de carga e descarga e também envia o sinal digital de saída com a frequência correspondente à tensão de entrada. A frequência de saída é obtida na onda exibida na Fig. 6 onde o sinal digital acompanha as retas de subida e descida na tensão do capacitor do integrador. A sua expressão é dada na Eq. 3.1.

3.2 Conversor Tensão corrente

O conversor tensão corrente(VIC) é um bloco base para muitos designs de sinais analógicos e mistos como em multiplicadores, conversores de dados, amplificadores de ganho variável. O VIC é o estágio de entrada do VFC, a maior parte da performance depende desse bloco. Isso leva à necessidade de uma transcondutância(gm) independente de temperatura, tempo e tensão com variação linear e largura de banda apropriada.(MURILLO BELÉN CALVO LOPEZ, 2013).

A ideia descrita nos artigos (A., 2020) e (LINHARES, 2021) em que o trabalho se baseia é que para a análise dos sinais vitais a tensão gerada pelos batimentos cardíacos é retificada e então é usada como a tensão de entrada V_{in} do VFC.

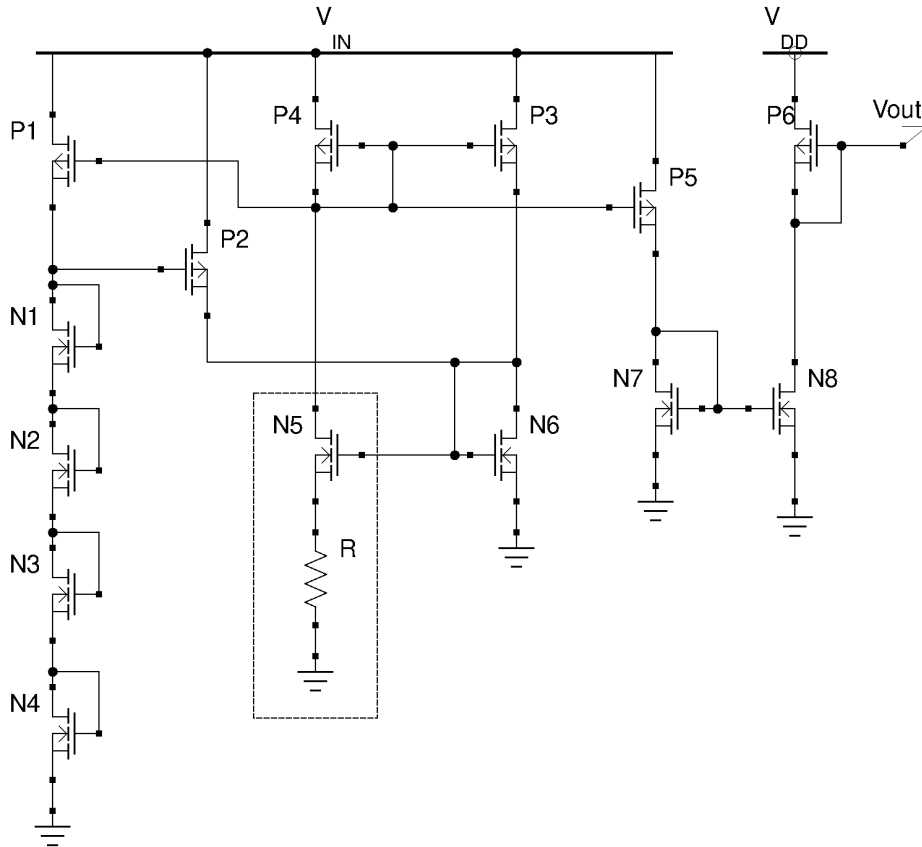


Figura 7 – Esquemático circuito conversor tensão corrente. Fonte:(A., 2020)

A topologia do circuito VIC desse projeto está exibida na Fig. 7. Observa-se no esquemático uma variação de uma bootstrapped auto-bias current source, ou seja, fonte de corrente auto enviesada. Nesse modelo a corrente, limitada pelo resistor, é espelhada de forma mútua entre os espelhos dos PMOS P_3 e P_4 e NMOS N_5 e N_6 . A relação à esquerda, composta pelo divisor de tensão com P_1 , P_2 , N_1 até N_4 , funciona como um soft-start que regula a corrente de acordo com a variação da tensão V_{in} de forma proporcional às tensões do P_2 . Essas razões de proporção estão expressas na eq. 3.2.

$$V_{in} \propto V_{GS,P2} \propto V_{GS,N6} = V_{GS,N5} \Rightarrow V_{in} \propto V_{GS,N5} \approx \frac{1}{R} \quad (3.2)$$

Nome do componente	Dimensões (W/L)[μ m]
P_1, N_1, N_2, N_3, N_4	1/5
P_2	0.24/0.18
P_3, P_4, P_5	0.24/21.82
N_5, N_6	15/45
N_7, N_8	0.24/20
P_6	100/2
R	200 Ω

Tabela 1 – Dimensões dos transistores e resistor do VIC

À direita da fonte há um espelho, composto por P_5 e N_7 , que direciona uma corrente que será espelhada novamente para uma relação, P_6 e N_8 , cuja a tensão de alimentação não é mais a V_{in} , que é traduzida em corrente, mas sim a tensão V_{DD} padrão de alimentação do resto do circuito. Essa tensão de saída é a tensão de Bias usada nos espelhos para o circuito integrador usado para criar o sinal de frequência.

Considerações devem ser feitas sobre esse circuito. O primeiro é sobre a faixa de corrente que ele vai abranger, que exerce influência direta nas frequências de saída. Além disso quanto maior essa faixa maior será a potência consumida. A potência máxima exigida no projeto pode afetar o desenvolvimento do projeto para se ajustar ao consumo total essas faixas podem ser revistas.

O controle dessa faixa é feito com o dimensionamento dos transistores e depois do resistor. Sua linearidade é controlada com a relação W/L que deve ser pequena para evitar efeitos de canal curto. Entretanto isso afeta no ganho e na transcondutância tornando a faixa menor. O controle da transcondutância também é influenciado pelo resistor, que de acordo com o seu tamanho ele aumenta ou reduz a faixa de corrente. Portanto deve-se procurar um equilíbrio comum entre essas parâmetros para que um não se sobressaia e afete demais o outro.

3.3 Integrador

O integrador bidirecional é um circuito de carga/descarga com um capacitor C temporizado e uma fonte de corrente constante que carrega o capacitor e um dissipador constante que o descarrega. O controle da carga e descarga do capacitor é feito com um circuito que observa a tensão no capacitor e a compara com tensões de referência limites, alto(V_H) e baixo(V_L), e dá a ordem de carga ou descarga. O acionamento é feito com a ativação alternada das chaves que selecionam a carga ou descarga. O modelo explicativo em blocos está na Fig. 8.

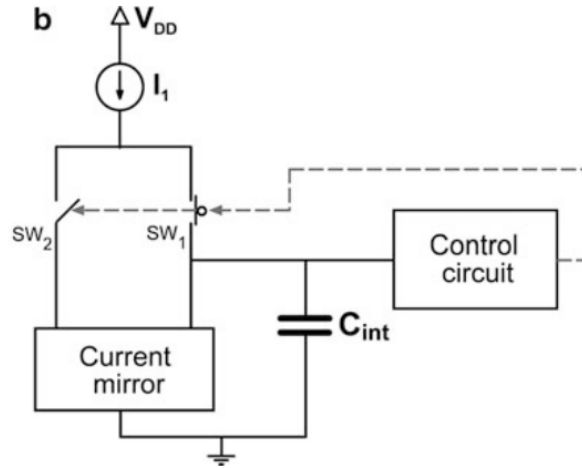


Figura 8 – Integrador de corrente bidirecional com fonte e espelho de corrente.
Fonte: (MURILLO BELÉN CALVO LOPEZ, 2013)

Na Fig. 9 está o circuito proposto. Para destrinchar o seu funcionamento ignore momentaneamente os transistores P_2 e P_3 . O transistor P_1 espelha a corrente do circuito VIC apresentado anteriormente e atua como uma fonte de corrente para o integrador. Inicialmente o capacitor está descarregado, com isso o sistema de controle faz o integrador ligar o P_5 e a corrente é direcionada no capacitor carregando-o. A tensão no capacitor então aumenta com a injeção de corrente nele seguindo a expressão da eq. 3.3. Sendo V_0 a tensão inicial ou anterior à mudança de estado do capacitor.

$$V_{cap}(t) = V_0 + \frac{I \cdot t}{C_1} \quad (3.3)$$

Após a tensão V_{cap} atingir o valor de V_H ele troca os estados das chaves deligando P_5 e acionando P_4 . Assim a corrente agora é direcionada para o lado esquerdo que espelha a corrente nos transistores N_2 e N_4 descarregando o capacitor até atingir V_L e o sistema de controle alternar as chaves de novo.

A frequência do processo da carga e descarga é obtido com a expressão da eq. 3.4, que já é a expressão da frequência final observada no VFC, apesar da tensão do capacitor V_{cap} não ser o sinal de saída do VFC.

$$f = \frac{I}{C \cdot (V_H - V_L)} \quad (3.4)$$

Os transistores N_1 e N_2 estão ativados com uma tensão de bias o suficiente para ligá-los. Os P_2 e P_3 são acionados para atingir novas faixas de frequência. A ideia é de que ao acionar cada um dos transistores que espelha a corrente do VIC a faixa mude entre as opções: 100Hz-1kHz, 1kHz-10kHz e 10kHz-100kHz. Onde as correntes de P_2 e P_3 são somadas para alterar as frequências no integrador.

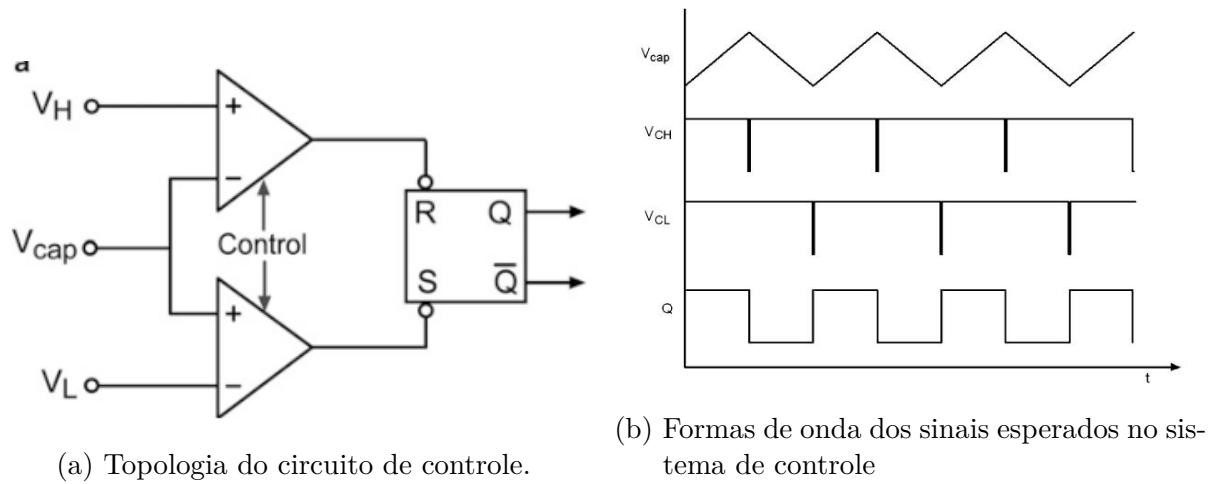


Figura 10 – Fonte: (MURILLO BELÉN CALVO LOPEZ, 2013)

tensões V_H e V_L são obtidas com os divisores de tensão dos transistores conectados em diodo.

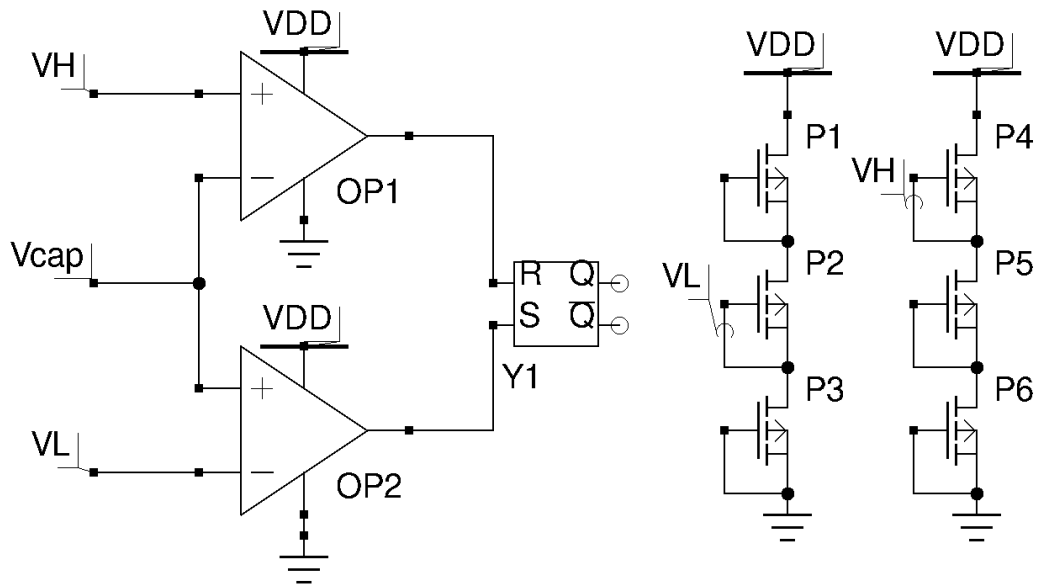


Figura 11 – Esquemático dos componentes do Circuito de controle acompanhados dos divisores de tensão para as tensões de Bias V_H e V_L Fonte: (A., 2020)

Nome do componente	Dimensões (W/L)[μ m]
P_4	1/2
P_1, P_2, P_3, P_5, P_6	1/5

Tabela 3 – Dimensões dos transistores dos divisores de tensão para as tensões de Bias V_H e V_L

3.4.1 Latch SR

O Latch SR pode ser descrito como um circuito digital primitivo de memória. Com ele é possível manusear estados e por tabela armazenar informação. Há dois tipos de Latch SR, o que se baseia em portas lógicas NOR e NAND. O comportamento lógico desse circuito está descrito nas tabelas verdade das figuras 12a e 12b. Em resumo o do tipo NAND foi usado no projeto por conta do seu estado ser alterado para as condições desejadas no controlador com a queda nos sinais de SET(S) e RESET(R). Há abordagens que usa o Latch de tipo NOR, mas com inversores na entrada, isso é observado na Fig. 10a por exemplo. O circuito do Latch SR montado a partir dos transistores MOS se encontra na Fig. 13.

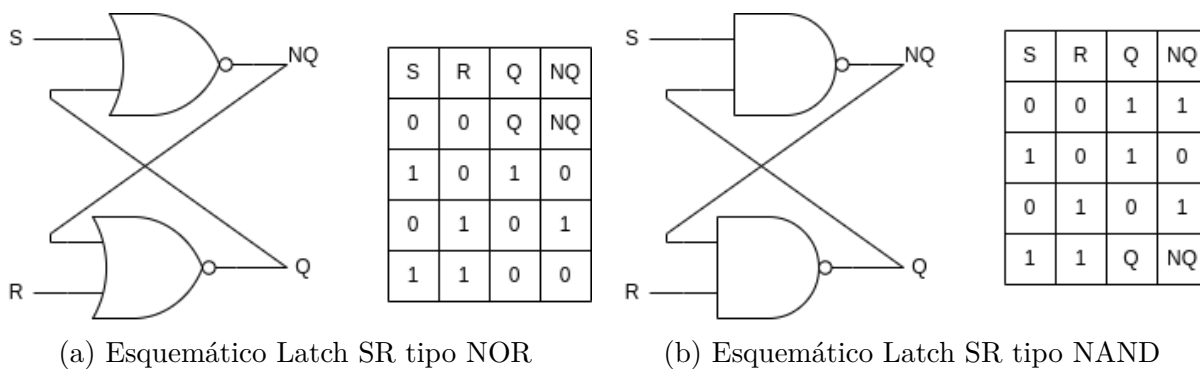


Figura 12 – Fonte:(BAKER, 2010)

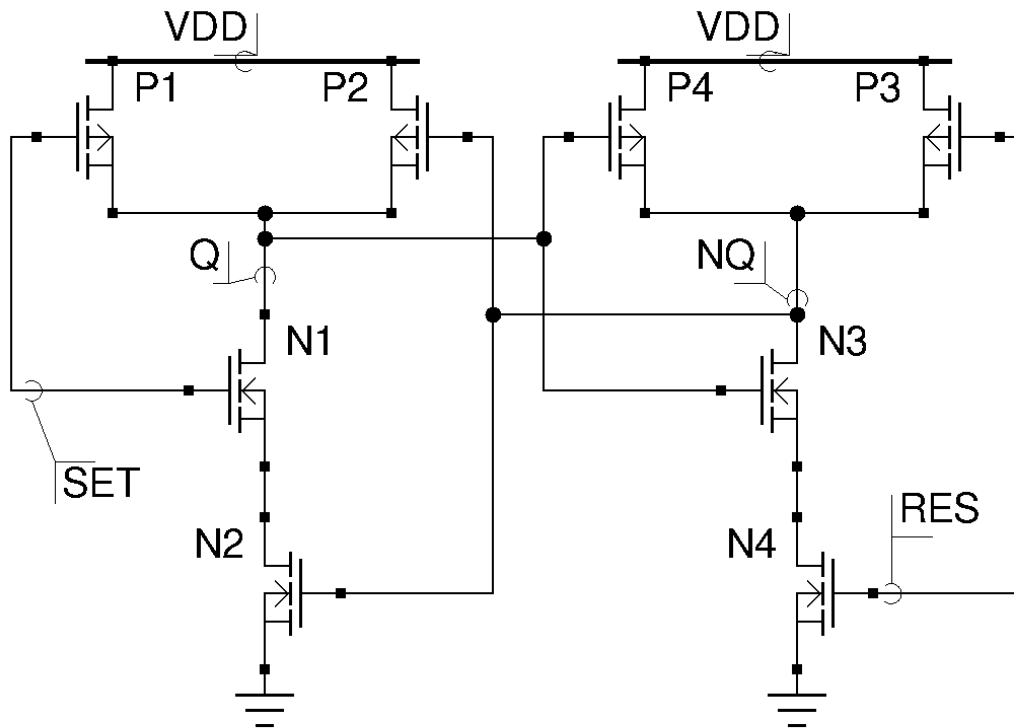


Figura 13 – Topologia Latch SR do tipo NAND Fonte:(BAKER, 2010)

Nome do componente	Dimensões (W/L)[μ m]
$P_1, P_2, P_3, P_4, N_1, N_2, N_3, N_4$	0.24/0.18

Tabela 4 – Dimensões dos transistores do Latch SR NAND

3.4.2 Amplificador operacional

Os comparadores do circuito de controle são AmpOps. Para o ampop foi usado a topologia de 2 estágios com cascode, como observado na Fig.15. A tensão de Bias para polarização dos transistores P_1 e P_6 é feita com o espelho de corrente usando a fonte de tensão do projeto Cedro. As outras tensões de bias são obtidas com os divisores no canto inferior esquerdo.

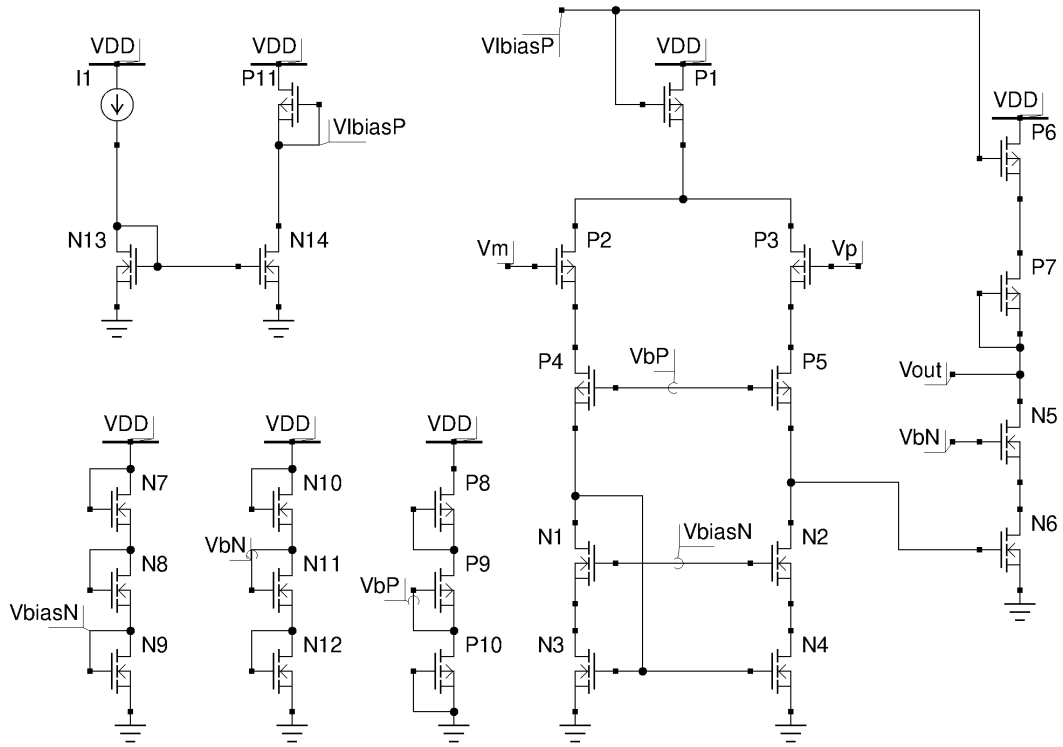


Figura 14 – Fonte:(RAZAVI, 2017)

O ganho dessa topologia de AmpOp pode ser expresso pela eq. 3.5 que quantifica a contribuição de ambos estágios no ganho final.

$$A_V = g_{mP2} \cdot [(g_{mP5}r_{oP3}(r_{oP5}) \parallel (g_{mN2}r_{oN2}(r_{oN4})) \cdot [(g_{mP7}r_{oP6}(r_{oP7}) \parallel (g_{mN5}r_{oN5}(r_{oN6}))] \quad (3.5)$$

Nome do componente	Dimensões (W/L)[μ m]	Multiplier
P_1, P_{11}	0.4/0.2	1
P_6	0.4/0.2	3
$P_2, P_3, P_4, P_5, N_1, N_2$	0.3/0.18	1
N_3, N_4	0.3/2.1	1
$P_7, N_8, N_9, N_{11}, N_{12}$	0.24/0.18	1
N_{10}	0.24/0.4	1
N_{14}	0.24/0.18	1
N_{13}	0.24/0.18	12
P_8, P_9, P_{10}	1/5	1

Tabela 5 – Dimensões dos transistores do AmpOp de 2 estágios cascode

4 Simulação e Resultados

A simulação foi realizada no Cadence usando a tecnologia 0.18 UMC. Para observar a ativação de todas as faixas de frequência fornecidas pelo circuito, foram ajustadas 3 fontes com atraso de início para ativar as entradas no integrador. Ao fazer a simulação transiente as faixas de frequência obtidas foram:

- 101,6Hz — 991Hz
- 1,014kHz — 9,764kHz
- 10,50kHz — 93,57kHz

A potência máxima consumida é obtida quando o VFC fornece a maior frequência possível. Ao fornecer uma tensão V_{in} de 2,5V e o resto do circuito com tensão de alimentação V_{DD} de 1,2V a máxima potência média calculada foi de $10,03\mu W$.

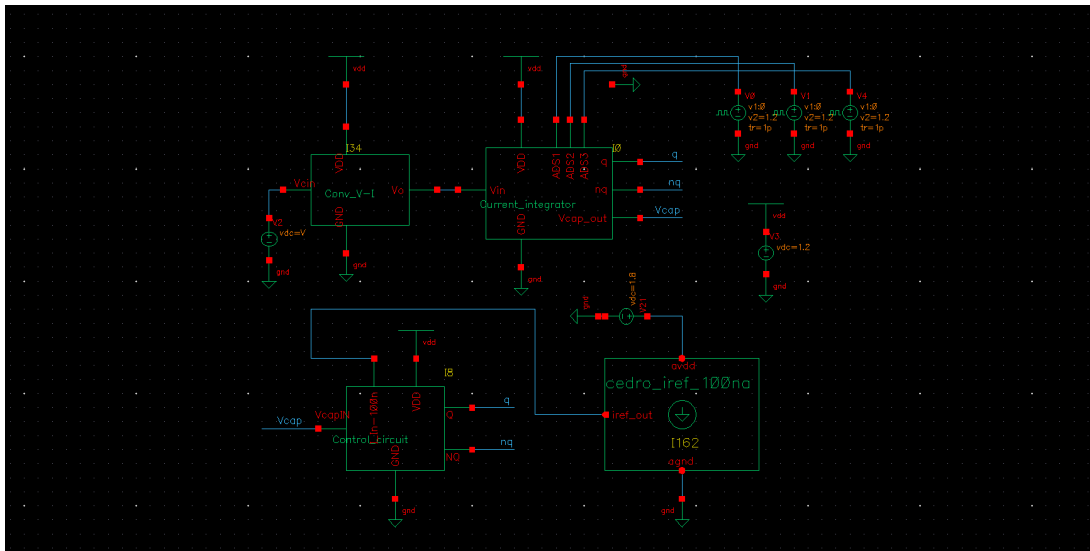


Figura 15 – Esquemático de topo com integração de todos os sub-circuitos do projeto

4.1 Conversor tensão corrente

A relação entre a tensão V_{in} e a corrente de saída do VIC está na Fig. 16. Observa-se no gráfico que os limites da faixa de correntes mínimas e máximas são:

- 1,2V — $68,2nA$
- 2,5V — $703,8nA$

As correntes espelhadas no integrador seguem o comportamento desse conversor, portanto a linearidade de ambos são iguais. Por conta disso um VIC mal feito acarretaria erros acumulados, como pouca linearidade, faixa de frequência e consumo de potência, que dificultariam o funcionamento esperado dos outros circuitos.

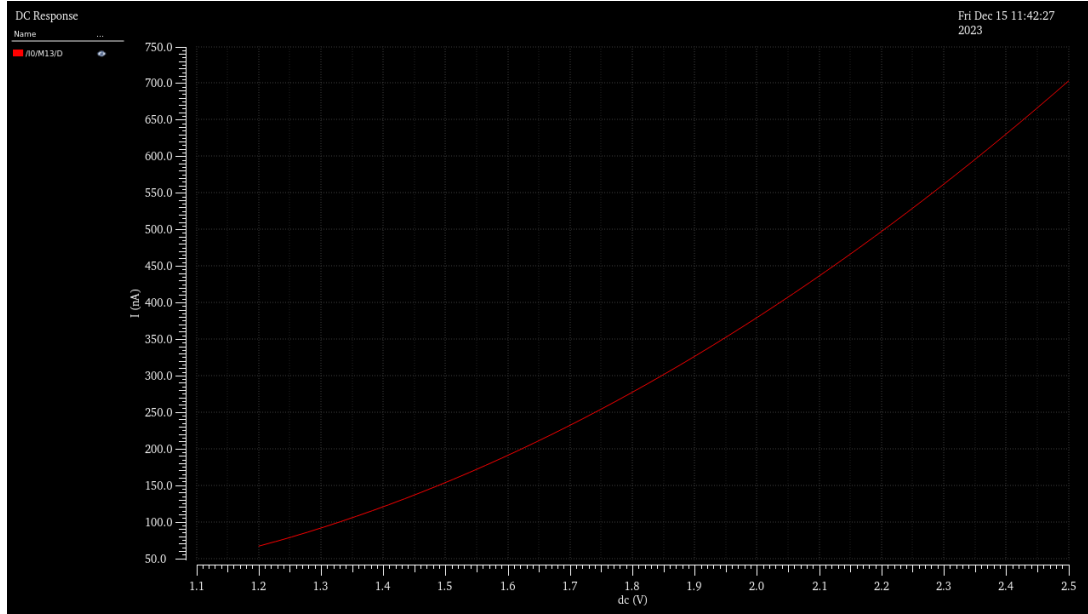


Figura 16 – Simulação da corrente de referência espelhada na Saída do VIC

4.2 Circuito de Controle

Na Fig. 17 está os sinais observados no circuito de controle. Nota-se o acionamento dos sinais S e R no Latch com a queda abrupta nos AmpOps nos sinais verde e laranja. O sinal verde é o sinal R cuja é a resposta do comparador que percebe que V_{cap} atingiu V_H , ao cair, aciona no Latch a rotina de descarga do capacitor. Inversamente ao perceber que V_{cap} ficou menor que V_L o sinal S cai e o Latch aciona a rotina de carga.

A tensão V_{cap} é observada na onda triangular em azul e a onda quadrada é o sinal em frequência do VFC e saída Q do Latch.

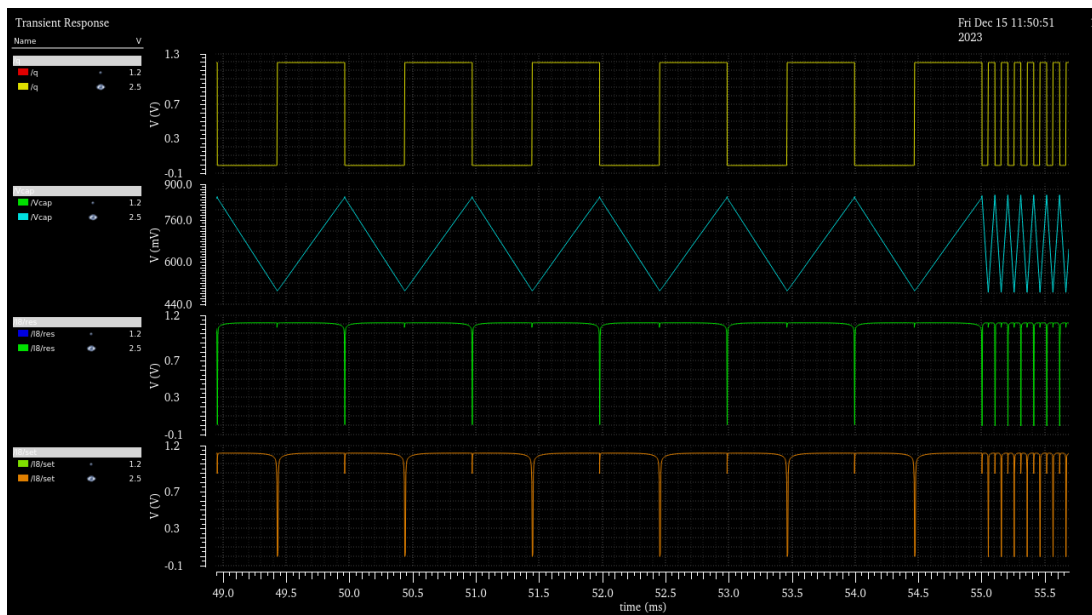


Figura 17 – Sinais observados no Circuito de Controle

5 Considerações Finais

5.1 Conclusões

Nesse trabalho foram destrinchados os circuitos, topologias e sub-sistemas para a projeção de um conversor tensão frequência além de simulações na ferramenta Cadence.

Nas simulações os resultados obtidos se aproximaram das expectativas em ambas as três faixas de frequência. Em geral a frequência do VFC varia na faixa de 101,6Hz até 93,57kHz e a potência máxima obtida foi de $10,03\mu W$.

Os blocos que compõem o circuito foram explicados em detalhes no texto e referenciados. Em geral os objetivos de baixo consumo e da faixa de frequência atingida foram satisfatórios. Entretanto há pontos que podem ser lapidados em trabalhos futuros afim de deixar o circuito mais robusto e resistente.

5.2 Trabalhos futuros

Para trabalhos futuros as principais possibilidades de melhora que percebo para o projeto são os seguintes:

- Compactar AmpOps em um bloco
- Vacinar o VIC contra a variação de temperatura

Incluindo as melhorias em trabalhos futuros poderia listá-los da seguinte forma:

1. **Compactar AmpOps em um bloco:** Ao fazer o símbolo do AmpOp e usá-lo em simulação ele considera cada um com a sua própria relação de transistores conectados em diodo. Então para não duplicar os divisores de tensão usados para tensões de bias eles podem ser feitos num esquemático só compartilhando a mesma relação de transistores. Assim a área usada no projeto de Layout será reduzida.
2. **Vacinar o VIC contra a variação de temperatura:** Toda a relação do VFC é influenciada pela natureza dos transistores que mudam o seu comportamento com a variação de temperatura. O circuito crucial para a conversão final em frequência é o VIC que alarga e eleva as faixas de frequência de saída com o aumentar da temperatura.
3. **Realizar a análise de Corners:** Considerando ou não essas mudanças, a análise de cornes aponta o quão suscetível a erros o circuito está com base na variação dos

parâmetros que os componentes do circuito apresenta. Com essa análise é possível ver o comportamento do VFC em situações de piores cenários.

4. **Fazer Layout:** Projetar o layout do circuito para ser implementado na *TAG*.

Para a realização desses trabalhos é preciso conversar com o professor orientador do projeto sobre os prazos para planejar um cronograma definitivo. Além de que as melhorias não são cruciais para o funcionamento do projeto, elas iram melhorar a sua performance. Já a análise de corners e Layout são essenciais e não devem ser dispensadas. Com isso em mente exibi na tabela 6 uma sugestão de cronograma com um intervalo de tempo de uma semana para eu tentar implementar as melhorias sugeridas e o tempo para a continuação do projeto de layout e análise de corners.

Compactar AmpOps	08/01/2024 a 15/01/2024
Vacinar o VIC	16/01/2024 a 23/01/2024
Fazer análise de Corners	24/01/2024 a 01/02/2024
Fazer Layout	02/02/2024 a 15/03/2024

Tabela 6 – Sugestão de cronograma

Referências

- A., L. H. W. Z. B. A uhf/uhb hybrid rfid tag with a 51-m energy-harvesting sensitivity for remote vital-sign monitoring. 2020. Citado 5 vezes nas páginas 7, 11, 21, 27 e 31.
- BAKER, R. J. *CMOS Circuit Design, Layout, and Simulation*. 3th. ed. USA: IEEE Press Editorial Board, 2010. ISBN 978-0-470-88132-3. Citado 2 vezes nas páginas 11 e 32.
- DIAS, D.; CUNHA, J. P. S. *Wearable Health Devices—Vital Sign Monitoring, Systems and Technologies*. 2018. Disponível em: <<https://www.ncbi.nlm.nih.gov/pmc/articles/PMC6111409/>>. Citado na página 21.
- LINHARES, G. T. B. I. de Andrade Sousa; Vitor Guedes da Silva; Wellington Avelino do A. G. C. Design of a passive uhf rfid tag for vital signs measurement using uwb communication. Brasília, Brazil, 2021. Citado 4 vezes nas páginas 11, 24, 27 e 30.
- MURILLO BELÉN CALVO LOPEZ, S. C. P. C. A. *Voltage-to-Frequency Converters CMOS Design and Implementation*. Acsp · analog circuits and signal processing. New York: Springer, 2013. ISBN 978-1-4614-6236-1. Citado 6 vezes nas páginas 11, 25, 26, 27, 29 e 31.
- RAZAVI, B. *Design of Analog CMOS Integrated Circuits*. 2th. ed. New York: McGraw-Hill Education, 2017. ISBN 978-0-07-252493-2. Citado 2 vezes nas páginas 11 e 33.
- REIS, T. *Top down: o que é e como funciona esse conceito?* 2019. Disponível em: <<https://www.suno.com.br/artigos/top-down/>>. Citado na página 23.