

PCS3115 - Sistemas Digitais I - Trabalho 7

por Bruno de Carvalho Albertini

11/11/2020

Neste trabalho você desenvolverá um registrador universal que será usado em vários momentos (inclusive em outras disciplinas). Para provar o uso, o registrador será utilizado nas próprias atividades.

Introdução

O registrador é um dos elementos principais dos sistemas digitais, usado como elemento de armazenamento.

Seu uso é ampliado quando usamos registradores de deslocamento, pois podemos usar este tipo de registrador para ajudar na execução de algoritmos, como multiplicação e divisão. Uma abordagem comum é usarmos um registrador de deslocamento universal, capaz de executar o deslocamento em qualquer sentido e também a carga paralela. Um exemplo deste tipo de registrador é o 74LS194, mostrado na Figura 1.

Atividades

T7A1 Desenvolva um registrador universal seguindo a entidade da listagem da Figura 2.

```
entity registrador_universal is
  generic (
    word_size: positive := 4
  );
  port (
    clock, clear, set, enable: in bit;
    control: in bit_vector(1 downto 0);
    serial_input: in bit;
    parallel_input: in bit_vector(word_size-1 downto 0);
    parallel_output: out bit_vector(word_size-1 downto 0)
  );
end entity;
```

O clear tem prioridade sobre o set e ambos são assíncronos. Durante a borda de subida do clock, se o enable=0 nada acontece, mas se o enable=1 o sinal control determina o comportamento do registrador de acordo com os seguintes valores:

- 00: A saída permanece inalterada.
- 01: Deslocamento para a direita (em direção ao LSB).
- 10: Deslocamento para a esquerda (em direção ao MSB).
- 11: Carga paralela.

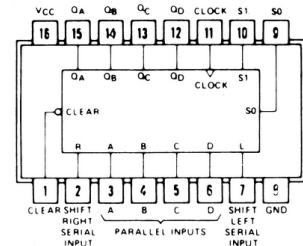


Figura 1: Símbolo e pinagem do Registrador de Deslocamento Universal 74LS194 (fonte: datasheet Texas).

Trabalho 7, Atividade 1, 5 envios, maior nota, 1 ponto

Figura 2: Entidade VHDL para o registrador universal do T7A1. O registrador é sensível a borda de subida do clock, tem *clear* (força saída para zero) e *set* (força a saída para um) assíncronos e entradas seriais e paralelas. O comportamento é ditado pelo valor no sinal de controle.

O deslocamento usa a entrada serial para preencher o bit novo. E.g. no deslocamento para a direita, o LSB é descartado, todo conteúdo é deslocado para a direita e o novo MSB é a entrada serial.

T7A2 Use o seu registrador universal do T7A1 para implementar um multiplicador por somas sucessivas, conforme a listagem da Figura 3. O multiplicador deve realizar $A*B$, considerando ambos inteiros sem sinal. Este trabalho foi resolvido como exercício durante a aula.

Trabalho 7, Atividade 2, 10 envios, maior nota, 5 pontos

```
entity multiplicador is
  generic(
    word_size: positive
  );
  port (
    clock, reset, vai: in bit;
    pronto: out bit;
    A, B: in bit_vector(word_size-1 downto 0);
    resultado: out bit_vector(2*word_size-1 downto 0)
  );
end entity;
```

Figura 3: Entidade VHDL para o multiplicador T7A2.

T7A3 Use o seu registrador universal do T7A1 para implementar um divisor por subtrações sucessivas, conforme a listagem da Figura 4. O divisor deve realizar A/B , considerando ambos inteiros sem sinal, e retornar o resultado da divisão e o resto nos sinais correspondentes. Este trabalho foi proposto como exercício pós-aula.

Trabalho 7, Atividade 3, 10 envios, maior nota, 4 pontos

```
entity divisor is
  generic(
    word_size: positive
  );
  port (
    clock, reset, vai: in bit;
    pronto: out bit;
    A, B: in bit_vector(word_size-1 downto 0);
    resultado, resto: out bit_vector(word_size-1 downto 0)
  );
end entity;
```

Figura 4: Entidade VHDL para o divisor T7A3.

Dicas:

- Nas atividades T7A2 e T7A3 você deve honrar o vai e o pronto. Os sinais de entrada são estáveis enquanto vai=1 e o sinal de pronto deve ser 1 no mínimo durante todo o ciclo de clock onde o resultado está pronto.
- Este trabalho tem dificuldade reduzida (fácil) quando implementado usando o paradigma de Unidade de Controle e Fluxo de Dados. Sugerimos usar máquinas de Moore (ASM ou FSM) para a UC. Note que você deve enviar um único arquivo, portanto lembre-se de incluir tudo o que precisar.
- Faça o desenho do diagrama de blocos do FD e do diagrama de transição de estados da UC antes de começar a codificar.

Instruções para Entrega

Para este trabalho a biblioteca `ieee.numeric_bit` do pacote `ieee` é a única permitida. Em todas as atividades você pode usar `process` mas não pode usar `funções`. A violação destas restrições acarreta nota zero automaticamente, sem direito a revisão. Os operadores `+` e `-` funcionais do VHDL podem ser usados. **Caso você use os operadores `*` ou `/` ou qualquer outro operador ou função para efetuar a multiplicação ou a divisão, sua nota será zero em todo o T7.**

Restrições, preste atenção!

Há um *link* específico no e-Disciplinas para cada atividade deste trabalho. Acesse-o somente quando estiver confortável para enviar sua solução. Você pode enviar apenas um único arquivo com sua descrição VHDL em UTF-8 para cada atividade. O nome do arquivo não importa, mas sim a descrição que está dentro. As entidades devem ser como as especificadas ou o juiz te atribuirá nota zero.

Quando acessar o *link* no e-Disciplinas, o navegador abrirá uma janela para envio do arquivo. Selecione-o e envie para o juiz. Jamais recarregue a página de submissão pois seu navegador pode enviar o arquivo novamente, o que vai ser considerado pelo juiz como um novo envio e pode prejudicar sua nota final. Caso desista do envio, simplesmente feche a janela antes do envio.

Quando você clicar no *link* tem 1 minuto para enviar o arquivo ou fechar a janela, caso contrário uma submissão será contabilizada.

Depois do envio, a página carregará automaticamente o resultado do juiz, quando você poderá fechar a janela. Se não quiser esperar o resultado, feche a janela após o envio e verifique sua nota no e-Disciplinas posteriormente. A nota dada pelo juiz é somente para a submissão que acabou de fazer. Sua nota na atividade poderá ser vista no e-Disciplinas e pode diferir da nota dada pelo juiz dependendo da estratégia de atribuição de notas utilizada pelo professor que montou o problema.

Pode demorar alguns segundos até o juiz processar seu arquivo.

Atenção: não atualize a página de envio e não envie a partir de conexões instáveis (e.g. móveis) para evitar que seu arquivo chegue corrompido no juiz.

