

PCS3115 - Sistemas Digitais I - Trabalho 8

por Sérgio Roberto de Mello Canovas

26/11/2020

Este trabalho foi adaptado pelo Prof. Bruno a partir do enunciado original descrito pelo Prof. Canovas. Neste trabalho você implementará memórias ROM e RAM em VHDL.

Introdução

Antes mesmo de os primeiros computadores serem construídos, eles eram idealizados teoricamente por matemáticos e cientistas. Uma **arquitetura de computador** descreve a funcionalidade, a organização e a implementação de sistemas de computadores. A **arquitetura de von Neumann** consiste em uma unidade central de processamento, ou CPU (*Central Processing Unit*), conectada a uma única memória. A CPU, por sua vez, consiste no conjunto formado pela unidade de controle e ULA (Unidade Lógica Aritmética), como pode ser observado na Figura 1.

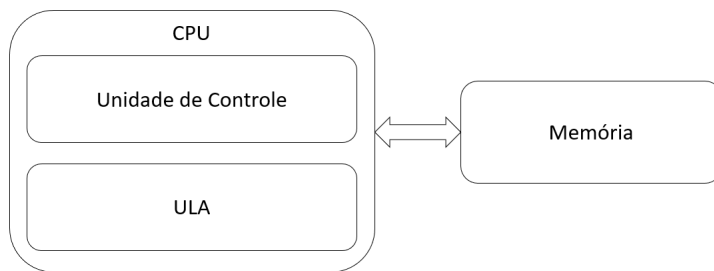


Figura 1: Arquitetura de von Neumann

Usualmente, os termos CPU e processador são usados intercambiavelmente. Mas, para ser rigoroso, uma CPU é um processador de propósito geral, e existem tipos específicos de processadores com outras denominações, tais como a GPU (*Graphics Processing Unit*), que se trata de um processador especializado na execução de instruções relacionadas a cálculos gráficos.

Na arquitetura de von Neumann, a memória armazena tanto instruções de máquina quanto dados de trabalho. Uma instrução de máquina é uma sequência de bits que é interpretada pelo processador, provocando a execução de alguma operação. A CPU executa um **programa** (sequência de instruções) previamente carregado na memória, e para isso deve obter cada instrução, uma por vez, por meio de uma operação de leitura da memória que ocorre através do barramento que a conecta. Mas os programas produzem e manipulam dados de trabalho, ou simplesmente dados, como por exemplo o resultado de uma soma, que precisa ser armazenado para posterior uso. Esses dados são armazenados nessa mesma memória, através de operações de escrita, em outros endereços que não se misturam com os endereços usados para o armazenamento das instruções. Entretanto, para um observador externo que hipoteticamente possa con-

sultar o conteúdo de cada posição da memória e que não sabe em quais endereços o programa foi carregado, não é possível distinguir instruções de dados, uma vez que ambos consistem em sequências de 0s e 1s que não possuem identificação autocontida.

Os computadores que conhecemos hoje em dia são baseados na arquitetura de von Neumann com diversas extensões, tais como a inclusão de registradores na CPU, interrupções, e outras.

Neste trabalho, o foco será a implementação de uma entidade de memória ROM e outra de memória RAM em VHDL, juntamente com suas arquiteturas que implementarão seus comportamentos. No caso da memória ROM, serão pedidas algumas variações de implementação. As memórias descritas por este trabalho serão usadas em outras disciplinas, então faça seu projeto organizadamente para poder reaproveitar depois.

Memórias em VHDL

Em VHDL, pode-se criar um tipo para armazenamento de dados correspondente a um vetor cujo tipo do elemento modela cada palavra a ser armazenada. Veja o exemplo `mem_tipo`:

```
type mem_tipo is array(0 to 255) of bit_vector(7 downto 0);
```

O tipo declarado como `mem_tipo` corresponde a um vetor de 256 posições indexadas de 0 a 255, e o tipo de cada elemento é um vetor de bits `bit_vector(7 downto 0)`, estabelecendo que cada palavra tem tamanho de 8 bits. Com relação a uma memória implementada com base nesse tipo, dizemos que ela tem profundidade de 256 palavras e largura de 8 bits. Uma instância deste tipo pode então ser declarada como um `signal`:

```
signal mem: mem_tipo;
```

Atividades

T8A1 Implemente um componente em VHDL correspondente a uma memória ROM que respeite a entidade da Figura 2.

Trabalho 8, Atividade 1, 5 envios, maior nota, 2 pontos

```
entity rom_simple is
  port (
    addr : in  bit_vector(3 downto 0);
    data : out bit_vector(7 downto 0)
  );
end rom_simple;
```

Figura 2: Entidade VHDL da memória ROM do T8A1.

Vimos em aula que existem tipos de ROM que, apesar do nome, também permitem a escrita de dados, embora seja uma operação mais complicada e menos frequente que a leitura. Porém, esta é uma

ROM convencional que não permite escrita, e por isso ela só possui uma entrada e uma saída:

- `addr`: Endereço;
- `data`: Conteúdo armazenado correspondente ao endereço `addr`.

Perceba, pelo código da entidade acima, que esta ROM possui 4 bits de endereço (suportando 16 posições de armazenamento, endereçadas de 0 a 15) e 8 bits de tamanho de palavra. O conteúdo desta ROM deve ser inicializado diretamente no código VHDL da `architecture` com os seguintes dados:

Endereço (dec)	Conteúdo (bin)
0	00000000
1	00000011
2	11000000
3	00001100
4	00110000
5	01010101
6	10101010
7	11111111
8	11100000
9	11100111
10	00000111
11	00011000
12	11000011
13	00111100
14	11110000
15	00001111

T8A2 A inicialização da ROM diretamente pelo código-fonte em descrições VHDL não é prática. Uma alternativa seria descrever a memória de modo que os dados para sua inicialização fossem carregados de um arquivo separado. Este arquivo poderia então ser gerado por outra ferramenta, facilitando a composição de projetos através da separação entre descrição da memória e dados de conteúdo. Um exemplo de aplicação seria a utilização de um compilador, que converte um programa em linguagem de alto nível para um arquivo com instruções de máquina em binário. Este conteúdo, gerado pelo compilador em um arquivo próprio, poderia ser usado para inicializar uma memória descrita em VHDL (como um cartucho de *videogame*, que consiste em uma memória ROM contendo o programa correspondente ao jogo, já em código de máquina).

Implemente um componente em VHDL correspondente a uma memória ROM que possui os mesmos sinais de entrada e saída (`port`) do item anterior, mas trocando seu nome para `rom_arquivo`, ou seja, com a entidade da Figura 3.

A diferença é que nessa atividade o conteúdo deve ser carregado na inicialização a partir de um arquivo chamado `rom.dat`. Isso pode ser feito em VHDL por meio de uma função de inicialização de

Trabalho 8, Atividade 2, 5 envios, maior nota, 2 pontos

```

entity rom_arquivo is
  port (
    addr : in  bit_vector(3 downto 0);
    data : out bit_vector(7 downto 0)
  );
end rom_arquivo;

```

Figura 3: Entidade VHDL da memória ROM do T8A2.

memória. Pesquise como fazer isso e monte exemplos de arquivos DAT para que sua implementação funcione. Uma referência pode ser encontrada em <http://myfpgablog.blogspot.com/2011/12/memory-initialization-methods.html> (veja a seção **VHDL with external data files**). O exemplo fornecido é capaz de ler arquivos DAT que, em essência, são arquivos-texto comuns em que cada linha contém o conteúdo de uma palavra na ordem dos endereços, em binário. Por exemplo, o conteúdo mostrado a seguir é o conteúdo de um arquivo DAT usado para uma inicialização com o mesmo conteúdo da memória solicitada na atividade T8A1:

```

00000000
00000011
11000000
00001100
00110000
01010101
10101010
11111111
11100000
11100111
00000111
00011000
11000011
00111100
11110000
00001111

```

Nesta atividade, **obrigatoriamente** o nome do arquivo .DAT que sua implementação deve utilizar é `conteudo_rom_ativ_02_carga.dat`. Isso é necessário para que o juiz eletrônico funcione corretamente.

T8A3 Em diferentes projetos de *hardware*, ou às vezes no mesmo projeto, podemos precisar de memórias com diferentes tamanhos de palavra e números de bits de endereço. Se tivéssemos que criar uma nova descrição VHDL a cada nova especificação de memória, copiando da anterior e alterando os números de bits referidos, teríamos muito trabalho, além de ser suscetível a erros. Para isso, podemos explorar o recurso `generic` do VHDL, que pode ser usado não somente para memórias mas para qualquer componente. Pesquise sobre o uso do recurso `generic` em VHDL. Uma referência pode ser encontrada em <https://vhdlwhiz.com/constants-generic-map/>, que apresenta a criação e uso de um multiplexador descrito com base nessa palavra-chave. Após entender o uso de `generic`, recrie a memória ROM do item T8A2, desta vez respeitando a entidade da Figura 4.

O post de memórias do Prof. Bruno (link no e-Disciplinas) também tem um exemplo de carga externa.

Trabalho 8, Atividade 3, 5 envios, maior nota, 3 pontos

Há um post do Prof. Bruno sobre módulos genéricos parametrizáveis (clique aqui ou procure no e-Disciplinas ou diretamente no site).

```

entity rom_arquivo_generica is
  generic (
    addressSize : natural := 4;
    wordSize    : natural := 8;
    datFileName : string  := "rom.dat"
  );
  port (
    addr : in  bit_vector(addressSize-1 downto 0);
    data : out bit_vector(wordSize-1 downto 0)
  );
end rom_arquivo_generica;

```

Figura 4: Entidade VHDL da memória ROM do T8A3.

Embora os valores padrões dos parâmetros genéricos sejam iguais aos da atividade anterior, o *testbench* do juiz eletrônico poderá instanciar sua memória ROM usando diferentes números de bits de endereço, tamanhos de palavra, e até mesmo distintos nomes do arquivo DAT. Por isso, recomenda-se que seu *testbench* preveja casos de testes com instanciação de memórias de parâmetros variados, permitindo testar cenários diversos (lembre-se do conceito de cobertura de *testbench*).

É claro que o conteúdo de cada arquivo DAT utilizado deve estar condizente com os parâmetros da memória instanciada. Por exemplo, se instanciarmos uma memória de 5 bits de endereço, seu arquivo DAT deve passar a ter 32 linhas de dados, não mais 16. Idem para o tamanho da palavra: se instanciarmos uma memória com palavra de 32 bits, cada linha do arquivo deve apresentar uma sequência de 32 bits, e não mais 8. O *testbench* do juiz eletrônico utilizará arquivos apropriados internamente em cada teste. Considere isso também no seu próprio *testbench*.

T8A4 Implemente um componente em VHDL correspondente a uma memória RAM com escrita síncrona que respeite a entidade da Figura 5.

Trabalho 8, Atividade 4, 5 envios, maior nota, 3 pontos

```

entity ram is
  generic (
    addressSize : natural := 4;
    wordSize    : natural := 8
  );
  port (
    ck, wr : in  bit;
    addr   : in  bit_vector(addressSize-1 downto 0);
    data_i : in  bit_vector(wordSize-1 downto 0);
    data_o : out bit_vector(wordSize-1 downto 0)
  );
end ram;

```

Figura 5: Entidade VHDL da memória RAM do T8A4.

A escrita síncrona significa que o dado colocado em *data_i* deve ser escrito na memória na ocorrência de uma borda de subida do

clock quando o sinal de escrita estiver ativo. Considere que *wr* é ativo alto. A leitura deve ocorrer de forma assíncrona, isto é, sem depender de uma borda de subida do *clock*. Basta alterar o valor da entrada *addr* e o sinal *data_o* será atualizado com o conteúdo armazenado na posição *addr*. Observe que o número de bits do barramento de endereço e o tamanho da palavra devem ser implementados por meio de *generics*, ou seja, sua memória poderá ser instanciada em um projeto com qualquer tamanho de barramento de endereço (não necessariamente 4 bits) e qualquer tamanho de palavra de dados (não necessariamente 8 bits), assim como na atividade anterior. A lista completa dos sinais é a seguinte:

- *ck*: *Clock*;
- *wr*: Sinal de escrita. Quando estiver em ALTO e ocorrer uma borda de subida em *ck*, o conteúdo de *data_i* deve ser escrito na posição da memória determinada por *addr*;
- *addr*: Endereço;
- *data_i*: Conteúdo de entrada para escrever na memória com o uso do sinal *wr*;
- *data_o*: Conteúdo lido da memória. Deve corresponder sempre ao valor que está na palavra indexada por *addr*.

Instruções para Entrega

Para este trabalho a biblioteca `ieee.numeric_bit` do pacote `ieee` é a única permitida para todas as atividades. Nas atividades A2 e A3 você também pode usar a `std.textio`. O uso de `process` só está permitido na atividade A4, mas as funções podem ser usadas em todas as atividades. A violação destas restrições acarreta nota zero automaticamente, sem direito a revisão.

Como boa prática de engenharia, faça seus *testbenches* e utilize o GHDL para validar suas soluções antes de postá-las no juiz.

Há um *link* específico no e-Disciplinas para cada atividade deste trabalho. Acesse-o somente quando estiver confortável para enviar sua solução. Você pode enviar apenas um único arquivo com sua descrição VHDL em UTF-8 para cada atividade. O nome do arquivo não importa, mas sim a descrição que está dentro. As entidades devem ser como as especificadas ou o juiz te atribuirá nota zero.

Quando acessar o *link* no e-Disciplinas, o navegador abrirá uma janela para envio do arquivo. Selecione-o e envie para o juiz. Jamais recarregue a página de submissão pois seu navegador pode enviar o arquivo novamente, o que vai ser considerado pelo juiz como um novo envio e pode prejudicar sua nota final. Caso desista do envio, simplesmente feche a janela antes do envio.

Restrições, preste atenção!

Quando você clicar no *link* tem 1 minuto para enviar o arquivo ou fechar a janela, caso contrário uma submissão será contabilizada.

Depois do envio, a página carregará automaticamente o resultado do juiz, quando você poderá fechar a janela. Se não quiser esperar o resultado, feche a janela após o envio e verifique sua nota no e-Disciplinas posteriormente. A nota dada pelo juiz é somente para a submissão que acabou de fazer. Sua nota na atividade poderá ser vista no e-Disciplinas e pode diferir da nota dada pelo juiz dependendo da estratégia de atribuição de notas utilizada pelo professor que montou o problema.

Pode demorar alguns segundos até o juiz processar seu arquivo.

Atenção: não atualize a página de envio e não envie a partir de conexões instáveis (e.g. móveis) para evitar que seu arquivo chegue corrompido no juiz.