

Parametrização em Verilog

Parâmetros Nomeados e Posicionais

Sophia Soares Mariano

Poliware

2025

Introdução

- ▶ O escopo das variáveis define onde elas podem ser acessadas.
- ▶ Variáveis em Verilog podem ser do tipo `reg` ou `wire`.
- ▶ Cada tipo tem regras específicas de uso.
- ▶ Parâmetros ajudam a tornar módulos reutilizáveis e flexíveis.

Parâmetros em Verilog

- ▶ Parâmetros são definidos com `parameter`.
- ▶ Servem como constantes para tamanhos de vetores, contadores etc.
- ▶ Dois tipos de instanciação:
 - ▶ Posicional
 - ▶ Nomeada

Declaração de Módulo com Parâmetros

```
module contador #(parameter N = 8, parameter M = 16) (  
    input clk,  
    output [N-1:0] out  
);  
// implementação  
endmodule
```

Instanciação com Parâmetros Posicionais

```
contador #(4, 10) contador_inst (  
    .clk(clk),  
    .out(out_signal)  
);
```

- ▶ $N = 4$
- ▶ $M = 10$
- ▶ Ordem deve seguir a declaração no módulo original

Instanciação com Parâmetros Nomeados

```
contador #(.M(10), .N(4)) contador_inst (  
    .clk(clk),  
    .out(out_signal)  
);
```

- ▶ Ordem não importa
- ▶ Melhor legibilidade e clareza

Comparativo

Parâmetro Posicional

Mais compacto

Depende da ordem

Pode causar erros

Útil em casos simples

Parâmetro Nomeado

Mais legível

Ordem irrelevante

Mais seguro

Recomendado em projetos grandes

Obrigada!