

• 什么是龙芯杯？

- 龙芯杯是计算机系统能力大赛下，面向处理器设计的比赛
- 从2016年开始举办，2024年开展第八届
- 每届比赛要求相对固定，可拓展性强

主讲人：刘思成

助教：

刘思成、彭维、周敬森、
周宇恺、吴浩宇

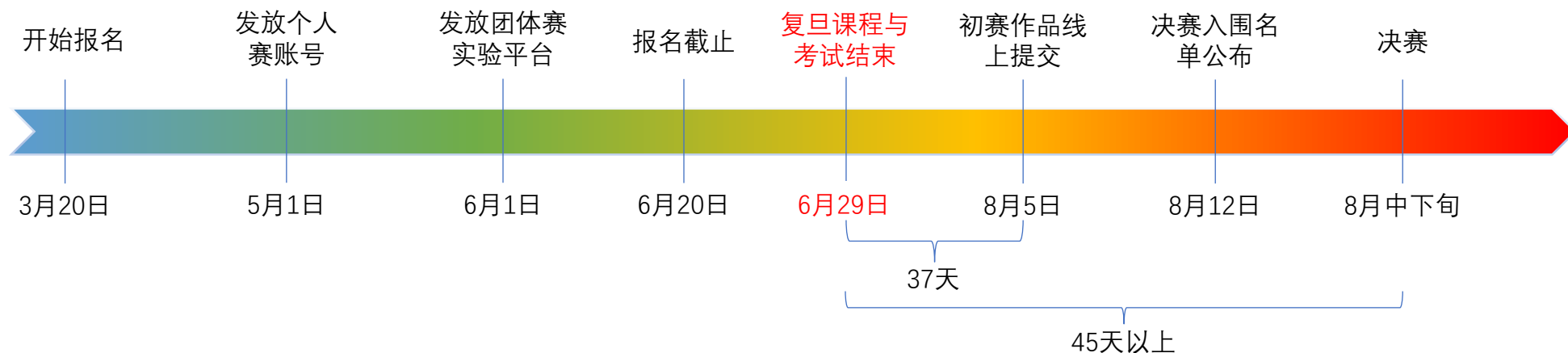
第八届“龙芯杯”
全国大学生计算机系统能力培养大赛

• 赛程

- 3月20日起开始报名
- 8月5日开始进行初赛评审, 8月5日-8月12日公布决赛入围名单
- 8月中下旬举办全国总决赛暨颁奖典礼
- 2024年承办单位是重庆理工大学

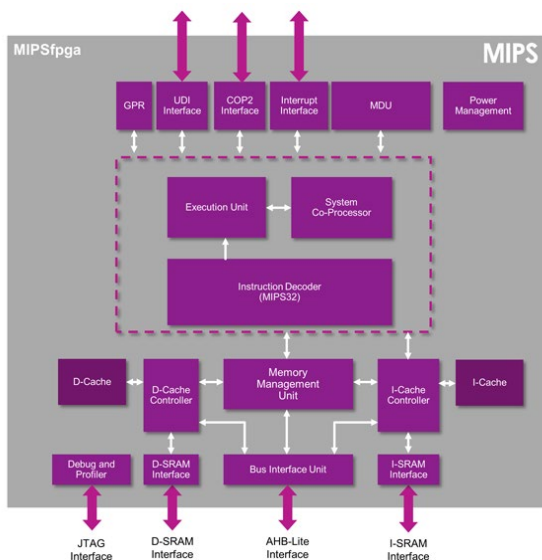
• 报名要求?

- 分个人赛和团队赛两个赛道, 团队赛至多4人一组
- 个人赛面向MIPS和LoongArch两个架构
- 团队赛从2024年开始只有LoongArch架构
- 只允许参加一条赛道的一个架构
- 可同时参加系统能力大赛其他的赛道



MIPS

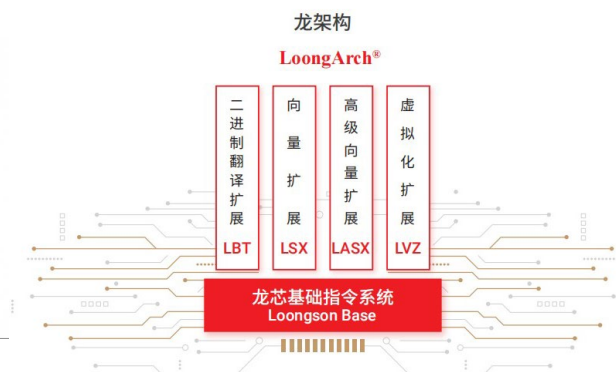
- 1981年出现，由MIPS科技公司开发并授权
- 一种采取精简指令集（RISC）的处理器架构
- 使用定长指令集
- 主要使用在网关，机顶盒等众多电子产品、网络设备、个人娱乐装置与装置上



LoongArch

- 由龙芯中科研发，最早由MIPS改进而来
- 摒弃部分不适合现代CPU的架构设计
- 2021年4月15日正式对外发布
- 与MIPS一样，采用定长RISC指令集
- 建议选择LoongArch，且有复旦团体赛传承

龙芯中科
LOONGSON TECHNOLOGY



个人赛

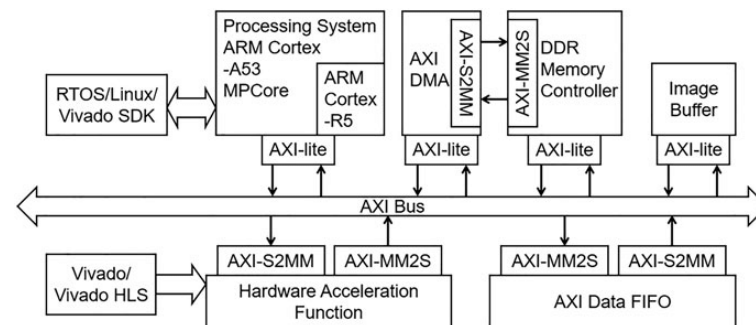
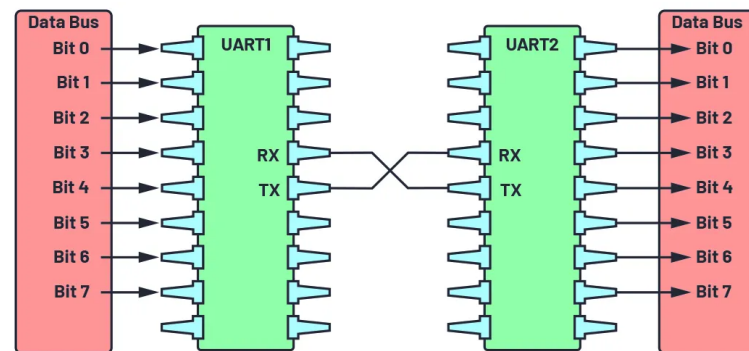
NSCSCC

• 主要技术点

- ★★☆☆ 处理器核开发
- ★★☆☆ 差分测试等验证框架开发
- ★★☆☆ SRAM、UART等控制器开发
- ★☆☆☆ Cache开发

• 预计初赛晋级条件

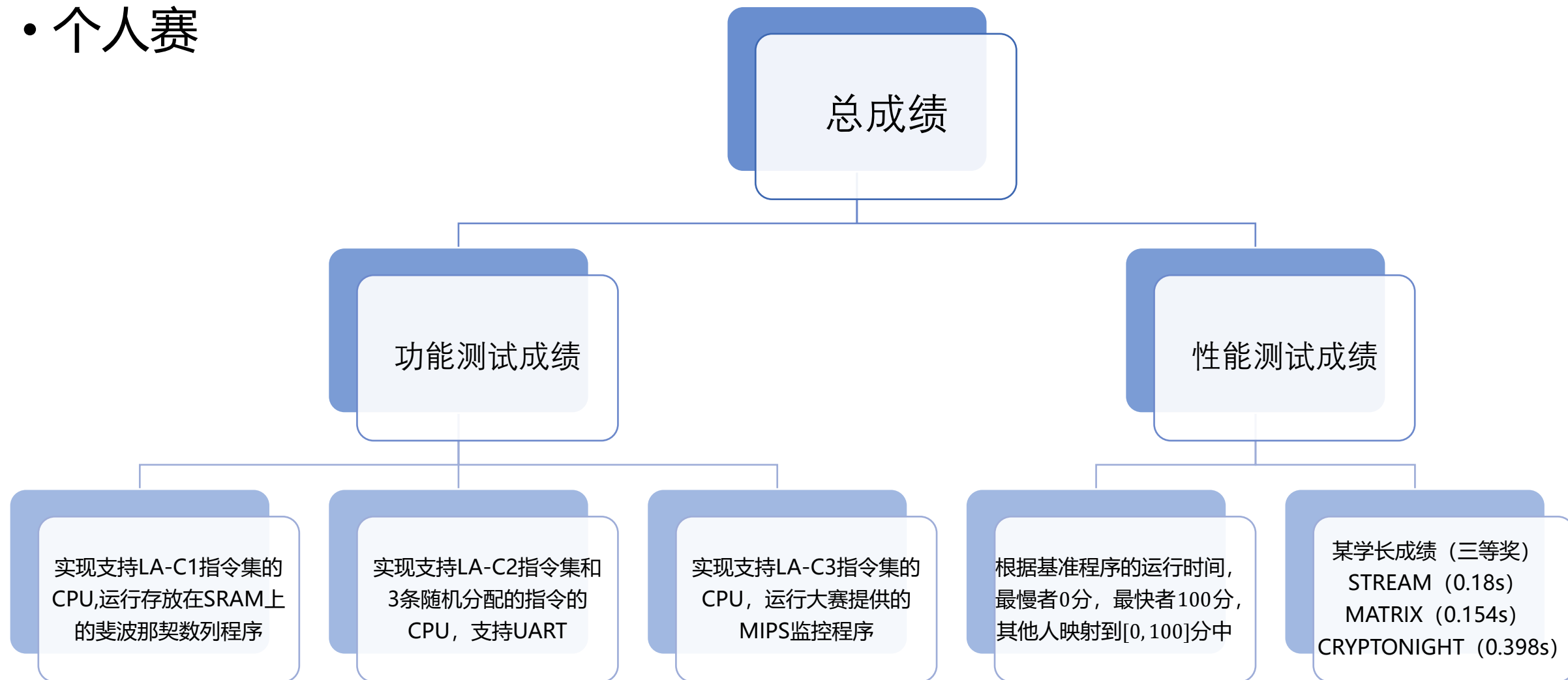
- 完成五级流水线开发
- 通过全部功能测试
- 主频不低于60MHz



龙芯杯初赛评分标准

NSCSCC

• 个人赛



个人赛预估获奖条件

NSCSCC

- **三等奖（若干）**

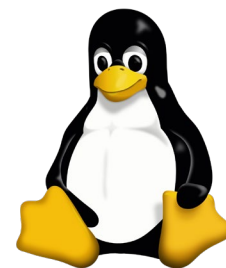
- 通过基本的功能测试，性能测试
- 至少实现五级流水线，主频×IPC达到65M

- **二等奖（4名）**

- 细分流水线
- 可选择实现简易的分支预测器
- 实现顺序多发射，缓存等

- **一等奖（2名）**

- 实现并优化（顺序 / 乱序）多发射的微架构
- 主频×IPC达到80M



NOTE:

复赛的编程任务评分取决于处理器的性能和编写程序的性能

团队赛

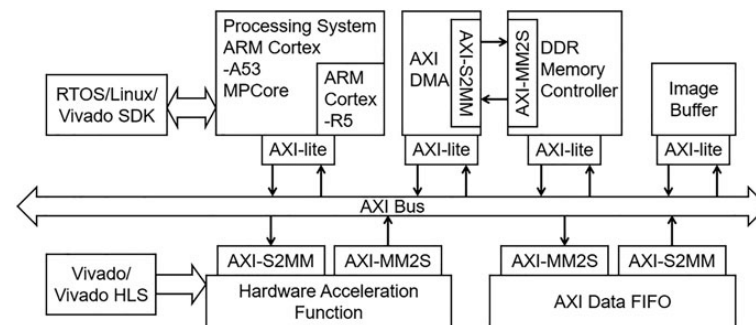
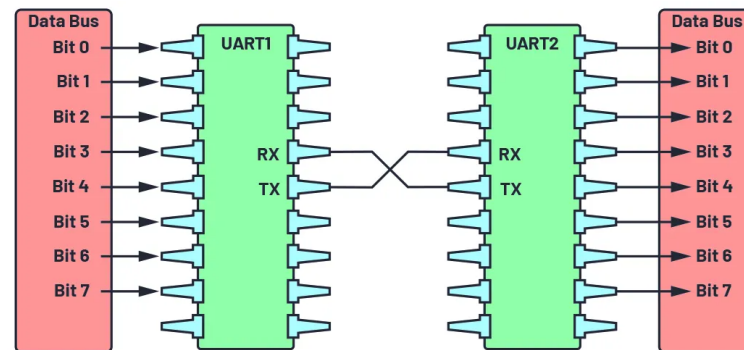
NSCSCC

• 主要技术点

- ★★★★★ 差分测试等验证框架开发
- ★★★ 处理器核开发（含特权指令集）
- ★★ 各种外设控制器与总线开发
- ★ 处理器性能优化

• 预计初赛晋级条件

- 完成除虚拟内存、Cache以外的特权指令集
- 通过功能测试
- 性能测试分数不低于40



龙芯杯初赛评分标准

NSCSCC

- 团队赛



团队赛预估获奖条件

NSCSCC

- **三等奖 (至多27名)**

- 通过基本的功能测试，性能测试
- 在参赛队伍中综合分数较高，性能分可能需要超过40分
- 在微架构上，五级流水线，AXI总线，缓存

- **二等奖 (10名，奖金3000元)**

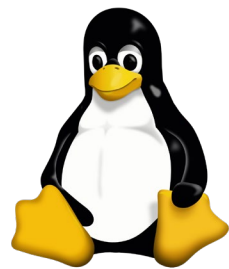
- 至少能够启动 PMON (LA) 或 U-Boot (MIPS)
- 能够启动简单的操作系统
- 在微架构上，多级流水线，多发射，缓存，TLB，分支预测

- **一等奖 (2名，奖金1万元)**

- 启动Linux内核
- 在微架构上，非阻塞式缓存，多级TLB，多级分支预测等

- **特等奖 (1名，奖金5万元)**

- 更加复杂的微架构设计，如乱序执行、多核处理器等
- 支持丰富的外设



• 语言

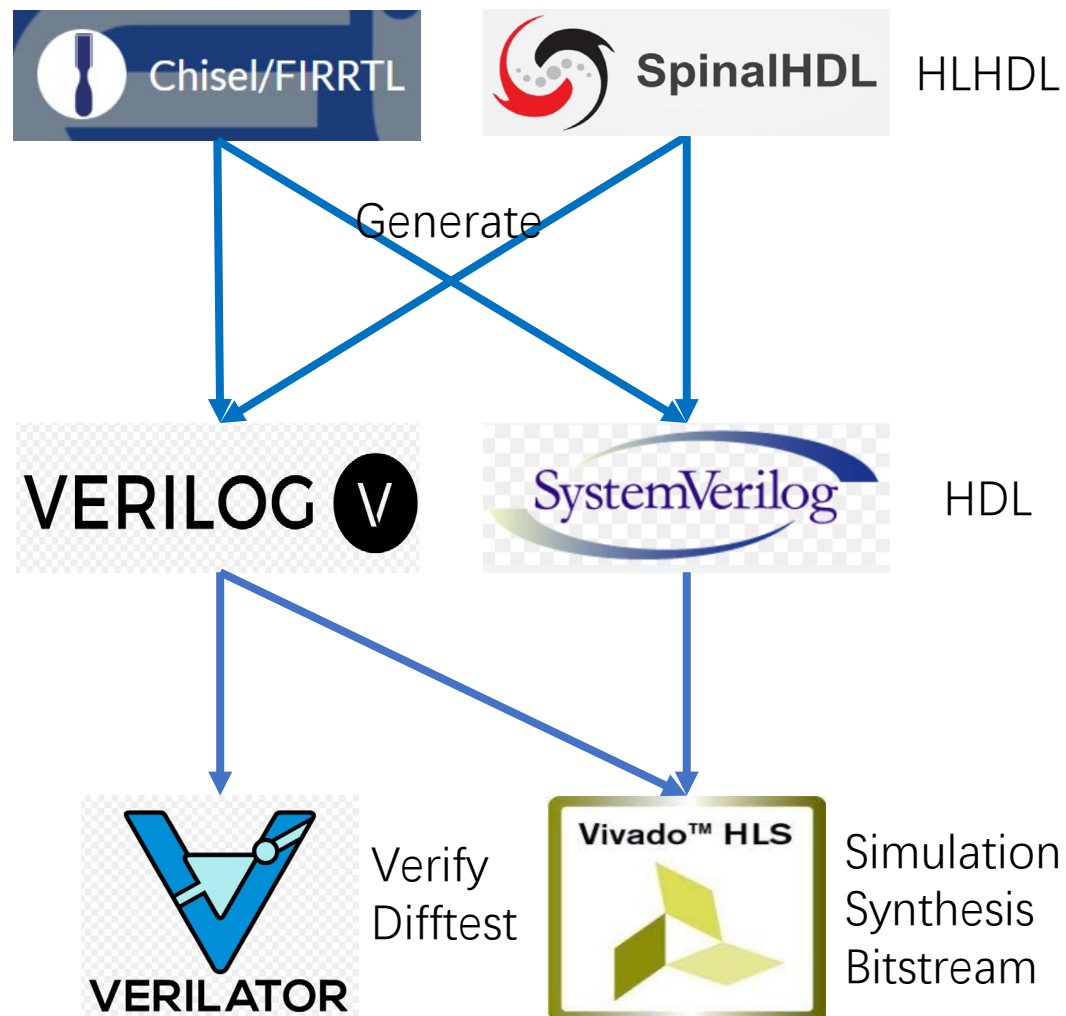
- VHDL, Verilog, SystemVerilog, Chisel, Spinal HDL等
- 推荐SystemVerilog/Chisel

• EDA工具

- Vivado (对应Xilinx FPGA)
- Quartus (对应Altera FPGA)
- Verilator (纯仿真)

• 验证

- 差分测试 (LA架构有官方提供)
- Chisel的Scalatest验证
- CDIM参赛队开发的开源验证工具



- 参考资料

- 龙芯官方实验：CPU设计实战

- 参考书

- 《超标量处理器设计》（团队赛必读）
- 《自己动手写CPU》（入门经典）
- 《计算机体系结构：量化研究方法》

- 其他学习资料

- 一生一芯（基于RISC-V，推荐学习，但很耗时）
- 简易五级流水线CPU： <https://github.com/cocodery/SampleCPU>

NSCSCC

- **开源代码**

- CDIM, <https://github.com/Maxpicca-Li/CDIM>
- UltraMIPS, https://github.com/SocialistDalao/UltraMIPS_NSCSCC
- Non-trivial-mips, <https://github.com/trivialmips/nontrivial-mips>
- NENE-Core <https://github.com/AlwenXXD/nscsc2021>

- **官方资料合集**

- <https://gitee.com/loongson-edu/nscsc-wiki>
- <https://gitee.com/loongson-edu/chiplab> (LA32 CPU样例)

- **决赛系统展示视频**

- <https://space.bilibili.com/521339105>

- **相关论坛**

- EETOP, <https://bbs.eetop.cn/>

Lab评分要求

NSCSCC

软件Lab评分

龙芯杯参赛评分

无	课程基础		学习Verilog，并实现单周期CPU	
完成Lab1， 建立项目运行环境	10分	20分	实现基础的五级流水线CPU， 可以正确执行没有控制和数据依赖的指令	约1周可完成
完成Lab2， 模拟流水线CPU	10分			
完成Lab3， 实现分支预测机制	10分	10分	正确处理存在控制和数据依赖的指令	
完成Lab4， 模拟CPU缓存机制	10分	10分	实现比赛要求的所有非特权指令， 每条指令都需要编写测试用例覆盖， 且访存不能在单周期内完成	
⊖ 软件Lab最多可得40分		+5分	(额外加分) 完成下面任意一项 <ul style="list-style-type: none">实现流水化的乘除法器实现基于两位饱和计数器的分支预测器实现基于FIFO的指令缓存和数据缓存	3~5天
有意愿冲击更高奖项的同学可自行完成， 无额外课程加分			CPU主频×IPC达到65M	1周
			CPU主频×IPC达到80M	1月

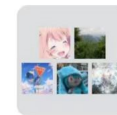
龙芯杯Lab说明

NSCSCC

- 选择龙芯杯Lab则**必须**参加龙芯杯，个人赛或团体赛自定
- Lab为**个人作业**，与选择个人赛还是团体赛无关，禁止抄袭
- 语言限定 (System) Verilog或Chisel，要求使用Verilator进行仿真
- MIPS或LoongArch架构不限

NSCSCC

Q & A



群聊：2024复旦龙芯杯



该二维码7天内(3月24日前)有效，重新进入将更新