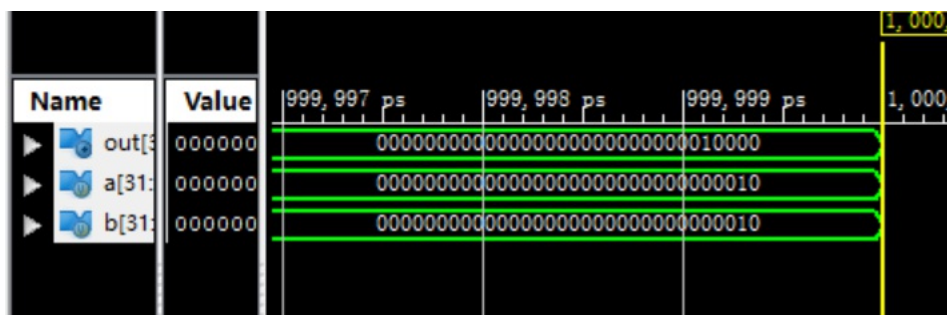


采用组合逻辑, 设计32bit位宽运算器;

具体运算功能有：

- 实验目的：熟悉利用组合逻辑设计基本运算单元

实验结果：仿真波形如下图



alu.v

```

module ALU(
    input signed [31:0] alu_a,
    input signed [31:0] alu_b,
    input [4:0] alu_op,
    output reg [31:0] alu_out
);

    parameter A_NOP = 5'h00; //空运算
    parameter A_ADD = 5'h01; //符号加
    parameter A_SUB = 5'h02; //符号减
    parameter A_AND = 5'h03; //与
    parameter A_OR = 5'h04; //或
    parameter A_XOR = 5'h05; //异或
    parameter A_NOR = 5'h06; //或非

    always@(*)
    begin
        case(alu_op)
            A_NOP: alu_out<=0;
            A_ADD: alu_out<=alu_a+alu_b;
            A_SUB: alu_out<=alu_a-alu_b;
            A_AND: alu_out<=alu_a&alu_b;
            A_OR: alu_out<=alu_a|alu_b;
            A_XOR: alu_out<=alu_a^alu_b;
        endcase
    end
endmodule

```

top.v

```

module top(
    input [31:0] a,
    input [31:0] b,
    input [4:0] op,
    output [31:0] out
);
    parameter A_NOP = 5'h00; //空运算
    parameter A_ADD = 5'h01; //符号加
    parameter A_SUB = 5'h02; //符号减
    parameter A_AND = 5'h03; //与
    parameter A_OR = 5'h04; //或
    parameter A_XOR = 5'h05; //异或
    parameter A_NOR = 5'h06; //或非

    ALU test(a,b,op,out);
endmodule

```

top2.v

```

module top2(
    input [31:0] a,
    input [31:0] b,
    output [31:0] out
);

    wire [31:0] a1;
    wire [31:0] a2;
    wire [31:0] a3;
    ALU add1(a,b,5'h01,a1);
    ALU add2(b,a1,5'h01,a2);
    ALU add3(a1,a2,5'h01,a3);
    ALU add4(a2,a3,5'h01,out);

endmodule

```

实验总结

ALU的设计只利用了组合逻辑，根据运算操作符做赋值运算即可