**哈尔滨理工大学**

计算机科学与技术学院

**实 验 报 告**

（2021-2022第二学期）

**课程名称：** 高级数字IC设计

**班 级：** 集成19-2

**学 号：** 1914020208

**姓 名：** 黄羽铧

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 实验名称 | **同步FIFO设计** | | | 专 业 | 集成电路设计与集成系统 |
| 姓 名 | 黄羽铧 | 学 号 | 1914020208 | 班 级 | 集成19-2 |

**一、实验目的：**

1、了解同步FIFO的结构和工作原理

2、加深同步数字电路设计方法的理解

**二、实验内容：**

使用Verilog实现一个容量为8\*8的同步FIFO，该FIFO具有读/写使能端，控制该数据流的读出/写入。具有高电平有效的FIFO空/满标志位输出

通过对操作性实验的练习，完成同步FIFO设计。在实验报告中写出完整的设计过程，给出验证结果。并对所设计的内容进行分析说明。

**三、实验设备及软件环境：**

**设备：**计算机电脑

**软件环境：**Windows 11, Modelsim, VScode, VCS, DVE

**四、实验过程及结果：**

**实验步骤：**

1. 编写testbench给设计模块激励
2. 观察输出波形是否符合功能
3. 考察激励是否满足各种不同情况

**实验结果截图：**

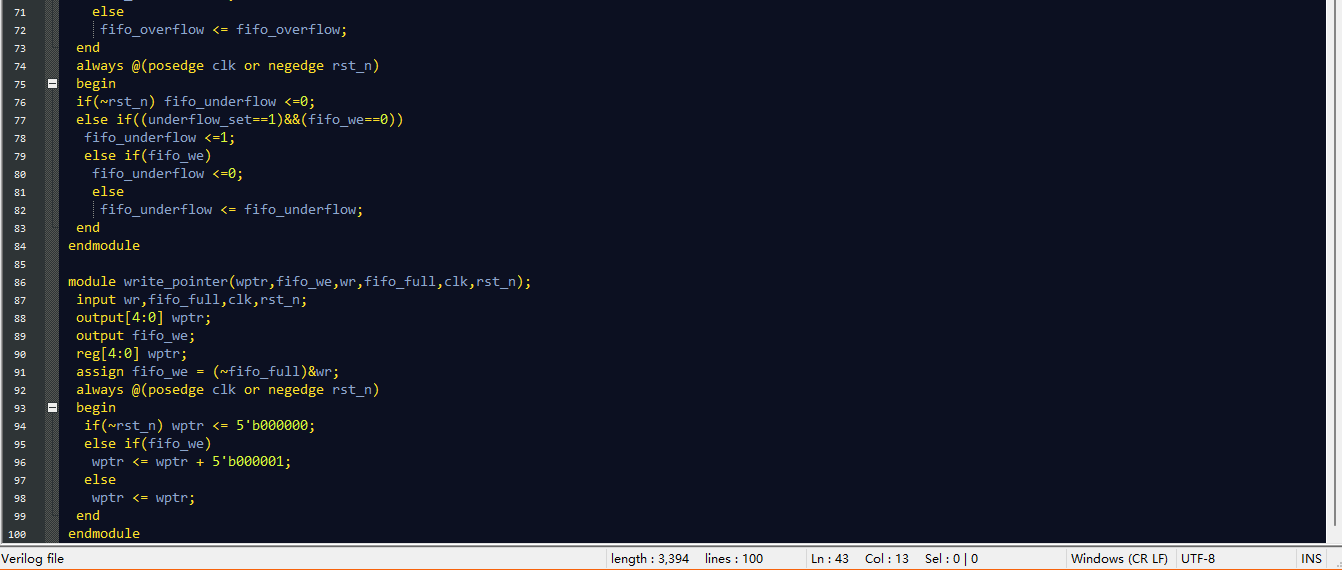
之前学习FIFO的时候设计的代码，正好能拿出来复用

有空满状态指示fifo\_empty，fifo\_full

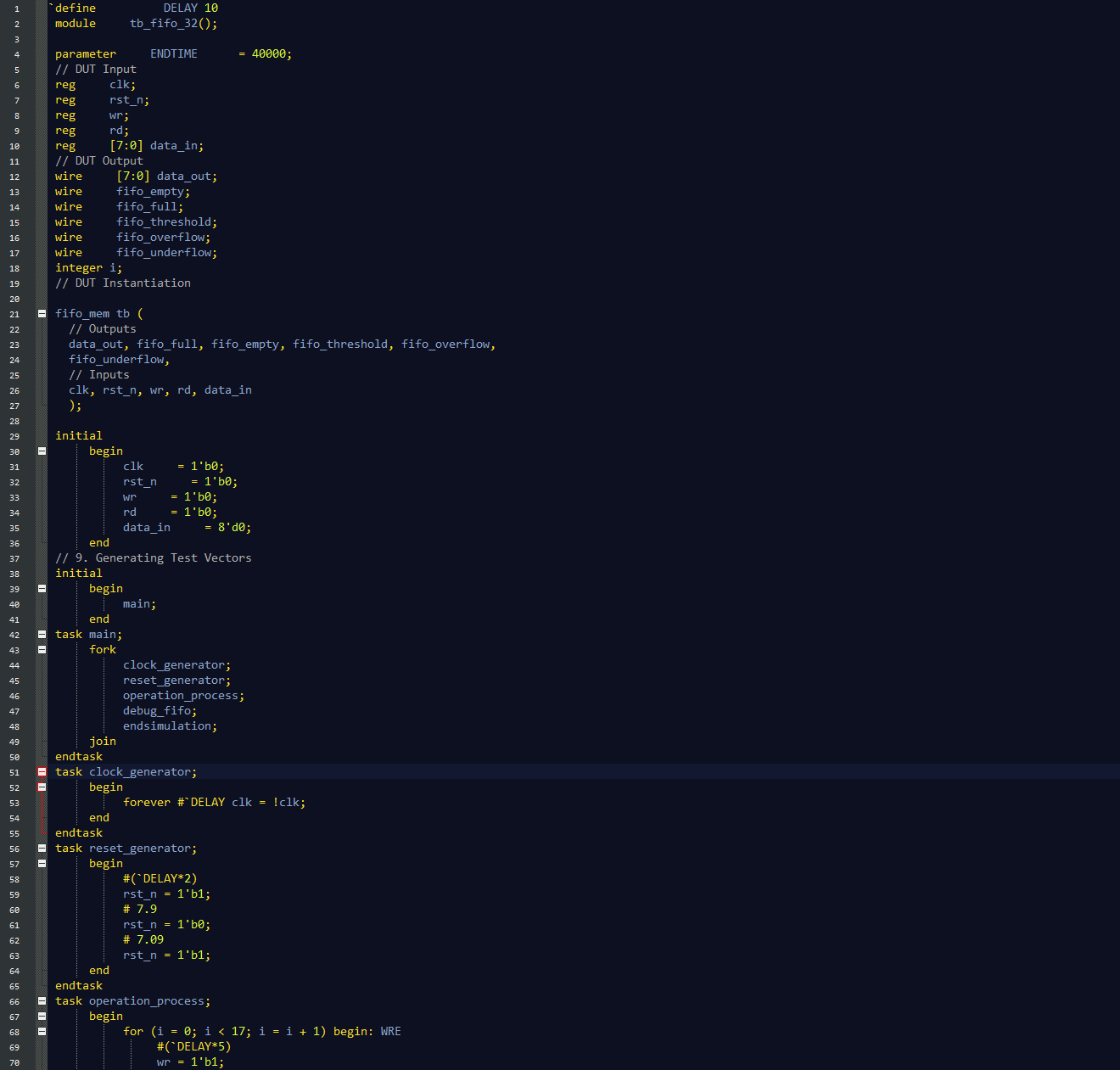
为了满足实验要求把memory改成了[8:0]

在tb文件中也用到了task封装





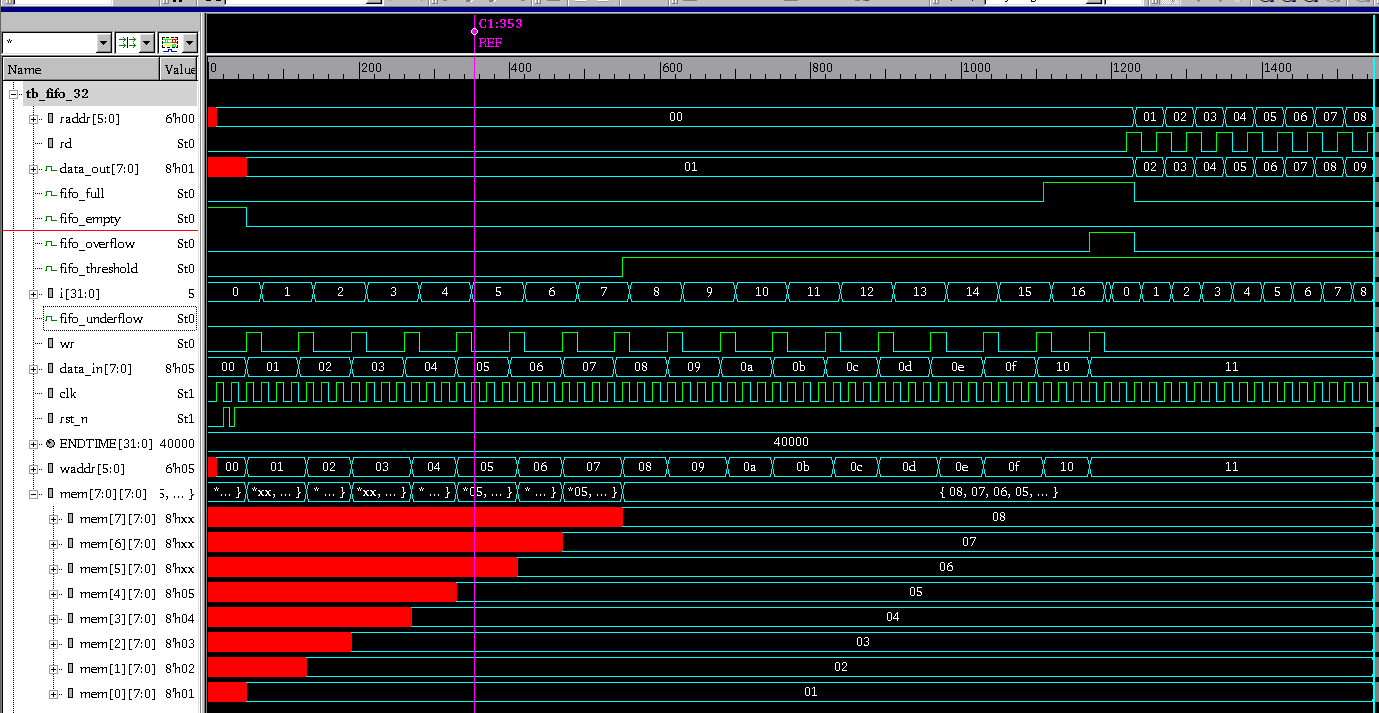
TESTBENCH：





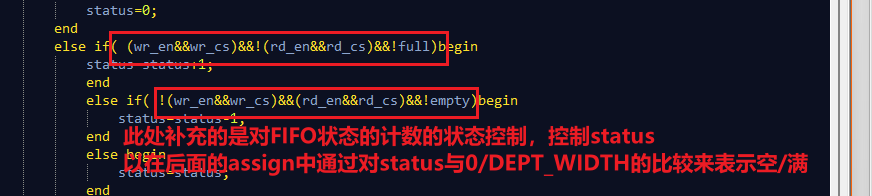
进入VCS完成compile生成simv，复习了VCS以及DVE的使用方法。

进入dve查看波形是否与功能相符：



观察波形，可以看到fifo满足设计指标的要求。

对于给定代码的补全：



**实验结果分析：**

通过观察波形可以清晰的看到波形与预计功能相符，在fifo空的时候，fifo\_empty信号拉高，在fifo满的时候，fifo\_full信号拉高，满足高电平有效的fifo空/满标志位输出，实验成功。

**五、总结：**

在本次实验中，我复习了FIFO相关的基本原理与知识，完成了对FIFO的设计。在本次FIFO实验中，我复习了FIFO的基本结构和工作原理，复习了在FIFO设计中读写指针的运用。在对参考代码的分析与学习中也进一步加深了对代码编写使用参数化方式的应用与理解。但是美中不足的是在我学习了解完更多的验证相关的知识后，回过头来看这个FIFO的设计与测试，发现代码的可读性仍有很大提升的空间，我会吸取本次实验的经验，在未来其他的设计中做出更好的作品出来。

实验成绩： 指导教师： 年 月 日