**哈尔滨理工大学**

计算机科学与技术学院

**实 验 报 告**

（2021-2022第二学期）

**课程名称：** 高级数字IC设计

**班 级：** 集成19-2

**学 号：** 1914020208

**姓 名：** 黄羽铧

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 实验名称 | **异步FIFO设计** | | | 专 业 | 集成电路设计与集成系统 |
| 姓 名 | 黄羽铧 | 学 号 | 1914020208 | 班 级 | 集成19-2 |

**一、实验目的：**

1、了解异步FIFO的结构和工作原理

2、加深跨时钟域设计相关技术的理解和掌握

**二、实验内容：**

设计要求

设计一个8\*8的异步FIFO。该FIFO具有读/写使能端，控制该数据流的读出/写入。具有高电平有效的FIFO空/满标志位输出，使用跨时钟域读写指针, 使用格雷码编码。

**三、实验设备及软件环境：**

**设备：**计算机电脑

**软件环境：**Windows 11, Modelsim, VScode，VCS，DVE

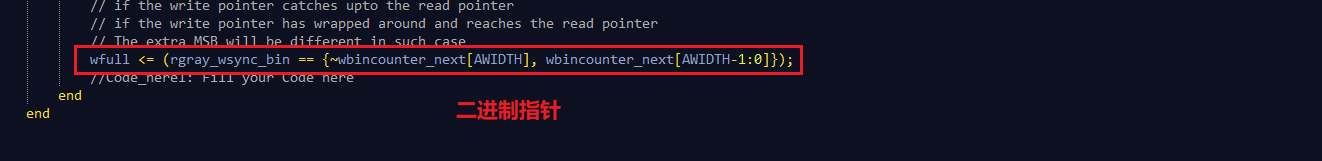
**四、实验过程及结果：**

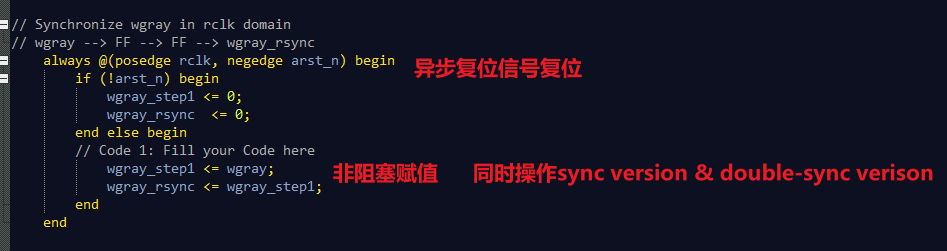
**实验步骤：**

通过对操作性实验的练习，完成异步FIFO设计。在实验报告中写出完整的设计过程，给出验证结果。并对所设计的内容进行分析说明。

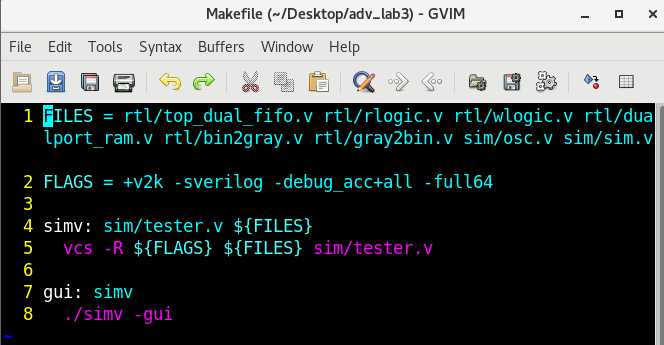
**实验结果截图：**

代码补全：

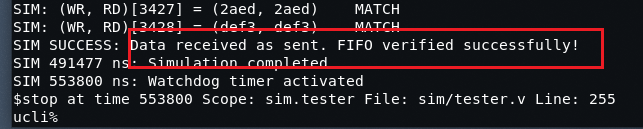




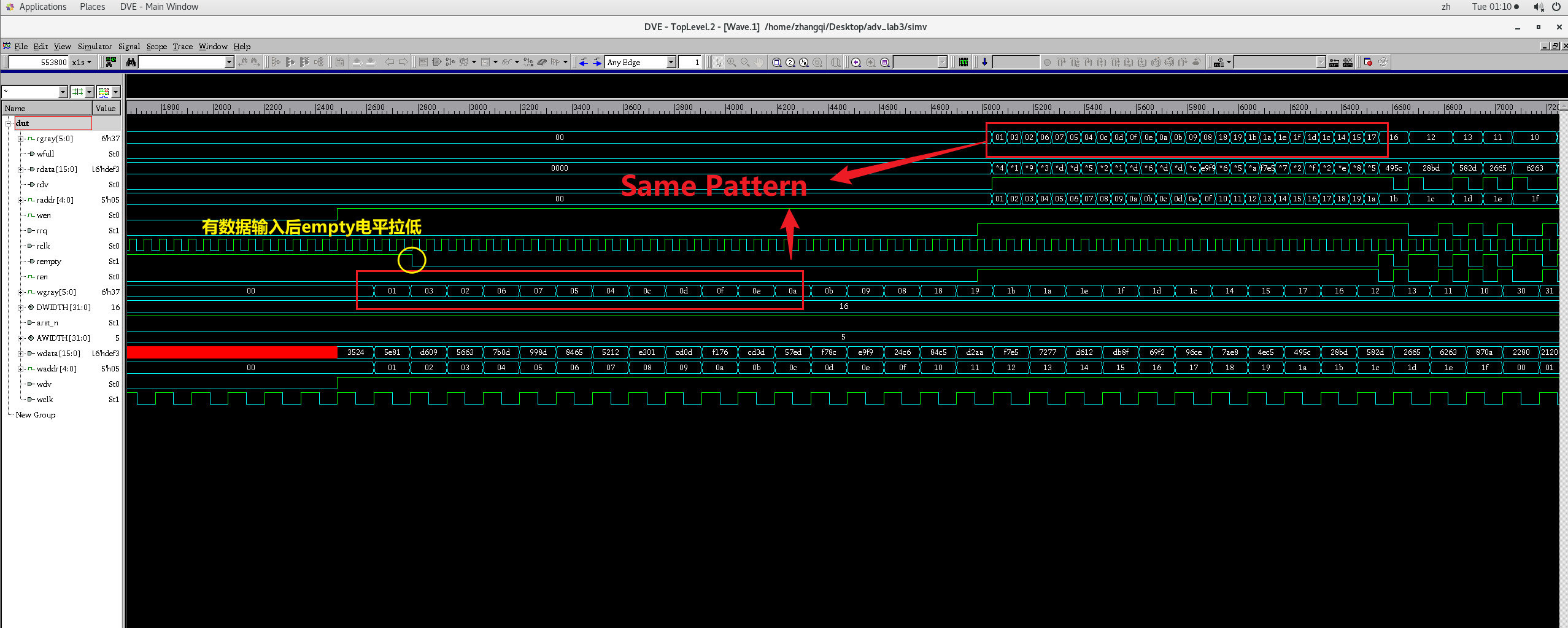
写了一个Makefile来方便一键进行VCS，DVE编译：



同样进入VCS完成compile生成simv，进入dve查看波形，同时复习了VCS以及DVE的使用方法。



因为tester里使用了$stop；，所以进入了ucli



观察波形，可以清晰的看到波形与预计功能相符，并且$display正常按既定目的功能显示出相应的log。

**实验结果分析：**

通过观察波形以及terminal里的log可以得知，FIFO的输入与输出完全与预期相同，实验成功。

**五、总结：**

通过本次实验，我复习了Verilog的基本语法，重温了设计与验证的相关知识。同时在设计中我也注意到在设计中插入参数化的设计方式能够使得设计更加统一，也可以增加代码的可读性。同时也加深了我对于使用指针对FIFO的空满条件进行判定与输出的方法的认识。此外，我也学会了可以通过单位或向量数据以及同步器加格雷码的方式来实现不同设计之间跨时钟域的设计。

相信在以后不断地继续学习和进步的过程中，我能回忆起这次实验的经历，利用本次实验的经验，完成更出色的作品的设计与测试工作。

实验成绩： 指导教师： 年 月 日