**哈尔滨理工大学**

计算机科学与技术学院

**实 验 报 告**

（2021-2022第二学期）

**课程名称：** 高级数字IC设计

**班 级：** 集成19-2

**学 号：** 1914020208

**姓 名：** 黄羽铧

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 实验名称 | **自动售货机的设计与实现** | | | 专 业 | 集成电路设计与集成系统 |
| 姓 名 | 黄羽铧 | 学 号 | 1914020208 | 班 级 | 集成19-2 |

**一、实验目的：**

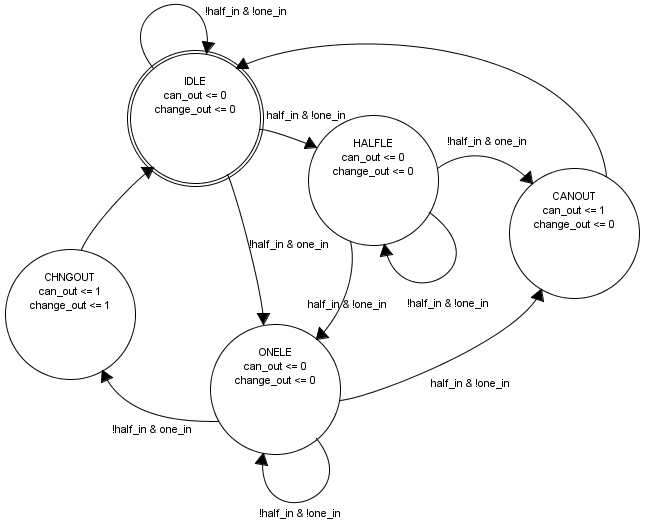
1、回顾Verilog语法和使用

2、以STG作为系统规范，完成数字电路设计

**二、实验内容：**

根据给出的自动售货机状态图，使用Verilog/SV完成自动售货机的设计验证。

通过对操作性实验的练习，自行完成设计实例。在实验报告中写出完整的设计过程，给出验证结果，并对设计和验证的内容进行分析说明。

****

售货机的功能为： 售货机可出售罐装可乐，其中每罐可乐定价为1. 5元。机器只接受1元和5角两种硬币，且每次只能接受一枚硬币。如有找零，机器会给出找零信号。

售货机具有四个输入: reset, clk, one\_in 和half\_in, Reset用于重置售货机，高电平有效，Clk为时钟，上升沿有效。如果输入的硬币是1元硬币 ，则one\_in为高电平；如果输入的硬币是5角硬币，则half\_in为高电平。如果没有输入硬币，则两个输入位均为低电平。

售货机具有两个输出:；can\_out和change\_out。当有一个罐子要输出时，can\_out为高电平，如果找零时，change\_out为高电平。

**三、实验设备及软件环境：**

**设备：**计算机电脑

**软件环境：**Windows 11, Modelsim, VScode, VCS, DVE

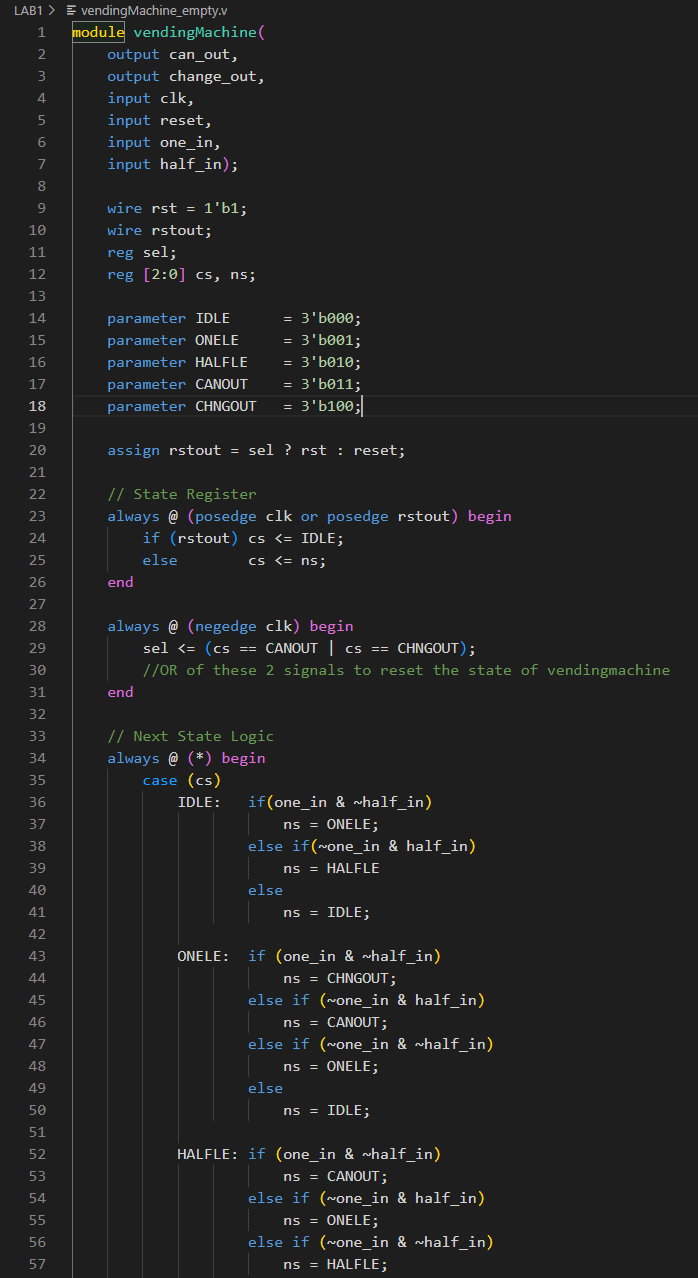
**四、实验过程及结果：**

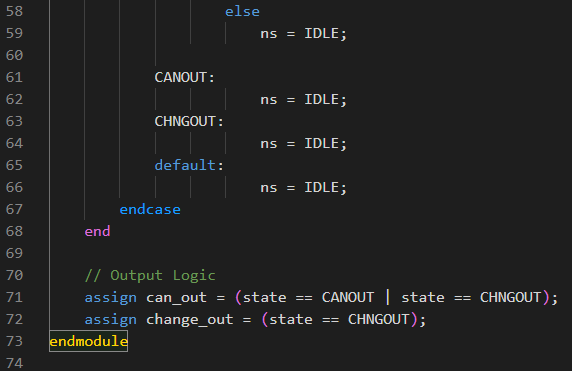
**实验步骤：**

1. 编写testbench给设计模块激励
2. 观察输出波形是否符合功能
3. 考察激励是否满足各种不同情况

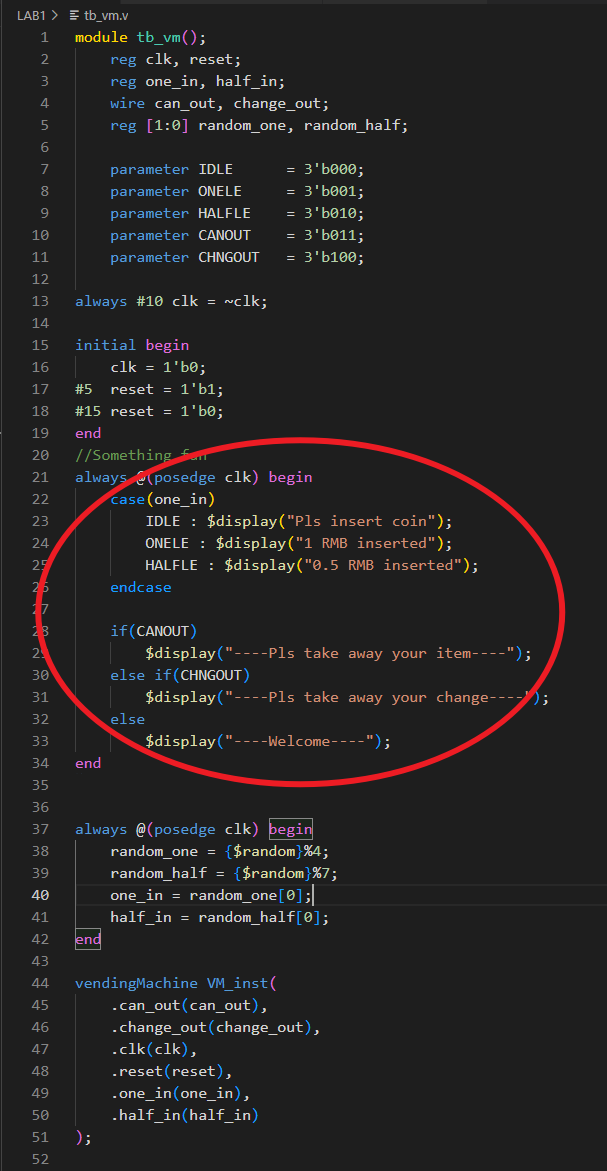
**实验结果截图：**

vendingMachine设计代码，使用了三段式状态机。

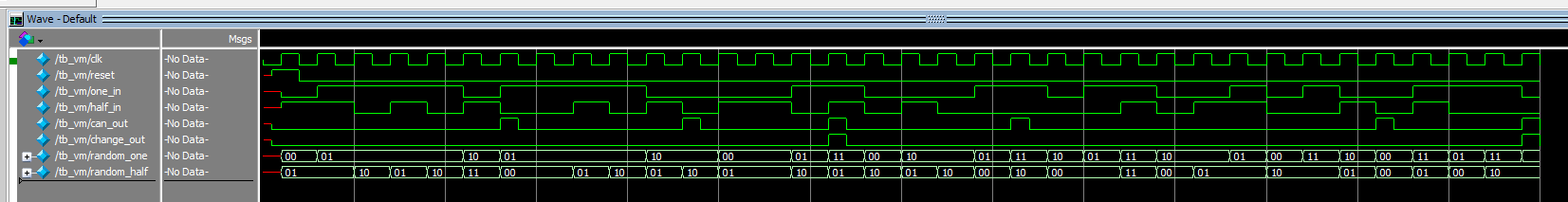


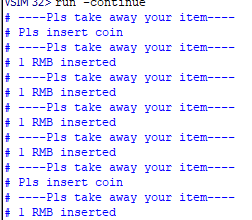


编写testbench文件，为了方便查看输出情况加入了对应输出的$display

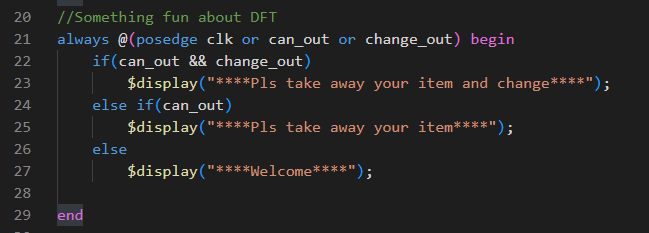


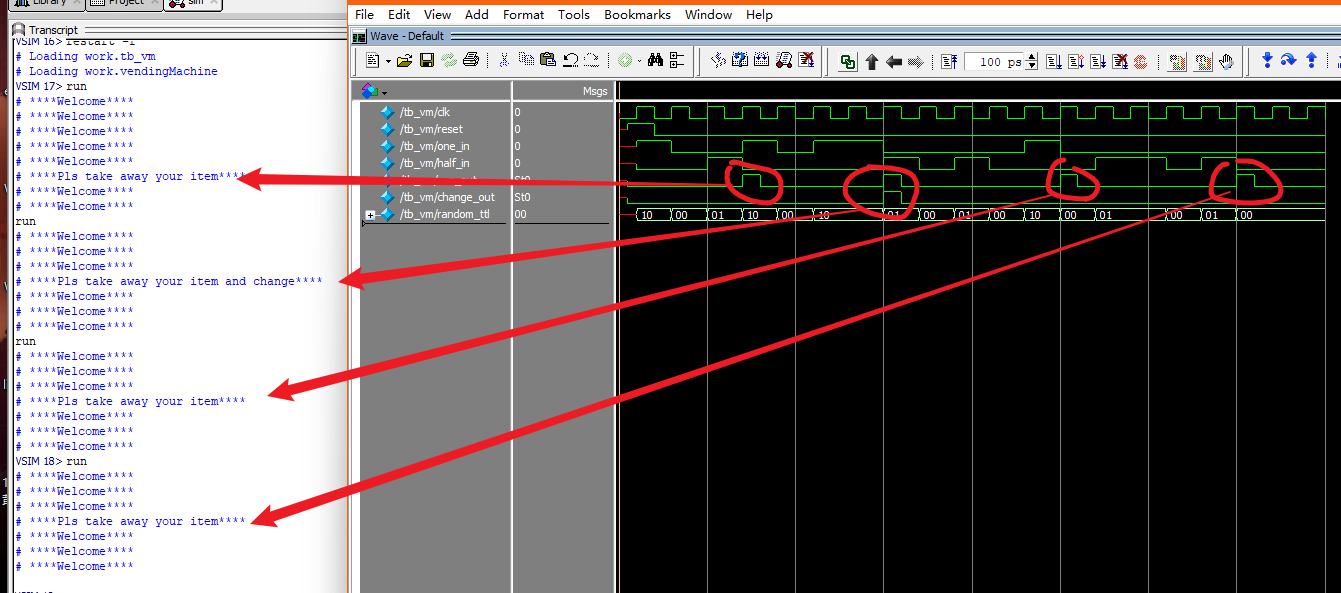
观察波形图与Transcript窗口，发现$display的内容并没有对应输出，发现是这部分的写法出了问题



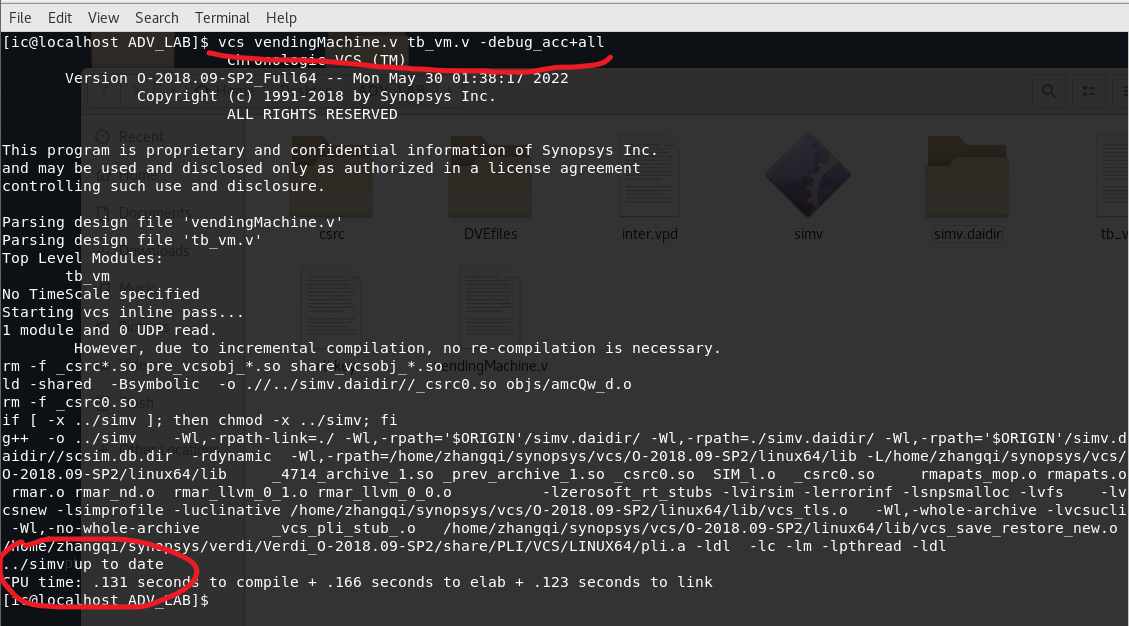


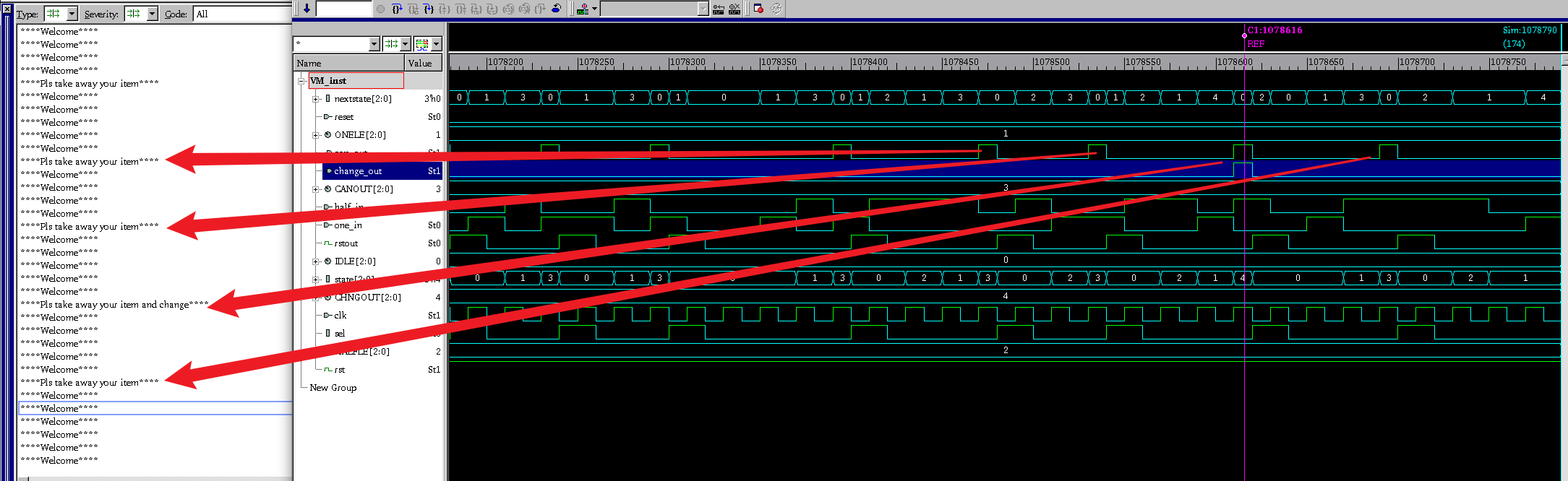
重新修改了写法





同样进入VCS完成compile生成simv，复现出相同的结果，同时复习了VCS以及DVE的使用方法。





观察波形，可以清晰的看到波形与预计功能相符，并且自主加入的$display经过调试之后也能够正常的按既定目的功能显示出相应内容。

**实验结果分析：**

通过观察波形可以发现，当投入的硬币达到1.5元时，售货机就会输出高电平的can\_out出货信号，当投入的硬币超过1.5元时，便会拉高change\_out信号以表示找回零钱。并且通过$random的方式使得输入信号具有随机性，在这种情况下的测试结果仍与目标相吻合，实验成功。

**五、总结：**

通过本次实验，我复习了Verilog的基本语法以及根据STG进行状态机的编写的过程，重温了专业基础知识。虽然本次实验比较基础，但在进行这次实验的过程中，结合完成其他作业时所学到的知识，我发现通过$display的方式可以更加方便地看到设计模块所对应的输出结果。但也是在对输出加强观察的过程中，我发现我的设计还存在许多不足，比如输入的金额还是存在局限性，不能应付现实生活中更加复杂的情况。相信在以后不断地继续学习和进步的过程中，我能回想起这次实验的经历，利用本次实验的经验，完成更出色的作品的设计与测试工作。

实验成绩： 指导教师： 年 月 日