**实验一自动售货机的设计与实现（2学时）**

1. **实验目的：**1.回顾Verilog语法和使用。

2.以STG作为系统规范，完成数字电路设计。

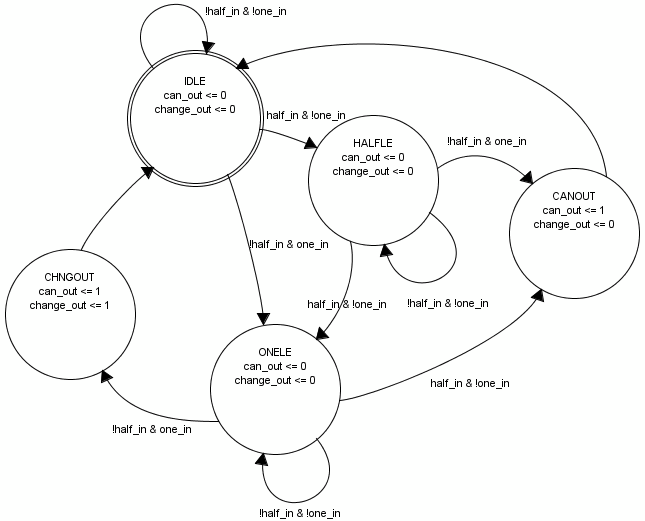
1. **实验用设备仪器及材料：**计算机一台，EDA软件
2. **实验内容：**自动售货机的设计与实现
3. **设计要求：**根据给出的自动售货机状态机图，使用Verilog完成自动售货机的设计和验证。

售货机的功能为： 售货机可出售罐装可乐，其中**每**罐可乐定价为1. 5元。机器只接受1元和5角两种硬币，且每次只能接受一枚硬币。如有找零，机器会给出找零信号。

售货机具有四个个输入: reset, clk， one\_in 和half\_in. Reset用于重置售货机，高电平有效，Clk为时钟，上升沿有效。如果输入的硬币是1元硬币 ，则one\_in为高电平；如果输入的硬币是5角硬币，则half\_in为高电平。如果没有输入硬币，则两个输入位均为低电平。

售货机具有两个输出:；can\_out和change\_out。当有一个罐子要输出时，can\_out为高电平，如果找零时，change\_out为高电平。

该状态机的状态转换图如下图所示。



**五、实验要求：**通过对操作性实验的练习，自行完成设计实例。在实验报告中写出完整的设计过程，**给出验证结果**。并对设计和验证的内容进行分析说明。

**实验二 同步FIFO设计（4学时）**

1. **实验目的：**1.了解同步FIFO的结构和工作原理。

2.加深同步数字电路设计方法的理解。

二、**实验用设备仪器及材料：**计算机一台，EDA软件。

**三、实验内容：同步FIFO的设计与实现**

**四、设计要求：**使用Verilog实现一个容量为8\*8的同步FIFO。该FIFO具有读/写使能端，控制该数据流的读出/写入。具有高电平有效的FIFO空/满标志位输出。

**五、实验要求：**通过对操作性实验的练习，自行完成设计实例。在实验报告中写出完整的设计过程，**给出验证结果**。并对所设计的内容进行分析说明。

**实验三 异步FIFO设计（4学时）**

1. **实验目的**： 1.了解异步FIFO的结构和工作原理。

2. 加深跨时钟域设计相关技术的理解和掌握。

**二、实验用设备仪器及材料：**计算机一台，EDA软件。

**三、实验内容：**异步FIFO的设计与实现。

**四、设计要求：**设计一个8\*8的异步FIFO。该FIFO具有读/写使能端，控制该数据流的读出/写入。具有高电平有效的FIFO空/满标志位输出，使用跨时钟域读写指针使用格雷码编码。

**五、实验要求：**通过对操作性实验的练习，自行完成设计实例。在实验报告中写出完整的设计过程，**给出验证结果**。并对所设计的内容进行分析说明。