**哈尔滨理工大学**

计算机科学与技术学院

**实 验 报 告**

（2021-2022第二学期）

**课程名称：** 集成电路验证技术

**班 级：** 集成19-2

**学 号：** 1914020208

**姓 名：** 黄羽铧

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 实验名称 | **SystemVerilog的面向对象编程** | | | 专 业 | 集成电路设计与集成系统 |
| 姓 名 | 黄羽铧 | 学 号 | 1914020208 | 班 级 | 集成19-2 |

**一、实验目的：**

1、继续熟悉VCS基本功能、界面和使用

2、了解APB协议

3、掌握SystemVerilg中引入的新的语法结构

熟悉interface

熟悉clocking块program块

对interface的驱动和采样

**二、实验内容：**

1、编写一个总线仲裁器的验证平台

**三、实验设备及软件环境：**

**设备：**计算机电脑

**软件环境：**Linux, VCS, DVE, VMware, Vim

**四、实验过程及结果：**

**实验步骤：**

1. 加入命令脚本
   * 在sim/file\_list中加入test.sv，加入时注意文件路径
   * 在sim目录下新建文件’run’，在run文件中编写vcs的编译脚本，如下：

*vcs –f file\_list –sverilog –debug\_all*

注意：回顾这些命令行的用途

* + 在Linux中将run改变权限为可执行：

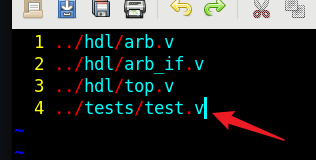
chmod +x ./run

* + 运行./run 并观察log文件
    - 注意如何通过提示定位错误

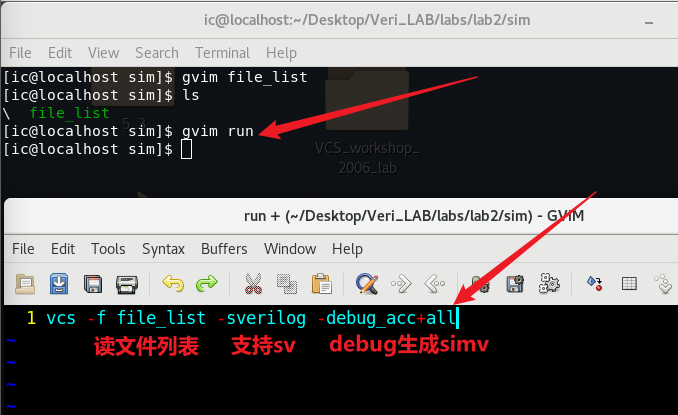
1. 完成 hdl/arb\_if.v中的interface定义部分
   * 可参考arb.v中的信号描述，在定义interface内部信号时使用logic类型
2. 完成tests/test.v中的reset\_test任务
   * 上电100ns后reset高电平复位，复位信号持续2个周期并结束复位操作，此时使用断言检查grant信号是否为2’b00
3. 添加自己的激励
   * 在request\_grant\_test()中完成对request信号的手动赋值，每隔一段时间（自己定义）赋新值，要求2’b00~2’b11都测试到，并使用断言检查2个周期后的grant值是否正确

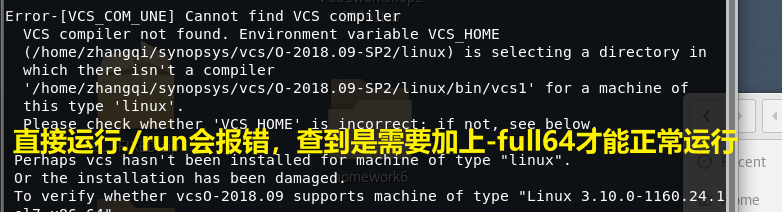
**实验结果截图：**

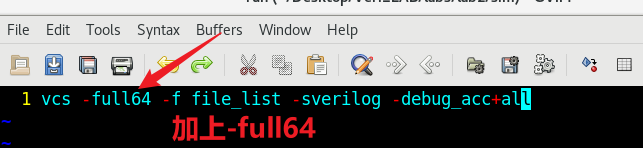
再filelist中加入test.v,文件路径在 ../labs/lab2/tests 内



在sim目录下新建文件run，编写vcs的编译脚本

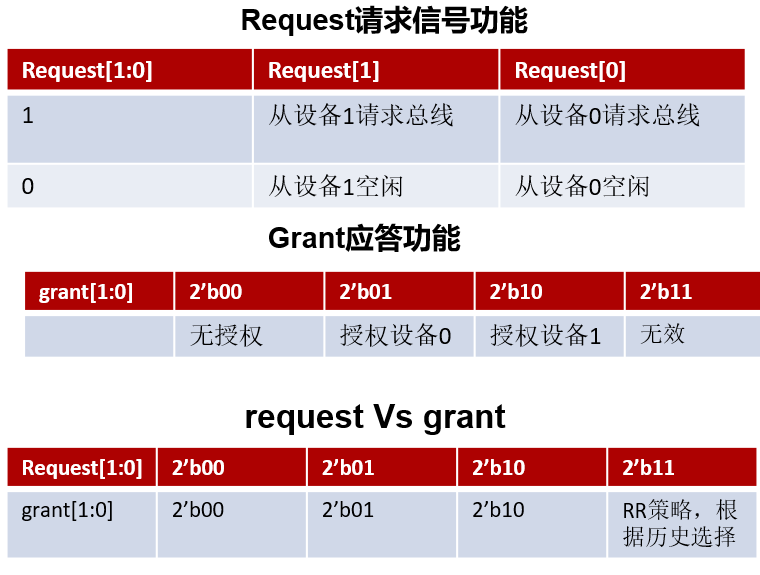
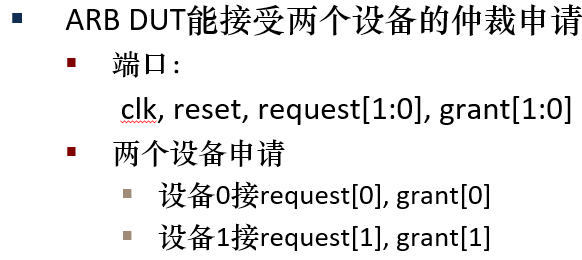






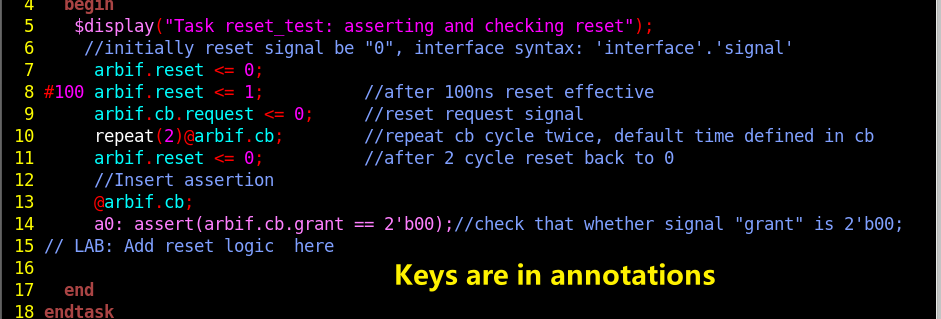


根据ppt中队ARB DUT仲裁器的端口以及功能描述，编写interface中缺失的部分

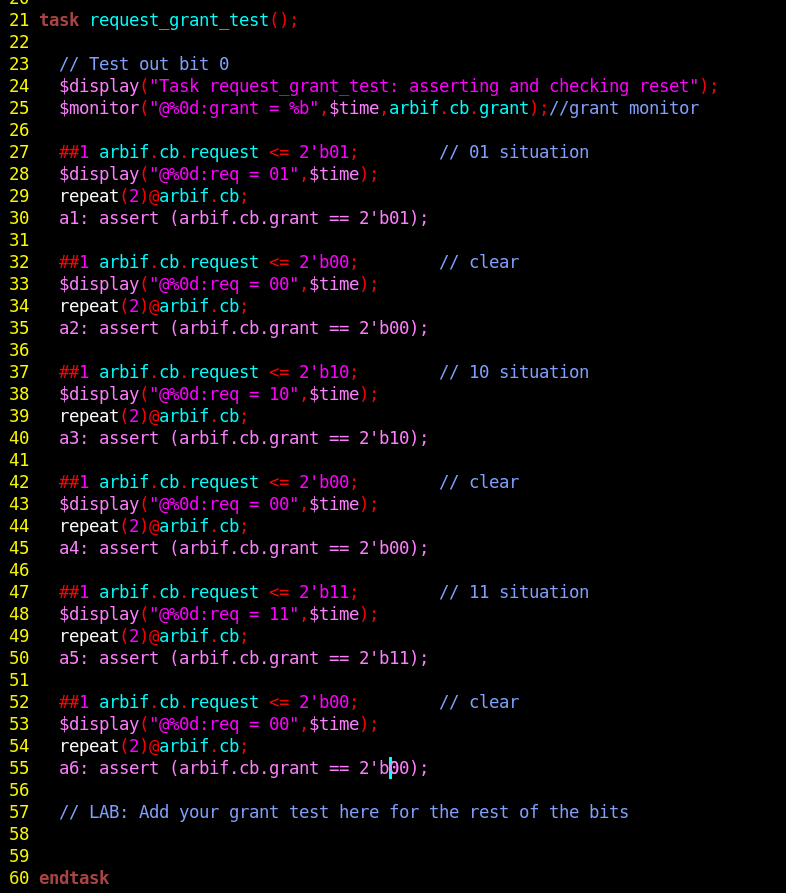


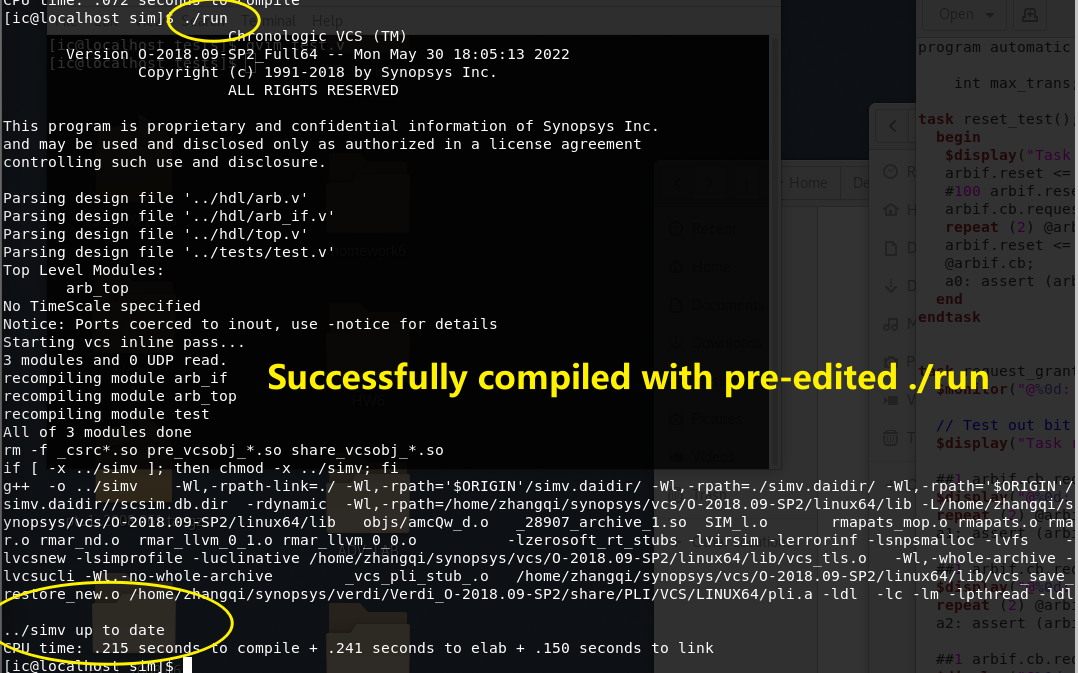


Here come the reset\_test mission:



Request\_grant\_test:









**实验结果分析：**

可以清晰地看到，产生的request信号每过两个周期便输出与之相同的grant结果值，实验现象与预期功能相符合，实验完成。通过实验模拟了总线上的总裁器的功能。

**五、总结：**

通过本次实验熟悉了断言assertion在设计测试的时候的作用，以及结合$monitor的作用，使得观察测试结果变得十分的方便直观。学会了使用chmod +x使文件权限变得可以执行。在本次实验中通过以往的经验解决了无法唤起VCS的问题，更加明白了相关经验在进行测试平台的搭建的时候的重要性。同时也加深了对Verilog和SystemVerilog的使用经验，相信通过本次实验，在以后的测试平台编写时会更加的得心应手。

实验成绩： 指导教师： 年 月 日