



简化 USB 音频设计

通用串行总线（USB）标准在消费类电子产品领域中发展迅速，目前可以利用 USB 连通性来传输和控制数字音频。USB 可提供足够的带宽以支持高品质音频；其易用性也被消费者广泛接受，这使得 USB 成为流行的音频接口。然而，从 USB 端口传输音频数据并不是一项简单的任务。USB 本身具有复杂的协议，需要很多专业领域知识。此外，其他与音频相关的设计难题，例如数据流同步、可编程的编解码器以及数模转换器（DAC）配置，即使对于经验丰富的嵌入式和音频设计人员来说也是巨大的挑战。USB 桥接芯片的出现不仅免去复杂的 USB 软件开发，同时提供了一种低成本、高集成度的单芯片解决方案，以支持标准的音频配置接口和同步音频数据流方式。

USB 是一种通用接口，可提供多种方法来传播和控制数字音频；然而对于行业来说选择 USB 音频传输标准机制的重要性在于可靠的互操作性，这成为采用 USB 的基本原则。为了应对这一基本要求，USB 组织开发了音频类，为 USB 音频传输制订非常可靠的标准化机制。USB 音频类规范可从 USB 开发者论坛（www.usb.org）免费下载。

在 USB 上传输音频数据流面临的主要问题之一是主机（Source）与设备（Sink）之间的同步，通过在“同步传输”类型上开发稳固的同步模式可以解决这一问题，并被纳入 USB 规范。音频类定义遵循该同步模式，能可靠的在总线上传输音频数据。然而，这种同步机制的实现并不轻松，在传统实现上需要具有复杂数据转换能力的高端嵌入式系统，或者支持系统所需时钟精度的专用锁相环（PLL）。

在具有 48kHz 数据采样率的系统中，主机每毫秒发送一个包含 48 个模拟输出采样值的帧。接收器需要缓冲音频输出数据，这样能够一次发送一个采样值到 DAC。主机和设备之间的任何时钟失配（哪怕是轻微的）将会导致发生上溢或下溢问题。USB 规范定义了几种方法用于克服主机/设备时钟失配问题。

USB定义Source和Sink之间操作的管理模式，如表1所示。（对于音频输出来说，主机是Source，设备是Sink。对于音频输入来说，设备是Source，主机是Sink。）

Mode	Source	Sink
Asynchronous	Free running clock Provides implicit feedforward to the sink	Free running clock Provides explicit feedback to the source
Synchronous	Clock locked to USB SOF Uses implicit feedback	Clock locked to the USB SOF Uses implicit feedback
Adaptive	Clock locked to sink Uses explicit feedback	Clock locked to the data flow Uses implicit feedback

表1. USB音频同步模式

异步模式

对于异步操作来说，Sink为Source提供显式反馈。基于该反馈，Source将调整发给Sink的采样值个数。图1显示模拟输出设备的异步模式。

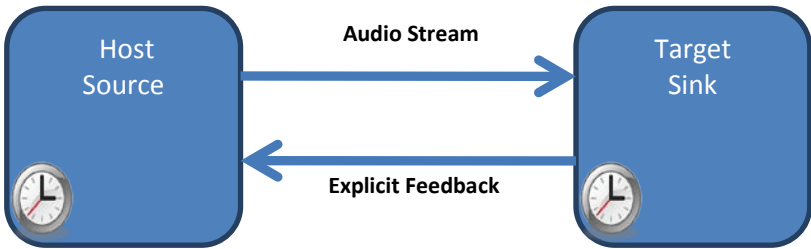


图1. 异步模式

此种反馈机制可以克服Source/Sink时钟失配，而且无需Sink设备来实现PLL硬件与主机时钟同步。

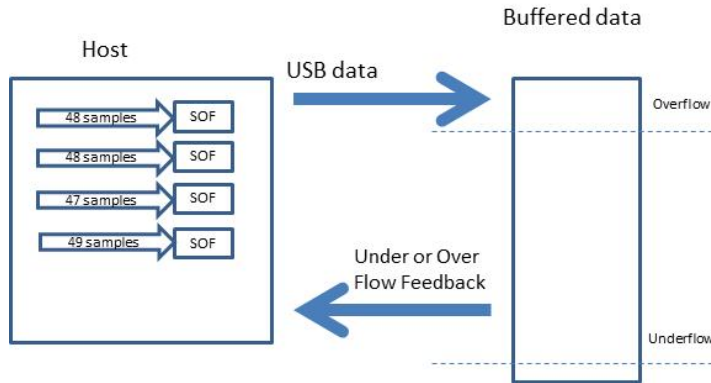


图2. 支持异步模式的缓冲系统

图2显示了支持48kHz采样率的缓冲系统。最初，主机在每1毫秒时，发送SOF封包，其附带48个采样值。然而，如果设备缓冲区由于时钟失配接近满或空的状态时，设备将请求主机发送更少（47）或更多（49）采样值，由此缓冲器不会发生上溢或下溢。Silicon Labs公司CP2114 USB-I²S数字音频桥接芯片即可实现这种方法。CP2114器件支持音频类，无需任何额外的软件开发。

同步模式

对于同步操作来说，Source和Sink采用隐式反馈机制，时钟锁入USB SOF封包。Sink设备必须与USB SOF封包同步，如图3所示。



图3. 同步模式

一个简单而可靠的同步模式的实现方法是通过闭环控制，他能够纠正USB SOF和Sink设备内部振荡器之间的失配。实现过程如图4所示。

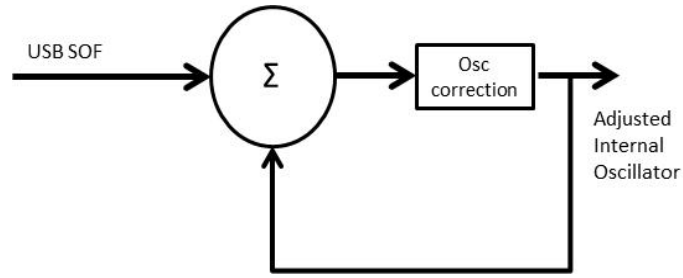


图4. 同步模式中使用内部振荡器的闭环控制

USB SOF每毫秒由主机发送一次，用于校准内部振荡器。为了能正常工作，Sink设备要通过校准寄存器对内部振荡器进行上下微调。CP2114数字音频桥接芯片具备内部振荡器的动态调整能力，因而能够实现这个功能。

CP2114音频桥接器使开发人员可以依据系统设计中的主机能力选择同步或异步模式。目前所有主流平台，包括：Windows、Linux、Mac OS以及用于Apple iPad的iOS等，都支持异步模式。

标准的编解码器/DAC 配置接口

当前领先的编解码器和DAC供应商可提供专有方式来配置其器件能力。然而，当开发人员需要设计支持跨产品线的多种编解码器/DAC平台时，这种器件配置间的差异将会大大增加开发人员的软件设计复杂度。

解决该设计难题的一种方案是提供标准的编解码器/DAC配置接口，支持配置编解码器/DAC的大多数典型功能。该接口能够在编解码器和DAC之间实现平滑过渡，并可以快速评估多种编解码器/DAC功能选项。

CP2114音频桥接芯片可支持此种接口，其使用标准配置接口支持多种编解码器/DAC配置。表2列出CP2114标准音频配置编程接口的一部分。

Byte	Name								
3	Audio_Props	Controls audio properties							
	Bit Position	7	6	5	4	3	2	1	0
	Bit Name	MB	ST	I2C_CK	I2C_PR	DRS	DVC	LJMS	AF
	MB	Mute Bit. 0: No affect 1: CP2114 will handle mute via mute bits at bytes 12,13,14,15 and 17							
	ST	Synchronization Type 0: Asynchronous. Will send feedback to USB host. 1: Synchronous. No feedback to USB host. Audio is synchronized via continuous clock adjustment of sample insert/drop, dependignon clock configuration.							
	I2C_CK	Maximum I2C clock rate supported by the DAC. 0: 400kHz 1: 100kHz							
	I2C_PR	I2C Protocol for read operations. 0: Stop 1: Repeated Start							
	DRS	DAC Register Size 0: 8 bit 1: 16 bit							
	DVC	DAC Volume Control. 0: No volume control supported by DAC 1: Volume control supported by DAC If set, the CP2114 populates volume control in the feature unit USB descriptor. If clear, 0 is specified in volume control to prevent the host from sending SET_CUR requests.							
	LJMS	I2S Mode. Only applies if using Left Justified format. 0: 16bit Left Justified Mode. 1: 24bit Left Justified Mode							
	AF	Audio Format 0: I2S format 1: Left Justified format							
4	Min_Volume	Minimum Volume in dB, 8bit signed. This corresponds to the volume control attribute MIN in USB Audio spec.							
5	Max_Volume	Maximum Volume in dB, 8bit signed. This corresponds to the volume control attribute MAX in USB Audio spec.							
6	Vol_Step	Volume Step Counts per dB. For instance, if volume resolution is 0.25 dB, 4 shall be written. A computed RES is returned in response to volume control attribute query of RES from the host.							

表2. CP2114标准音频配置编程接口

CP2114芯片的标准编程接口可配置大多数编解码器和DAC的通用能力，例如DAC寄存器大小、音频格式、音量控制和音频时钟比。此外，该接口可提供用于自定义编程的开放区，并且采用以简易格式封装大多数典型配置能力的抽象层。一旦开发人员熟悉此接口，在不同编解码器和DAC器件间进行切换将成为一项简单的任务。

CP2114数字音频桥接芯片通过USB访问接口，并配置解码器或DAC。配置过程仅需一次，配置可存储到EPROM存储器；同时还允许动态改变，可以从主机动态访问并改变编解码器/DAC的配置值。

结论

USB应用正逐步扩展到传输和控制音频。然而在USB上传输音频数据流是一项复杂且耗时的设计任务。主要的设计难题，例如音频数据流同步和编解码器/DAC配置，即使对于最

专业的嵌入式和音频设计人员来说，也是很大挑战。数字音频桥接芯片，例如CP2114，通过提供无需软件开发的即插即用解决方案可大大降低设计复杂度。新型数字音频桥接芯片解决方案通过标准的配置接口，即可支持多种编解码器和DAC，从而以最少的外部器件数量支持异步和同步操作模式，同时无需诸如晶体振荡器和EEPROM等外部器件。

#

Silicon Labs致力于投资研究与开发，以帮助我们的客户采用创新的低功耗、小尺寸、模拟密集型混合信号解决方案开发差异化的市场产品。Silicon Labs广泛的专利组合证明我们具有独特的发展方式和世界一流工程团队。专利查询：www.silabs.com/patent-notice。

© 2012 Silicon Laboratories Inc.、ClockBuilder、DSPLL、Ember、EZMac、EZRadio、EZRadioPRO、EZLink、ISOModem、Precision32、ProSLIC、QuickSense、Silicon Laboratories和Silicon Labs 标志是Silicon Laboratories Inc.的商标或注册商标。ARM和Cortex-M3是ARM 控股公司的商标或注册商标。ZigBee是ZigBee Alliance, Inc.的注册商标。所有其它产品名称可能各自属于相应公司的商标。