

**SG2002**

硬件设计指南

Version: V1.0

Release date: 2023-12-16

© 2023 算能

修订记录

|  |  |
| --- | --- |
| Specifications are subject to change without notice | ***SG2002***  ***Technical Reference Manual*** |

|  |  |  |
| --- | --- | --- |
| **Revision** | **Date** | **Description** |
| 1.0 | 2023/12/16 | initial version 1.0-alpha release |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |

目 录

[修订记录 2](#_Toc153642735)

[目 录 3](#_Toc153642736)

[1 产品概述 7](#_Toc153642737)

[1.1 概述 7](#_Toc153642738)

[1.2 产品版本 7](#_Toc153642739)

[1.3 读者对象 7](#_Toc153642740)

[2 原理图设计 8](#_Toc153642741)

[2.1 芯片SCH封装 8](#_Toc153642742)

[2.2 芯片IO引脚耐压说明 8](#_Toc153642743)

[2.3 电源设计要求 8](#_Toc153642744)

[2.3.1 CORE/TPU电源设计 8](#_Toc153642745)

[2.3.2 DDR电源设计 9](#_Toc153642746)

[2.3.3 IO Power Domain设计 10](#_Toc153642747)

[2.3.4 eMMC与SDIO0 Power Domain设计 10](#_Toc153642748)

[2.3.5 RTC电源设计 11](#_Toc153642749)

[2.3.6 电源管理与低功耗模式 11](#_Toc153642750)

[2.3.7 Power时序设计 12](#_Toc153642751)

[2.3.8 Power Ripple&Noise要求标准与测量方法 14](#_Toc153642752)

[2.3.9 DCDC与LDO设计 15](#_Toc153642753)

[2.3.10 Power MOS管开关设计 16](#_Toc153642754)

[2.3.11 主芯片端电容要求 17](#_Toc153642755)

[2.4 最小系统设计要求 17](#_Toc153642756)

[2.4.1 Clock电路 17](#_Toc153642757)

[2.4.2 复位电路 18](#_Toc153642758)

[2.4.3 硬件初始化系统配置电路 19](#_Toc153642759)

[2.4.4 JTAG电路 19](#_Toc153642760)

[2.4.5 DDR电路设计 20](#_Toc153642761)

[2.4.6 Flash电路 20](#_Toc153642762)

[2.5 外围接口设计建议 23](#_Toc153642763)

[2.5.1 EPHY-RJ45/RMII/RGMII接口 23](#_Toc153642764)

[2.5.2 视频接口 23](#_Toc153642765)

[2.5.3 音频接口 23](#_Toc153642766)

[2.5.4 IIC接口 24](#_Toc153642767)

[2.5.5 SDIO电路 24](#_Toc153642768)

[2.5.6 SD 25](#_Toc153642769)

[2.5.7 USB 25](#_Toc153642770)

[2.5.8 ADC 26](#_Toc153642771)

[2.5.9 PWM 26](#_Toc153642772)

[2.5.10 UART 26](#_Toc153642773)

[2.5.11 GPIO 26](#_Toc153642774)

[2.5.12 Updata Key 27](#_Toc153642775)

[2.5.13 其他常用电路说明 27](#_Toc153642776)

[3 PCB 设计 30](#_Toc153642777)

[3.1 PCB设计总体原则 30](#_Toc153642778)

[3.1.1 学习并掌握相关设计资料 30](#_Toc153642779)

[3.1.2 确认板层与叠层结构 30](#_Toc153642780)

[3.1.3 重大原则不让步 30](#_Toc153642781)

[3.2 电源、地、滤波电容 30](#_Toc153642782)

[3.2.1 Power Net线宽与过孔数量 30](#_Toc153642783)

[3.2.2 主要电源走线 31](#_Toc153642784)

[3.2.3 地 32](#_Toc153642785)

[3.2.4 滤波电容 32](#_Toc153642786)

[3.2.5 DCDC与LDO 33](#_Toc153642787)

[3.3 晶体走线 34](#_Toc153642788)

[3.4 DRAM (VDDQ) 34](#_Toc153642789)

[3.5 Flash 35](#_Toc153642790)

[3.5.1 SPI Flash 35](#_Toc153642791)

[3.5.2 eMMC FLASH 35](#_Toc153642792)

[3.6 视频信号 36](#_Toc153642793)

[3.6.1 MIPI TX/MIPI RX 36](#_Toc153642794)

[3.6.2 VI\_DATA与VO\_DATA 36](#_Toc153642795)

[3.7 音频信号 37](#_Toc153642796)

[3.7.1 模拟音频 37](#_Toc153642797)

[3.7.2 数字音频 37](#_Toc153642798)

[3.8 SDIO与SD Card 37](#_Toc153642799)

[3.9 USB2.0 38](#_Toc153642800)

[3.10 RJ45与RMII/RGMII走线 38](#_Toc153642801)

[3.11 PCB散热设计 39](#_Toc153642802)

[3.12 铺铜规则设计 39](#_Toc153642803)

[4 整机ESD设计 40](#_Toc153642804)

[4.1 背景 40](#_Toc153642805)

[4.2 整机ESD 40](#_Toc153642806)

[5 整机EMI设计 42](#_Toc153642807)

[6 调试常见问题Debug方法 43](#_Toc153642808)

[6.1 Power 对地短路 43](#_Toc153642809)

[6.2 供电电压不正确 43](#_Toc153642810)

[6.3 eMMC无法烧录 43](#_Toc153642811)

[6.4 无法启动和无法读取eMMC数据 44](#_Toc153642812)

[6.5 DDR init Fail 44](#_Toc153642813)

[6.6 通电电无打印 44](#_Toc153642814)

[6.7 烧录程序跑不起来 45](#_Toc153642815)

[7 eMMC与DDR 可靠性软体测试方法 46](#_Toc153642816)

[8 散热设计 47](#_Toc153642817)

[8.1 主芯片散热 47](#_Toc153642818)

[8.2 关键元器件散热 47](#_Toc153642819)

[8.3 温升整改 47](#_Toc153642820)

[9 附件清单 48](#_Toc153642821)

# 产品概述

## 概述

本文档主要介绍SG2002芯片方案的原理图设计、PCB设计、整机ESD设计、整机EMI设计、单板热设计建议、生产工艺建议等。本文档旨在帮助客户缩短产品的设计周期、提高产品的设计稳定性及降低故障率。请客户参考本指南的要求进行硬件设计，同时尽量使用算能发布的相关核心模板。如因特殊原因需要更改的，请严格按照高速数字电路设计要求以及算能产品PCB设计要求进行。

## 产品版本

与本文档相对应的产品版本如下。

| 产品名称 | 产品版本 |
| --- | --- |
| SG2002 | V01 |

## 读者对象

本文档（本指南）主要适用于以下工程师：

* 技术支持工程师
* 单板硬件开发工程师
* PCB Layout设计工程师
* PCBA工艺工程师

# 原理图设计

## 芯片SCH封装

为确保不出错以及方便Review，建议直接Copy主芯片、SPI-FLASH等关键元器件部分电路。

如果采用其他电路设计软件工具，可以找SOPHGO HW申请IC Ball out Excel文件，通过表格导入的方式建芯片的SCH封装。

注意：

至少要确保主芯片的SCH封装要完全copy或者完全一模一样！

## 芯片IO引脚耐压说明

主芯片 VDDIO\_SD0\_EMMC，VDDIO\_SD1 Domain 的IO Support 1.8V/3.3V 耐压和level。

其他IO接口都是1.8V耐压和level，电路设计时要特别注意其他元器件所支持的level以及耐压，防止level不匹配导致信号异常以及主芯片被损坏。

注意：

IO的电压要注意和相应的Power Domain一致！

## 电源设计要求

### CORE/TPU电源设计

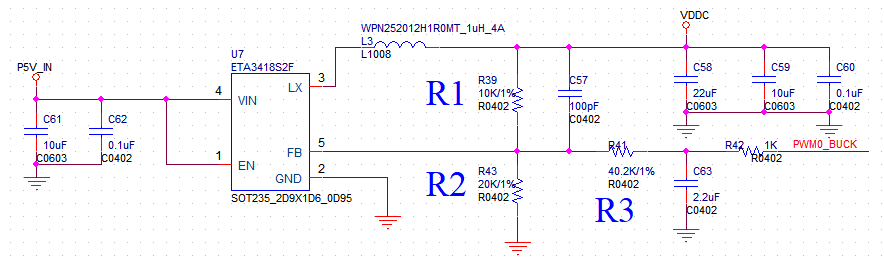
CORE与TPU电源为VDDC。

典型电压为0.9V（SG2002电压为0.95V），其正常开机初始化之后可由PWM0\_BUCK动态调压电路控制，其电压值在0.9V±0.0XV（X的范围还在完善，目前X=0）。

**DCDC选型：**

更换其他型号时务必注意其DCDC的FB电压必须为0.6V！则调压电阻取值：串联电阻R3=FB下分压电阻R2的2倍；如果DCDC的FB不是0.6V，则调压电阻要重新计算请咨询SOPHGO HW工程师；要求其DCDC输出能力不小于1.2A，选择开关频率1MHz以上、支持快速动态响应的DCDC。

图 2-1 VDDC/VDDC\_TPU电源电路图



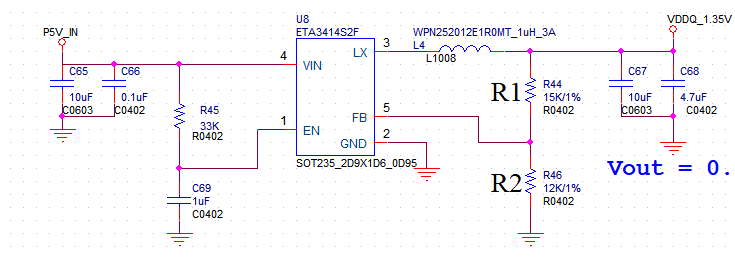
注意：

R41,R42,C63 预留VDDC动态调压功能，默认可NC;

### DDR电源设计

* SG2002 内置DDR3L\*1，典型电压1.35V。
* DDR采用独立的DCDC供电。
* 供电原理图如下，DCDC推荐选择1MHz以上开关频偏，1A输出能力。

图 2-3 DDR电源电路图



### IO Power Domain设计

* VDDIO\_RTC：是PTEST、PWR\_VBAT\_DET、PWR\_ON、PWR\_SEQ、PWR\_WAKEUP、PWR\_BUTTON、PWR\_GPIO等的Power Domain。
* VDD18A\_AUDIO：是AUDIO的Power Domain。
* VDDIO18A\_USB\_PLL\_ETH：是USB\_DP、USB\_DM、ADC1、EPHY、PWM0\_BUCK等的Power Domain。
* VDD18A\_MIPI：是MIPI TX、MIPI RX的Power Domain。
* VDDIO\_SD1：是SD1的Power Domain。
* VDDIO\_SD0\_EMMC：是SD0、IIC0、JTAG、UART0、EMMC等的Power Domain。

各IO电源的分支连接关系请参考公板原理图。各电源的电流需求参考下文中“电流参考表”节的内如，务必确保DCDC、LDO、电感、电容等的选型既要满足有效值（MAX）也要满足峰值（OCP）要求。

注意：

VDDIO\_SD0\_EMMC、VDDIO\_SD1可以选择接1.8V或3.3V，相应PowerDomain PIN也变成对应的电平level。

### eMMC与SDIO0 Power Domain设计

* VDDIO\_SD0\_EMMC：是eMMC 、SD0的Power Domain，VDDIO\_EMMC (PIN13)电源的选择如下。

表 2-1 eMMC Domain设定

|  |  |
| --- | --- |
| VDDIO\_EMMC | eMMC版本 |
| 3.3V | 4.4版本及以下 |
| 1.8V | 4.5版本及以上 |

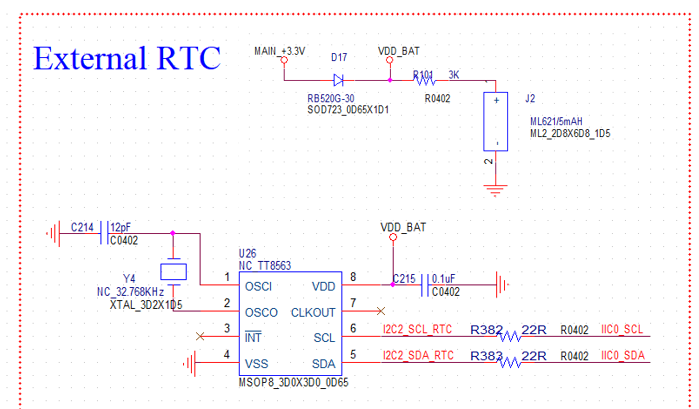
注意：

因为SDIO0和EMMC共Power Domain，而SD Card接口是3.3V的。所以不支持1.8V EMMC和SD Card同时存在的情况。

### RTC电源设计

SG2002无RTC Only Mode。如果需要RTC，要外挂RTC

图 2-5 RTC电源电路图



### 电源管理与低功耗模式

#### 介绍

主芯片的电源管理模块可以对非常电区的供电模块进行使能控制，接收按键信号、上升沿信号进行上下电控制以及接收外设输出的唤醒信号，从而实现产品的待机和唤醒功能。

#### RTC only

芯片不支援内建 RTC 功能. 若有需要请使用外挂 RTC。

芯片有 32kless 功能也可实现 RTC 功能. 但必须要在 MCU only mode 才能保持时间，功耗是 150uA 左右。单用法拉电容或小锂电池可能并不适用。

#### MCU only – power down

此时，芯片的耗电约在150uA左右。除VDDIO\_RTC保持1.8V常供电，其余电压均已断电 (PWR\_SEQ1,PWR\_SEQ2 均为0)，可通过PWR\_BUTTON1来开机。

注意：

VDDC\_RTC （PIN\_37）只需要一个滤波电容，不需要接到外部电源。

VDDIO\_RTC 第一次上电会自动由 Power down mode 开机至 Active mode

#### MCU only – sleep mode

与 Power down mode 类似，但唤醒源会多加 PWR\_WAKEUP0 及其他 VDDIO\_RTC domain 之 IO。

#### Active

在正常工作模式下，主芯片各电源都正常工作，VDDC Domain则能够配合其工作频率做电压调整。

### Power时序设计

芯片Power可以分成如下几种，同一Domain内Power同时上下电，不同Domain则按下列几种应用场景分开上下电。

RTC Domain：

VDDIO\_RTC (1.8V)

Core Power Domain：

VDDC

1.8V IO Domain：

VDD18A\_AUD

VDD18A\_USB\_PLL\_ETH

18OD33 IO Domain：看输入电压决定是1.8V or 3.3V Domain

VDDIO\_SD0\_EMMC

VDDIO\_SD1

3.3V Domain：

VDD33A\_EPHY\_USB

DDR IO Domain：

VDDQ

VDDQ\_DRAM

主芯片的上下电时序一般设计要求，0.9V和1.8V可以同时上电，或者先0.9V后1.8V，但3.3V必须要等1.8V已建立才能上电。下电顺序与上电顺序相反。外设元器件一般要求不能早于其所连接的主芯片IO Power Domain上电，目的是防止电压倒灌导致开机异常或者主芯片被损坏。

当用电池给系统供电时，要按照公板参考电路设计Power 时序，不能轻易改动，利用主芯片的PWR\_SEQ1，PWR\_SEQ2这2个管脚来控制时序。

开机时序SEQ1 > SEQ2；

关机时序SEQ2 < SEQ1；

PWR\_VBAT\_DET用作主电源状态的监测，电压偏低时软件会收到中断（例如停止读写Flash防止系统损坏），电压再往下时RTC模块就会启动下电程序。

应用场景皆可支援2种大类: 插电应用及电池应用：

* 插电应用的系统

RTC Domain：VDDIO\_RTC接VCC\_+1.8V

SEQ1：Core Power Domain + 1.8V IO Domain + VDDQ（采用HW SEQ即可）

SEQ2：3.3V Domain

* 电池应用的系统

RTC Domain：VDDIO\_RTC，PWR\_GPIO0(VDDBKUP)接在电池供电的LDO 上

SEQ1：core power Domain + 1.8V IO Domain+ VDDQ Domain（采用HW SEQ即可）

SEQ2：3.3V Domain

### Power Ripple&Noise要求标准与测量方法

#### 标准要求

所有电压幅度都要求±3%以内，3.3V及以下电源无特殊情况一般都要求在芯片端的Power Ripple&Noise控制在±100mV以内。

#### 测试说明

Ripple&Noise对于分析电源质量、系统稳定性、DCDC选型、电感电容选型、部分问题bug分析等具有非常重要的意义，准确测量以需求提供数据支撑。

#### 示波器探头说明

探头是有等效电容的，在某个程度上会加载到被测器件上。探头都是“小偷”。它们会使被测器件产生损耗，要尽量用示波器原配的高质量探头来测试。

#### 测试方法

1）选择电压 mode：按示波器通道菜单，再按伏特，再选“电压”档；

2）设置示波器参数：设置耦合模式“直流DC”，“阻抗1M”；Measures选择“直流有效值N个周期”、“最大电平”；选择“统计信息”，然后选择“复位统计”；选择“时基模式”，“100us/div”；波形swing幅度占整个示波器显示区域的2/3。默认的示波器阻抗是1MΩ，如果阻抗误设为50Ω，信号会小一半；选择带宽限制仅仅测量到Ripple部分，Noise部分测量不能用“带宽限制”。

3）参数说明：

A.直流有效值N个周期的平均值：衡量Ripple&Noise的有效值参数，一般要环温60度，测thermal（最大负载）时测至少2分钟的统计值为准，此为最大负载时Ripple&Noise有效值。

B.最大电平的最大值：从开始测量到目前为止整个周期内的最大值，如果没有干扰的话此值即Ripple@Noise上限。

C.峰峰值：开始测量到目前为止整个周期内的Ripple波形swing的峰峰值。

我们一般记录有效值N个周期的平均值和峰峰值。峰峰值最大值用于电感选型反向评估，因为电感的感量计算公式L=Vout\*(1-Vout/Vin\_max)/Fsw\*Iload\_max\*30% （uH），Iload\_Max\*30%就是这个峰峰值。

#### 测量位置要求

量测 Ripple时需使用短地，并将接地点焊到量测点旁边的地，量测点需要

在IC正下方，并将探头上的GND线拔除。

### DCDC与LDO设计

#### DCDC选型

1）DC-DC额定输入电压Vin\_rating的选择

通常DC-DC厂家都有不同输入电压范围的产品可供选择，宽范围输入的价格要比窄范围输入的高，要根据实际输入电压Vin来选择适合的DC-DC。

设计要求：Vin\*1.2<Vin\_rating<Vin\*2

2）DC-DC输出电流的评估

需要保证60°环温下DC-DC持续输出有效电流Imax(60)大于等于负载的最大有效电流值Iload。这里要注意DCDC实际规格书上面写的通常为25°下的最大电流值，我们要根据规格书中的热阻等参数算出60°环温下该DC-DC持续输出有效电流，可以根据表格“DC-DC Imax(60°)计算方法”算出。

设计要求：Iload≤Imax(60°)<Iload+0.5A

3）DC-DC OCP参数的选择

OCP保护点要大于负载的最大峰值电流Iload\_peak。正常工作不允许OCP被触发，否则输出会有跌落。

设计要求：OCP>Iload\_peak

#### 效率与工作模式

需要从两个方面考虑效率：

1. 要选择轻载高效的DC-DC，COT/ACOT架构优先；
2. 保证响应速度的前提下尽量选择低压差转换 ，提高DC-DC转换效率。

#### 电感的选型

1）温升电流的选择

温升电流： 业界大部分厂家的定义是电感产品自我温升温度不超过40度时的电流，用Irms（或者Idc2）表示。

设计要求：Iload<Irms<Iload\*1.2

2）饱和电流的选择

饱和电流：基于电感值的变化率的额定电流，用Isat（或者Idc1）表示。它是以电感值的下降程度为指标的额定电流，当负载电流超出电感的饱和电流时，可能会由于纹波电流增加而导致IC控制不稳。设计要求：Iload\_peak<Isat<Iload\_peak\*1.2

3）电感值的计算方法

电感计算公式： L=Vout\*(1-Vout/Vin\_max)/Fsw\*Iload\_max\*30%

开关电源中储能电感作为开关电源的一个关键器件，对电源性能的好坏有重要作用，在保证产品性能的前提下，减小开关电源电感的尺寸（所占据的PCB面积和高度），这需要在电路性能和电感参数间进行折中。所以，可以通过选用大电感，低ESR大容量输出电容的方法减小输出纹波电压。直流电阻Rdc：尽可能选择Rdc小的电感。

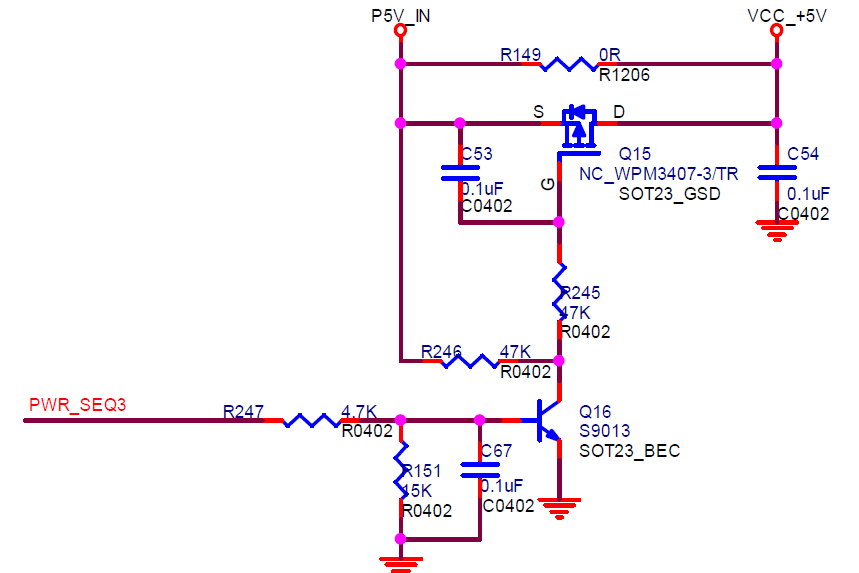
#### LDO设计

ADJ可调的LDO，分压电阻采用百欧、K欧（<5.6K)，保证LDO正常工作，且低功耗。当LDO插入功耗大于0.8W时，需要增加功率电阻。普通LDO输出压差保证有1.3V以上，专用LDO最小输入、输出压差确认满足规格书要求。

### Power MOS管开关设计

增加缓起电路，避免电源在导通瞬间产生毛刺损坏MOS管或者影响其它电路工作。MOS管一般要用三极管控制，直接用GPIO控制请务必确认相关参数是否能满足MOS管要求。

图 2-8 MOS管开关电路



注意：

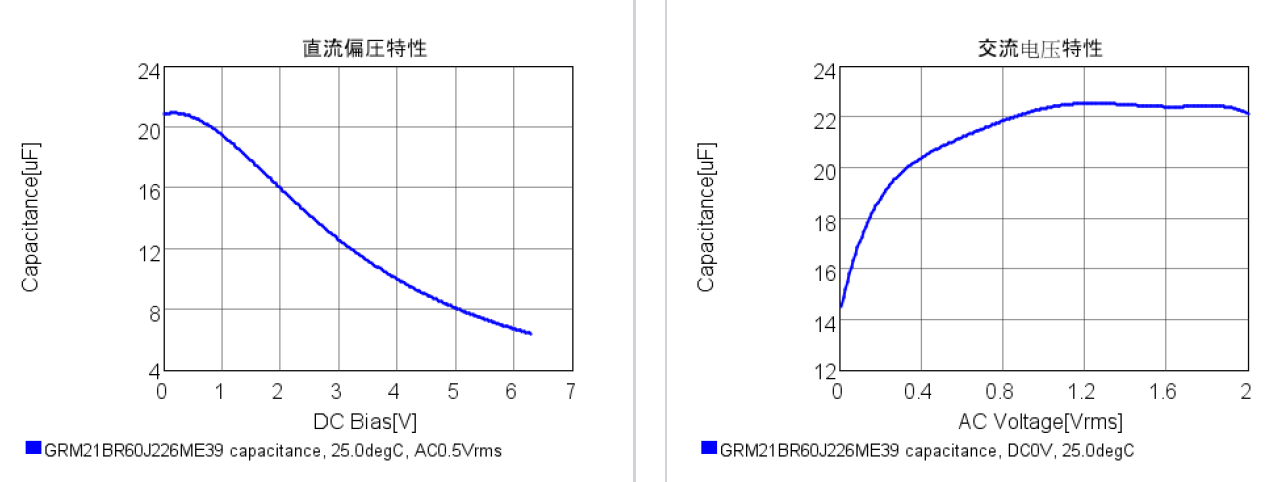
1. GPIO High、Low对应到MOS的开关状态，如需反向，则加2级三极管；
2. GPIO 初始状态（HW 默认状态，SW可控之前）要确保MOS不会导通。

### 主芯片端电容要求

主芯片端PCB layout上CPU封装下bottom层的电容，一个都不能删除，也不能把容值改小。主芯片端的电容都要用X5R or X7R的规格，不能采用Y5V等。 X5R、X7R、Y5V、Z5U之间的区别主要在于温度范围和容值随温度的变化特性上。X5R正常工作温度范围-55℃~+85℃之间，对应的容值变化范围±15%，Y5V则温度范围-30℃~+85℃，对应的容值变化范围±22%。

要特别注意直流/交流电压与容值特性曲线，一般来说电压越高，容值越低，如下村田22uF\_6.3V，X5R电容，在5V时只有8uF的静电容量了。

图 2-6 直流电压与容值&交流电压与容值的特性



注意：

为了控制成本，电容的数量和容值要慎重使用，但cost down时一定要慎重计算、严格测试Power Ripple&Noise、严格老化压测！

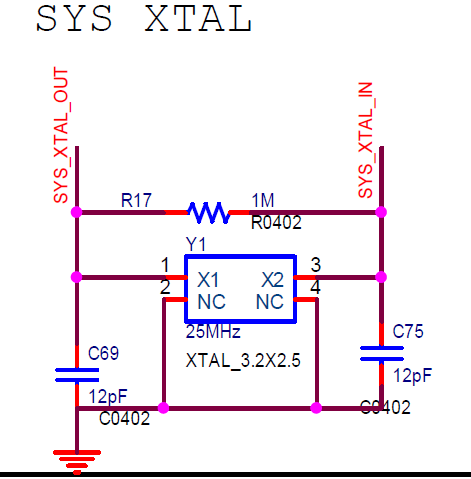
## 最小系统设计要求

### Clock电路

主芯片需要一个25MHz外接时钟：

1. 频偏范围 < ±30ppm；
2. ESR < 50Ω；
3. 负载电容取值=（晶振规格电容\*2---5）倍pF，要跟晶振规格电容匹配；材质建议采用NPO；
4. 激励功率 < 200uW；
5. 建议选贴片晶振，其GND 管脚与单板地充分连接，增强抗ESD 能力。

图 2-9 系统晶振电路图



主芯片内置RTC功能与32.768K晶体，当需要用内置RTC功能时为了增加精度建议外置时钟32.768K晶体给主芯片。

注意：

1. XTAL\_XIN\_XI、XTAL\_XIN\_XO串联1M电阻不可省。
2. 负载电容要根据不同型号的晶体、波形和频偏测试结果调整到最佳状态。
3. 系统、RTC 使用有源晶体时，从管脚XIN 输入，XOUT 悬空。

### 复位电路

主芯片仅一种复位，PWR\_RSTN（PIN\_39）。

PWR\_RSTN 是控制整个芯片硬件复位。

小系统相关的外设（例如：存放boot的eMMC器件）必须先于或同时与主芯片一起释放复位信号，否则可能会出现无法启动等异常情况。主芯片RESET目前参考设计直接接电源VCC\_+1.8V。

### 硬件初始化系统配置电路

主芯片上电初始化的过程中，需要根据配置管脚的电平状态来确定各部分的工作模式。硬件配置信号描述如下表所示：

表 2-7 Boot启动方式配置说明表

| 配置功能 | Pad Name | | 说明 |
| --- | --- | --- | --- |
| EMMC\_DAT0（PIN22） | EMMC\_DAT3（PIN23） | 外设 |
| Boot  启动方式 | 1 | 1 | eMMC |
| 1 | 0 | SPI NOR |
| 0 | 0 | SPI NAND |

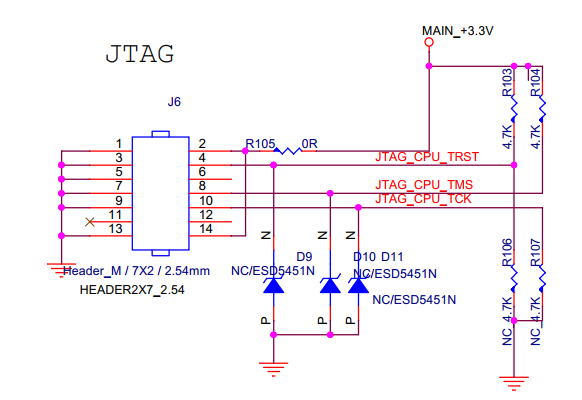
注意：

1. 配置PIN务必参考EVB设置，只有这些PIN 具有此功能；
2. 配置PIN脚必须上拉到最早上电的电源。
3. 如果配置PIN悬空，该PIN状态会由芯片内部决定，所以会是PU为高。

### JTAG电路

JTAG 是VDDIO\_SD0\_EMMC Power Domain 要注意使用电压。可以不用connector，但至少引脚要拉出来或者保留测试点。

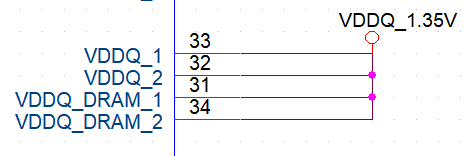
图 2-11 JTAG模块电路图



### DDR电路设计

SG2002主芯片内置一颗DDR3L，16bit位宽。VDDQ ,VDDQ\_DDRAM

电压1.35V。



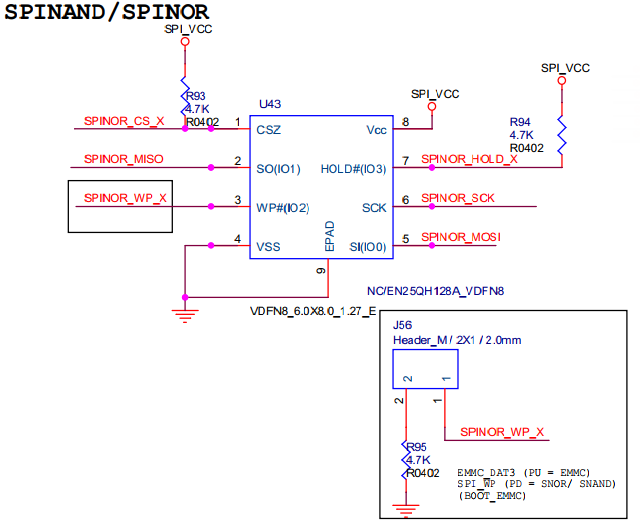
### Flash电路

FLASH 控制器支持SPI NOR FLASH、SPI NAND FLASH 和eMMC。

#### SPI FLASH

外接SPI FLASH时，参考电路图如下，SPINOR\_WP\_X 需要下拉4.7KΩ；SPINOR\_HOLD\_X 和SPINOR\_CS\_X 需要上拉4.7KΩ。

图 2-12 SPI FLASH电路图



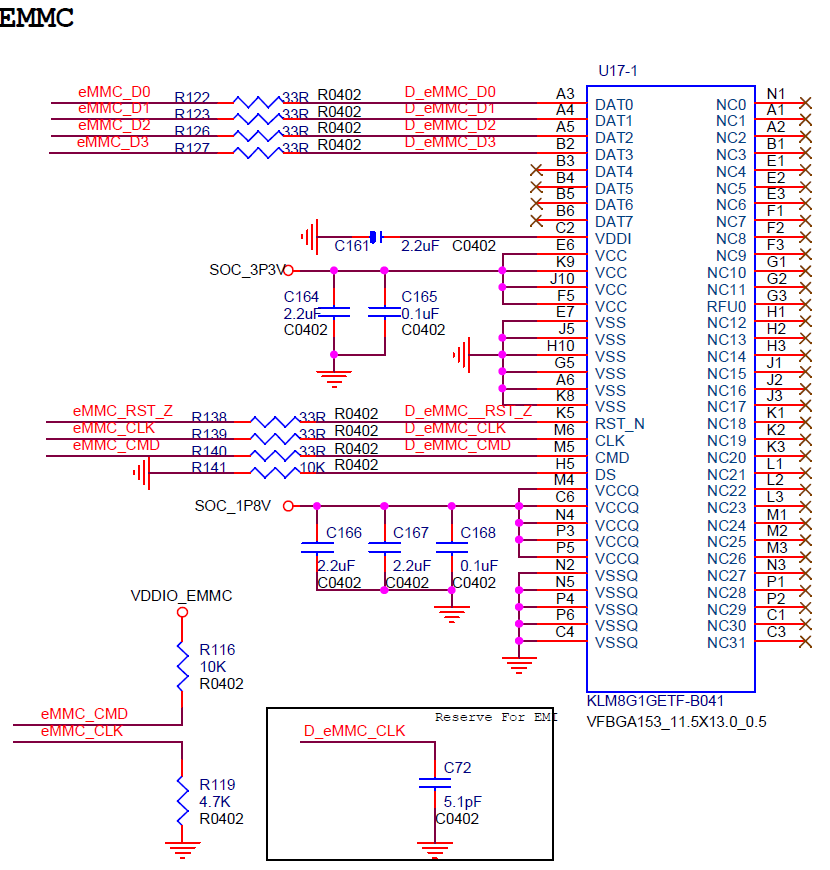
注意：

推荐选用带复位功能的SPI FLASH器件，以避免出现主芯片Watch Dog生效复位时，FLASH无法同步复位，从而无法正常重启。

#### eMMC

外接eMMC时，参考电路图如下，eMMC\_CMD需要上拉10K；eMMC\_CLK串联33R不能删除，预留接地电容不能删除用于EMI问题；eMMC\_VDDI的接地电容要用2.2uF不能减小；主芯片只支持4 bit位宽。

图 2-13 eMMC电路图



注意：

eMMC的VCCQ也就是VDDIO Power level一定要与eMMC SPEC对应，比如有些eMMC 只能3.3V IO，则eMMC Power Domain也是3.3V。

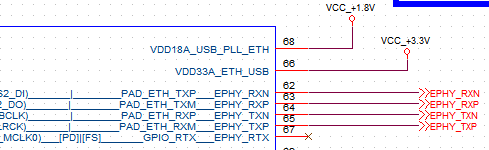
## 外围接口设计建议

### EPHY-RJ45/RMII/RGMII接口

#### EPHY-RJ45

主芯片内置百兆PHY，可直连网口，主芯片与网络变压器之间的网络差分线要串联5.1R以下电阻用于增强抗网络浪涌能力，以及降低网络EMI，必要时增加ESD器件。不推荐网络差分线使用RC电路来降低EMI问题，因为会导致网络差分信号眼图很差。

EPHY接口不用时，可以用来做GPIO等其它Function，注意电平是1.8V Level。



### 视频接口

SG2002支持双路Sensor接口；要特别注意Sensor配置相关接口电平只支持1.8V。为了确保视频信号高质量，一定要选择公板已验证的sensor型号。

VO接口输出给Panel时要注意Panel供电的时序不能比主芯片的IO Domain更早。

MIPI TX、MIPI RX差分信号接口顺序，SOC的MIPI 0,1,2,3,4与Sensor的MIPI 0,1,2,3,CLK在软体上可自行定义，详见《主芯片 Sensor输入接口与VO输出接口的电平场景详细说明》，SCH与PCB设计确保layout顺线且没有交叉。

注意：

两路Sensor应用时，Sensor0必须从MIPI\_RX0,MIPI\_RX1,MIPI\_RX2上出，Sensor1从MIPI\_RX3,MIPI\_RX4上出。这两路Sensor之间的线序不能交换。

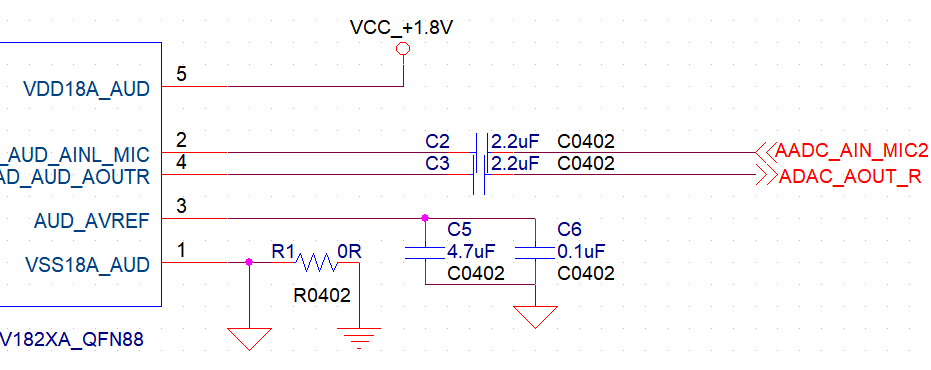
### 音频接口

AUD\_AVREF(PIN\_3)引脚上的滤波电容分别需要2颗，4.7uF + 0.1uF。

音频输入信号上的隔直流电容靠近主芯片放置，电容容值推荐选择2.2uF。AUD\_AOUTR的输出先串联电容2.2uF。

I2S接口的MCLK需在芯片近端串联33Ω电阻，用以获取更好的信号质量。

如果需要较好的音频质量或推动耳机，建议在音频输出管脚AC\_OUTL和AC\_OUTR的外围增加音频放大器。



注意：

为避免模数GND串扰，AUD\_AVREF(PIN3)电容的AGND、VSS18A\_AUD(PIN1)电容的AGND，这2个Audio GND与系统GND分开，通过0R电阻相连。

### IIC接口

I2C0挂通用的外设；I2C2用于配置Sensor0/1。

I2C是OD门，需要外接上拉电阻，根据总线负载数量和走线的长度（包括外接线材等）的不同，选择不同阻值的电阻，I2C的上拉电阻建议在1K到4.7K之间，slave越多，走线越长，上拉电阻值越小。

I2C总线上各器件地址不要冲突，把address直接标注在SCH中。为确保软体设计的方便性，通用slave的I2C分配参考公板设计。

### SDIO电路

主芯片有2路SDIO接口，SDIO0 support 1.8V/3.3V level，SDIO0公板用做SD存储卡接口。SDIO1 support 1.8V/3.3V level，此路公板用做了WiFi SDIO接口，不用可以做GPIO。

注意：

SD0\_PWR\_EN（PIN15）与SD0\_CD（PIN14）是在

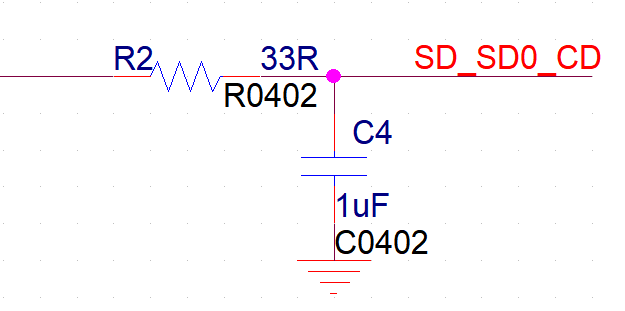
VDDIO\_SD0\_EMMC POWER Domain上，注意电平。

### SD

对于SD卡座放在子板，通过长排线和主板连接的产品。

SD0\_CD Pin因长排线容易受到干扰，导致SD误触发从而报错问题。需要在SD0\_CD 线路上预留RC电路。

SD卡座和主芯片在同一块板上的产品可不需要预留。



### USB

USB口支持Host、Device Mode。

当用USB口烧录固件时，则需要USB\_VBUS\_DET(PIN60) 通过电阻分压 5V\_USB\_IN做检测,上电为高才能进入SOC为Device模式。

当USB口不做烧录用，USB\_VBUS\_DET(PIN60)可以直接接地，此时USB为Host模式。

USB信号线要串联不超过5.1R的电阻用于EMI问题，如果是板外接USB Device，则信号线上要加ESD 保护器件，寄生电容要求小于5 pF。

Device如果接移动硬盘等较大负载电流的设备，靠近座子端要加220uF以上电解电容，以防止插入瞬间电压跌落把系统供电拉低或者插入无法识别。

注意：

USB Hub选型时一定要选择与可能用到的Device的USB工作模式相兼容的，部分Hub只support USB2.0，部分Hub可以都support。

### ADC

主芯片有3路ADC，12bit采样率。

其中1路ADC1在VDD18A\_USB\_PLL\_ETH Domain上，做GPIO时为1.8V level；详见《主芯片\_PINOUT\_CN》中2.功能信号表。

另外2路在VDDIO\_RTC Domain

PWR\_VBAT\_DET （PIN38），专门用作系统掉电检测，不能用作其它功能。

PWR\_GPIO1 （PIN48），可用作电池电量检测。

注意：

ADC的最大采样输入电压为1.5V。

### PWM

PWM0\_BUCK固定做VDDC电压调节；

其它PWM可从PIN 复用功能上切出。

### UART

主芯片有4路UART。UART0固定用作系统调试。

PIN MUX的UART要对应 HW PIN MUX table。

注意：

上拉电阻电源要与相应UART 的POWER Domain对应。

### GPIO

主芯片的GPIO Level及耐压与其所在的Power Domain对应，要确保其上拉和外设level与之对应和匹配。

要确保上下拉、串联电阻值符合如下level要求：

1）VIH、VIL 通常是 70%、30% 之VDDIO。

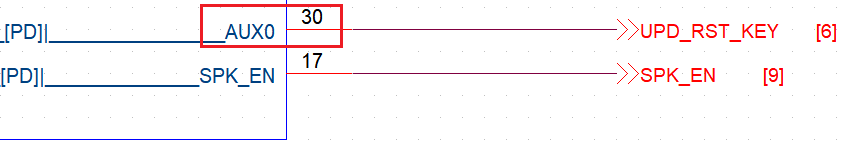
2）VOH、VOL通常是 80%、20% 之VDDIO。

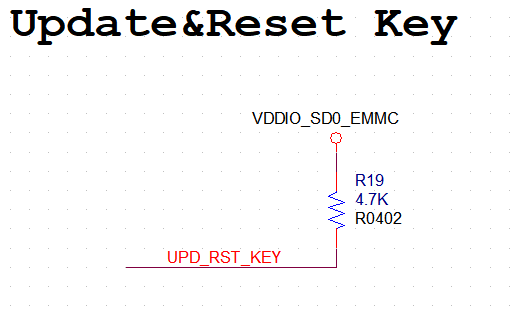
注意：

当SOC与MCU等连接时（SOC掉电而外设不掉电的应用场景），在《主芯片\_PINOUT\_CN》文件中 管脚默认状态页，只有标识有**Fail-safe** 的Pin不会漏电，可以在SOC掉电时有电。

### Updata Key

主芯片的PIN\_30专门用作升级按键。芯片上电检测到此键按下（低电平），才会进入SD/USB升级。



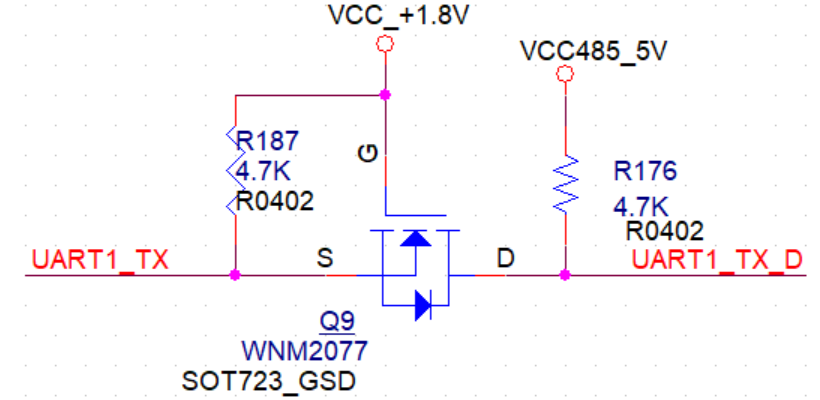


### 其他常用电路说明

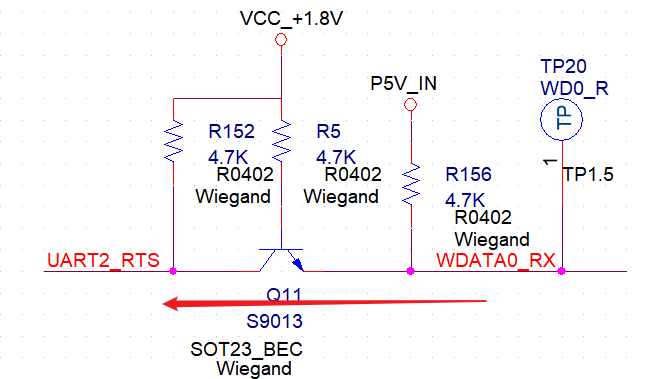
#### Level shift电路

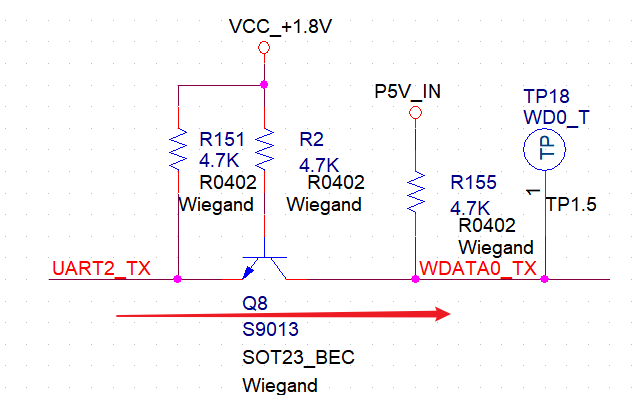
当主芯片和其他芯片电平level不匹配时，就需要用到电平level shift 电路。如下电路高速NMOS管的S级接低电压level，D级接高电压level，可实现电平转换通信。比较适用于I2C、UART等低速信号，SPI、SDIO、USB等要用专用的高速信号电平转换芯片。

图 2-15 Level shift电路图



如果是单向低速通信的电平转换，可以使用如下电路做level shift，注意数据传输方向如红色键头所示。





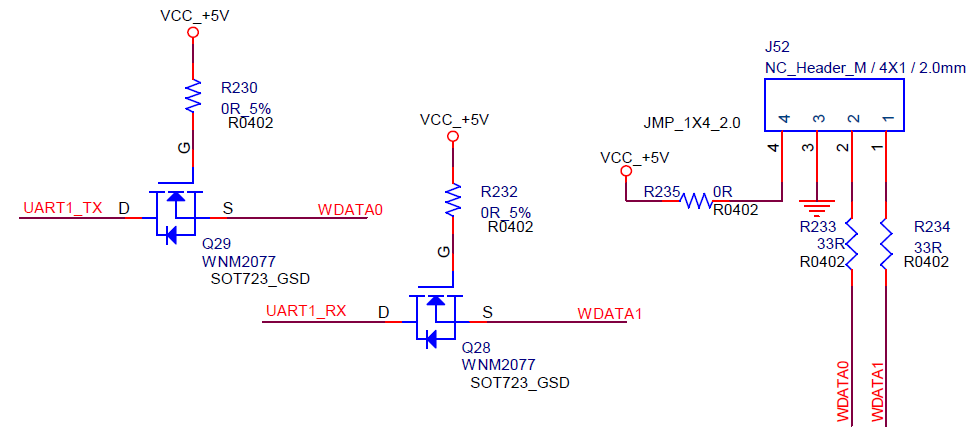
注意：

Level电路，如果电压是1.8V，需要特别注意NMOS的选型规格Vth开启电压1.8V是否满足。

#### 韦根接口电路

韦根接口选取请参照《主芯片\_PINOUT\_CN》中2.功能信号表。韦根接口对接板外设备时，要严格注意浪涌和ESD的防护等级，增加相关器件。

图 2-15 韦根接口电路图



#### RS232/RS485电路

此电路设计要注意3点：

1. 要选择好合适的收发芯片，其比特率与IO level要与需求相对应；
2. 要考虑是否要做完全隔离的DC电源给初级侧供电以增加抗浪涌能力；
3. 在接口处要选用合适的防浪涌和ESD器件。

# PCB 设计

## PCB设计总体原则

### 学习并掌握相关设计资料

首先要详细阅读学习并掌握《CViTEK硬件设计指南》与《CViTEK\_PCB\_Layout\_Guide》；把握设计要求、要点、规则等。

### 确认板层与叠层结构

1. 根据接口布局与走线难度确认是否需要增加板层

如果板子较大，走线没有严重交叉，建议维持最小板层降低成本；如果要增加板层请务必确认叠层结构符合要求。

1. 最后再评估为散热或者EMI考虑，是否需要增加板层

为EMI考虑，MCLK、eMMC\_CLK、SDIO\_CLK等务必走内层；

### 重大原则不让步

SOC 封装下面的Bottom层确保要完全copy，包括元器件的封装不要调整，确保核心区域电容的数量不删减、GND与Power过孔的数量不删减、GND的通道尽可能完整并向四周发散等；

信号线尽可能都走在信号层，Power Net尽可能走在Power层；

## 电源、地、滤波电容

### Power Net线宽与过孔数量

按照常用四层板FR－4，1盎司铜厚时，线宽至少需要满足40mil/A。要注意Bottom层、电源层采用铺铜时有些地方可能会很窄，要确保宽度满足40mil/A。

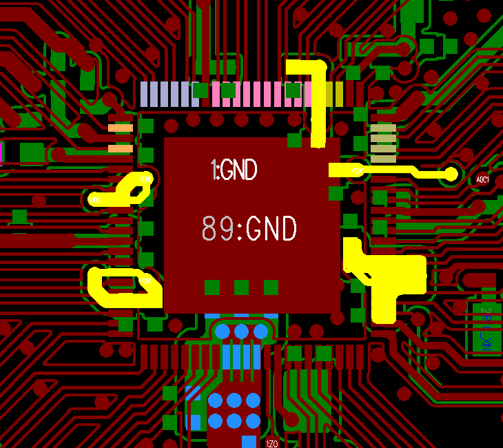
一般1盎司铜厚时，10[mi](http://www.hqpcb.com/zhuoluye9)l的孔内径与20mil的孔盘再对应20mil的线可过0.5A[电流](http://www.elecfans.com/tags/%E7%94%B5%E6%B5%81/)。电源走线如有换层，在连接处放置足够数量过孔，至少2个，如果是换到内层，加多一倍过孔数量，确保连接性良好。

### 主要电源走线

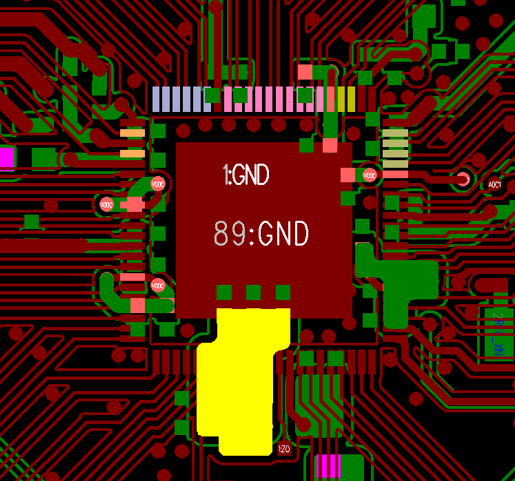
要确保VDDC、VDDQ等关键电源的走线线宽足够,过孔数量够。

图 3-16 主要电源走线PCB图

VDDC



VDDQ



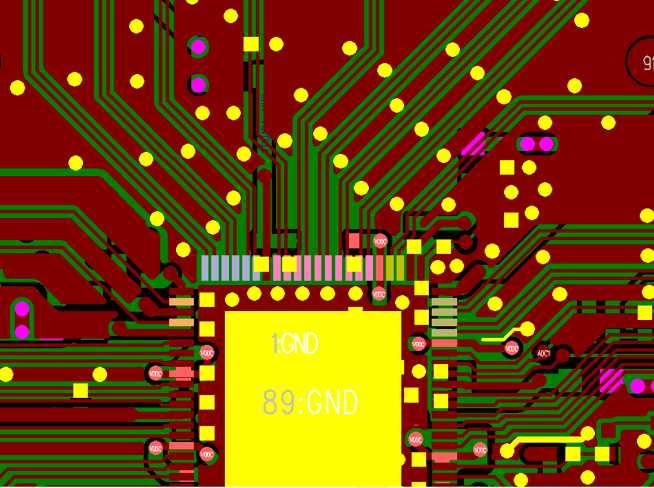
### 地

1）电源与地线层的完整性规则：对于导通孔密集的区域，要注意避免孔在电源和地层的挖空区域相互连接，形成对平面层的分割，从而破坏平面层的完整性，并进而导致信号线在地层的回路面积增大。

2）重叠电源与地线层规则：同电源层在空间上要避免重叠。主要是为了减少不同电源之间的干扰，特别是一些电压相差很大的电源之间，电源平面的重叠问题一定要设法避免，难以避免时可考虑中间隔地层。

要确保TOP层、BOTTOM层的GND是向四方发散的并有完整的地回路，而且差分信号等需要包地的走线有足够的包地。

图 3-17 地线PCB图



### 滤波电容

器件去耦一般规则：

1）必要的去耦电容可以滤除电源上的干扰信号，使电源信号稳定。去耦电容的布局及电源的布线方式将直接影响到整个系统的稳定性；

2）IC去耦电容的布局要尽量靠近IC的电源管脚，并使之与电源和地之间形成的回路最短；

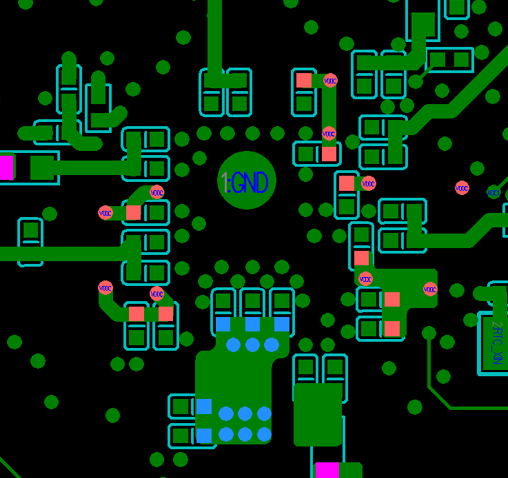
3）电源输入：先经输入电容，再接内部电路；

4）电源输出：先经输出电容，再到输出端；

5）电源至IC：先经旁路电容，再到IC。

要求主芯片底下与周围的电容容值大小与POWER/GND VIA 位置布局要完全参考公板PCB，确保电容既能支持Power所需的电能又能滤波。

图 3-18 主芯片去耦电容PCB图



### DCDC与LDO

一般的基本原则：

1. 多个DCDC模块间距离不要太近，太近DCDC模块间散热会较差导致DCDC thermal增大输出能力下降，太近模块间相邻开关频率时EMI强度会更大；
2. 给主芯片专供的DCDC模块距离SOC端要尽量近，这样power走线衰减小，并且引入的干扰也少，从而Power更干净，同时能确保SOC瞬时电流响应更加及时有效；但不能太近，太近SOC的散热会导致DCDC thermal增大；
3. DCDC模块要稍微远离audio、video、功放（包括模拟功放和数字功放）等模拟信号，避免对模拟信号产生干扰；
4. DCDC模块本身尽可能地把所有外围器件都紧密地放在DCDC IC的旁边，减少走线的长度会是最理想的布局方式；
5. 散热，LDO需要加背面散热铜皮，插入功耗>1W时要考虑更换散热更好的封装（如：TO252，TO263）；DCDC本层不要走线，而用大面积铜皮并开阻焊窗口，对应的底层也并开阻焊窗口，加强散热；
6. 反馈环路，需要远端反馈的一定要远端采样点，并且要包地；

DCDC模块的具体位置无强制要求，但大体方位参考公板PCB，不同DCDC模块按Power Net 方向需求放到对应的方向上，确保相互无干扰以及走线无交叉。

## 晶体走线

晶体的XTAL\_XIN\_XI、XTAL\_XIN\_XOUT、RTC\_XIN、RTC\_XOUT、CLK25M等晶振信号走线全程做包地处理，并保证这些信号有完整的参考平面。晶体电路下方不能有高速信号穿过。

## DRAM (VDDQ)

无特殊情况，为确保系统稳定性与软体参数稳定性，不建议自行设计DDR走线，要求完全copy公板参考设计，包括但不限于位号、元器件位置、走线方式、线宽线距、供电网络、铺地规则等等。

注意：

与DDR Layout直接相关的任何改动，务必告知CViTEK HW评估之后再改！

## Flash

### SPI Flash

布局与走线无特殊要求，SPI\_CLK信号线要单独包地。

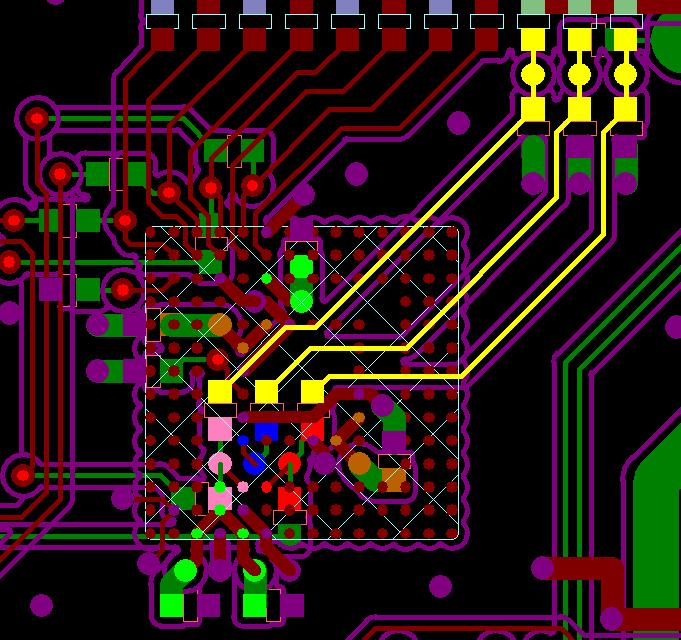
### eMMC FLASH

eMMC Power供电走线最少20mil，背面电容尽量靠近eMMC Power Pad，GND要完整。

eMMC 一般不用绕等长，确保eMMC CLK有完整包地并且尽可能优先考虑走内层。

由于eMMC是0.65mm的pitch，要特别注意贴片良率的问题，如发现PCBA短路较多，要针对工艺问题改善。

图 3-19 eMMC PCB图



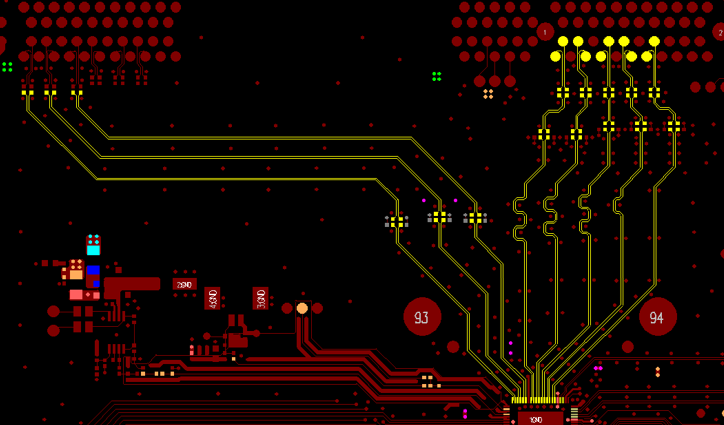
## 视频信号

### MIPI TX/MIPI RX

设计要求如下：

* 线宽线距按差分100欧姆布线，尽量不打过孔穿层，之前有现成OK的走线方式请参考之前的layout，没有的请参考公板 Layout；
* 以GND为参考平面，尽量保持参考平面的完整性；
* 差分对内P/N等长控制在 20 mil以内，差分对间数据信号的线长均以时钟信号的线长为基准，偏差控制在±300mil以内；控制差分阻抗100ohm+/ 10%；
* 经过连接器时，相邻差分信号对之间必须使用GND管脚进行隔离；
* 总长建议4 inch以内，等长约束与总线长度，要考虑封装、PCB、外接线材等联合控制。

图 3-20 MIPI信号 PCB图



### VI\_DATA与VO\_DATA

设计要求如下：

* 相邻信号走线间距保持“3W原则”；
* DATA线长以CLK线长为基准，偏差控制在±500mil以内，CLK包地；
* 等长约束与总线长度，要考虑封装、PCB、外接线材等联合控制；
* 由于CMOS与TTL接口驱动能力有限，因此整体线长不能太长。

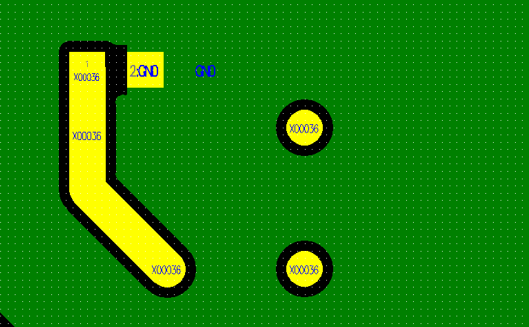
## 音频信号

### 模拟音频

设计要求如下：

* AUD\_AVREF(PIN3)管脚的下地电容与电阻的位置要完全Copy 公板设计；
* Audio\_GND与系统GND的分割点电阻，要远离SOC核心区域GND；
* 模拟音频输入输出信号的耦合电容要尽量靠近主芯片端，全程包地。

图 3-21 模拟音频信号 PCB图



### 数字音频

I2S每根信号尽量单独包地，至少MCLK要单独包地，其他整组包地。

## SDIO与SD Card

设计要求如下：

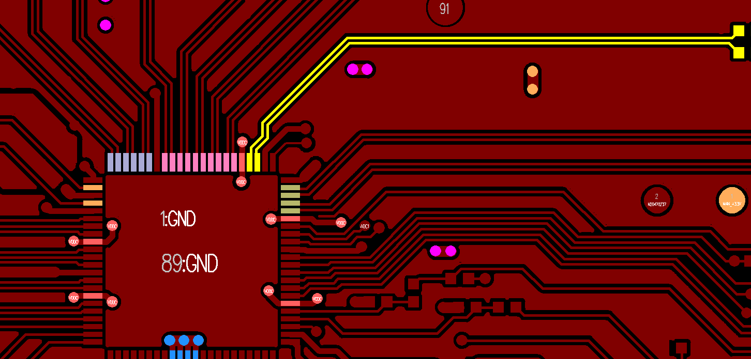
* 相邻信号走线间距保持“3W原则”；
* DATA线长以CLK为基准，偏差控制在±500mil内，CLK尽量内层再包地；
* 尽量确保SDIO信号的参考GND平面完整；
* 等长约束与总线长度，要考虑封装、PCB、外接线材等联合控制；
* SD卡背面不要放置大功率的器件，以防止SD卡高温下失效；
* ESD器件要靠近SD卡座。

## USB2.0

设计要求如下：

* 串联电阻靠近外设端，信号线长度偏差控制在10mil 以内，差分阻抗控制在90 Ω±10% ，信号线包地并以GND 为参考，保持参考平面完整；
* 信号线长度不大于 5 inch ，过孔数量不超过2个，外挂线缆长度控制在1.5 米以内，当做板级级联时，信号线长度不大于 10 inch ，过孔数量不超过 2 个。

图 3-22 USB2.0信号 PCB图



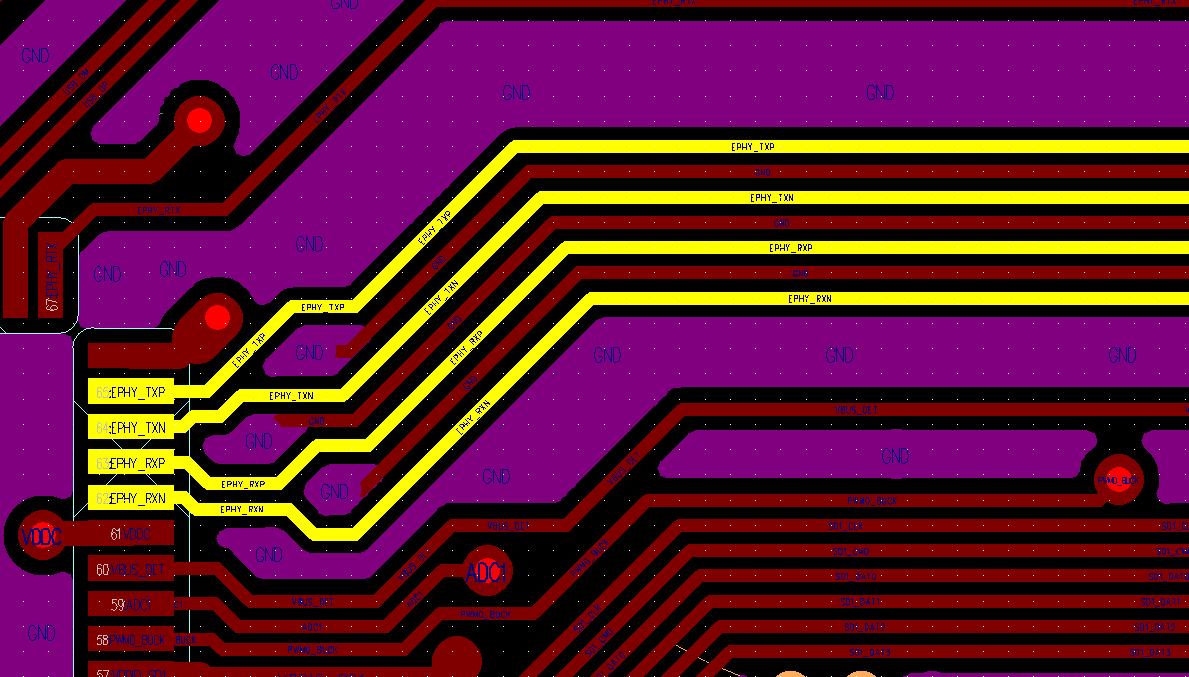
## RJ45与RMII/RGMII走线

当需要RMII模块走线时参考公板，也可以PHY芯片厂家的要求为准。

RJ45设计要求如下：

* RX0和RX1，TX0和TX1要单端走线，每根信号单独包地；
* 信号线串联电阻要靠近网络变压器端，其靠近网络接口处放置，要在网络变压器次级侧引脚与网络接口前边整个区域画隔离带确保抗网络浪涌能力。网络变压器底下不能走线。

图 3-23 RJ45网口走线 PCB图



## PCB散热设计

PCB本身的散热主要靠表层大面积的铺铜，确定好合适的板层与叠层结构之后根据情况尽量减少表层走线，板子小就要考虑增加板层。

SOC的GND VIA要尽可能多，同时核心区域的GND尽可能大并且向四周发散才能将SOC本身的热导向整个PCB。

## 铺铜规则设计

设计要求如下：

* DDR区域：此区域的铺铜设计要参考公板设置，包括内层；
* 其他区域：可自行设置，确保PCB与PCBA生产工艺满足要求即可。

# 整机ESD设计

## 背景

随着电子产品应用对系统频率和能效比的需求越来越高，则芯片制程不断降低，从而整机对外界干扰更加敏感，客户在整机设计时要非常重视ESD设计、防雷、防浪涌等的设计。

主芯片本身的ESD测试是按照JEDEC标准，可通过±2KV测试，符合行业标准。客户需要根据企业自身的ESD、防雷、防浪涌测试标准与等级，对单板硬件和整机设计做好评估和测试。

## 整机ESD

提供一些设计建议和风险规避措施如下：

* 整机外置常用接插口：例如USB、SD Card、按键、音频输入输出口、网口灯一定要加ESD或防浪涌器件；
* 整机内部接插口：例如视频输入输出口、喇叭接口、板对板接口、MIC接口等，要根据产品定义需求、测试情况以及生产良率等具体情况评估是否有必要增加ESD器件；
* 需要重点考虑ESD问题的关键元器件以及ESD器件本身，一定要确认好相关ESD参数符合设计要求，并且不会影响到信号线的质量。
* 接口连接器外壳推荐使用金属外壳，并与整机金属外壳充分连接（例如带定位孔的USB座、带弹片的RJ45座等），必要时采用导电柱或者导电泡棉来实现连接器与外壳的充分连接。
* 关于系统25MHz时钟选型，建议客户选用4Pin 贴片晶体，2个GND脚与单板充分连接，增强系统时钟抗干扰能力，其他走线尽量远离晶体。
* 需要考虑浪涌问题的接口布局时位置尽量靠近板边，次级侧就近有螺丝孔到机壳，初次级画好隔离带，比如RS232/485、韦根、门磁、POE等。
* 小系统部分（时钟、复位、主芯片、DRAM、Flash等）器件布局远离金属接口；
* 无特殊情况，信号线串联电阻要靠近外设端，ESD器件要尽可能靠近接口处，ESD器件的接地引脚如果是通过过孔到地，要增加过孔数量。
* 如特殊情况需要金属散热片，其是否要接地到单板，根据ESD实际测试情况决定；
* 单板定位孔采用金属化过孔，与单板GND连接，选用不带喷防锈剂的螺丝以确保单板与整机充分接触；
* 整机设为浮地设备时，单板金属化接口严禁采用分割接地设计；
* 整机为接地设备时，要求金属外壳充分连接大地，分割保护地与单板数字地之间采用单点连接，也可增加0R电阻，单点连接的位置要远离小系统电路，建议靠近整机电源连接器放置；
* 单板与整机生产线都要做好ESD防护措施，佩戴静电手环、相关仪器设备接地、防止热插拔等都要做好；

如上建议主要做参考，具体以企业自身要求位置。

# 整机EMI设计

* EMI问题不仅在于整改阶段，更重要的是在设计PCB、结构、走线布局等就要充分为EMI问题做考虑；
* 确认结构、走线、布局等相互之间的干扰；
* 确认EMI超标频点与基频的关系，频点相互之间的关系，确认是倍频还是频率泄露；
* 定位频率源头；
* 通用措施（增加GND连接性、屏蔽、绕线、包地、RC）；
* 降IO Driver以及开CLK展频功能（eMMC、SDIO、MIPI、DDR等都可以开展频）；

其它可详见《CViTEK EMI问题常见分析思路与措施》。

# 调试常见问题Debug方法

## Power 对地短路

单板调试或批量生产时，如果发现某个电源网络对地短路或者阻抗偏低（一般焊接不良都是短路，阻抗偏低的很少），需要根据Power tree一一断开相关节点，深入排查短路原因，改进设计或者生产工艺。

## 供电电压不正确

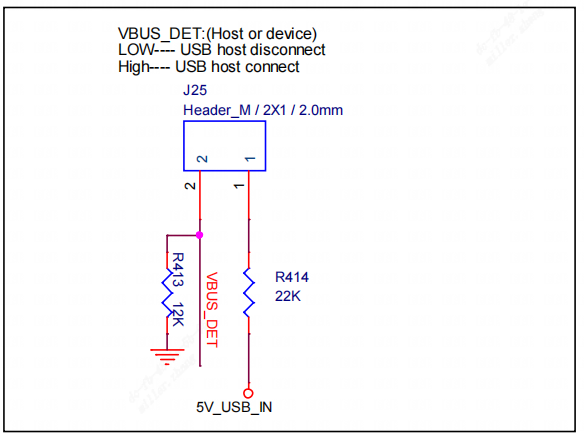
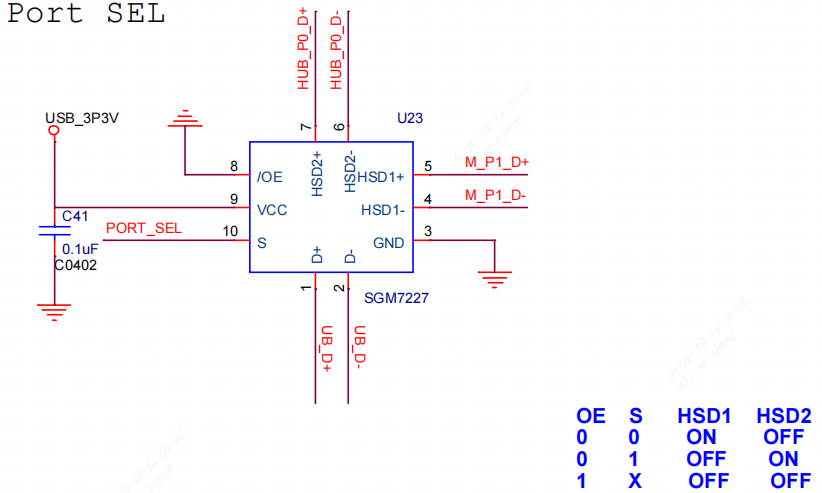
如果无对地短路，并且对地阻抗都OK，很少有供电电压偏高或者偏低的，如果出现一般都是DCDC/LDO焊接不良或者DCDC/LDO反馈环路电阻损坏造成，先观察DCDC/LDO相关，然后测量反馈电阻，再更换DCDC/LDO。

## eMMC无法烧录

1. 最小系统VDDC和VDDQ等相关的电压都正常,HW Config配置确认OK；

2）然后检查串口、USB口 Pin脚对地阻抗是否正常。

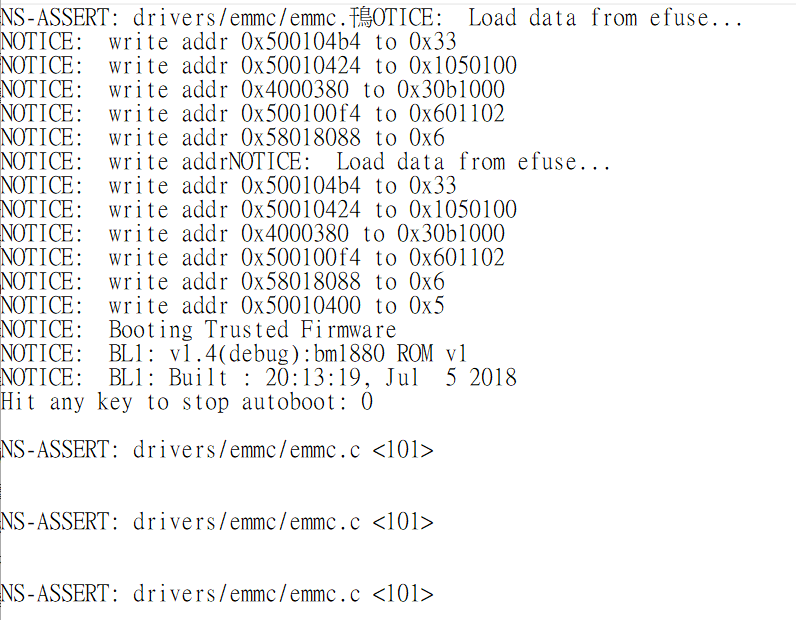
3）当出现USB（连接电脑的那个口）在Windows命令窗口中识别不到时，优先检查控制USB信号路径切换芯片（例如公板的SGM7227）的控制状态是否正确，然后检查VBUS\_DET是否为high。



4）再看log显示到哪里，如果卡在DDR start done，则说明烧录时调用DDR fail，因此优先怀疑DDR不良，可以检查DDR部分电路，再之后更换IC。

## 无法启动和无法读取eMMC数据

出现无法启动，log卡在NS-ASSERT: drivers/emmc/emmc.c <101>，则是CPU读不到eMMC的数据，此种情况下，测量CPU与eMMC之间串联的电阻对地阻抗，优先加焊CPU和eMMC，先考虑更换CPU后再更换eMMC。

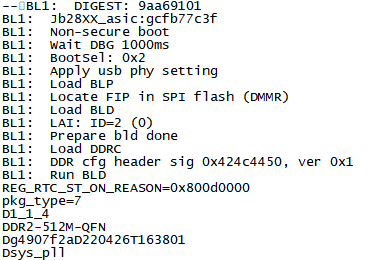


## DDR init Fail

一般来说，当在初始log中位置出现Ctrl bist fail或者DDR init fail，则检查DDR电源电压纹波和ZQ电阻，然后再检查芯片焊接是否正常。

## 通电无打印

主板上电即使空Flash还未烧录也会有几行log打印信息（如下所示）。



如果上电没有打印信息，请检查如下：

1）确认各路电压供电是否正常？

2）确认芯片是否焊接OK，重点检查芯片EPAD与大地是否有焊接良好?

3）确认PWR\_VBAT\_DET 电平是否高于1.0V?

4）确认UART0\_TX电平是否为高？

5）确认25M晶体是否起振？

6）确认UART部分线路是否OK?

## 烧录程序跑不起来

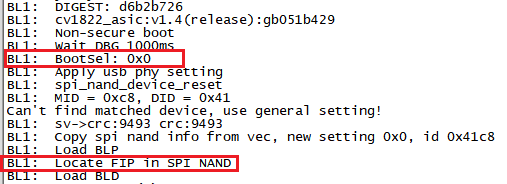
查看过程的打印Log并检查如下：

1）确认Flash型号是否公板已点过支持的，程序是否烧录完整？

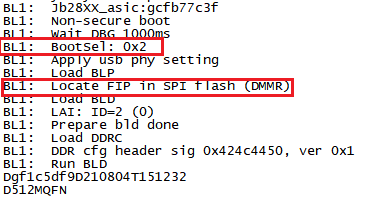
2）确认是否DDR报错，软件错误，比如芯片是DDR2用成DDR3的软件？

3）确认是否HW Config错误？

NAND Flash Boot：



Nor Flash Boot：



# eMMC与DDR 可靠性软体测试方法

详见附件文档。

要求各个板型至少要抽2pcs板跑DDR测试12个小时；

# 散热设计

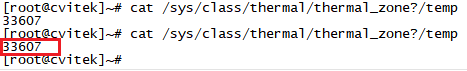
## 主芯片散热

确认产品要求的整机工作环境温度范围，CViTEK要求芯片表面温度不超过100度，芯片结温不超过125度。

首先务必确保高温老化条件，以正常出货的条件为标准，完整的整机与各项功能，补光灯、算法等相关应用都有正常运行，CViTKE SOC内置温度Sensor，等高温箱与整机工作3小时之后状态基本稳定，可通过如下命令获取芯片结温，并不断检测芯片结温。

cat /sys/class/thermal/thermal\_zone0/temp

如下log代表芯片当前结温=33.6°。



## 关键元器件散热

确保各关键元器件包括但不限于DCDC/LDO、Flash、DDR等的温升满足其SPEC要求。

## 温升整改

详见《CVITEK温升整改SOP\_V1.0》。

# 附件清单

详见CViTEK HDK表格中说明。