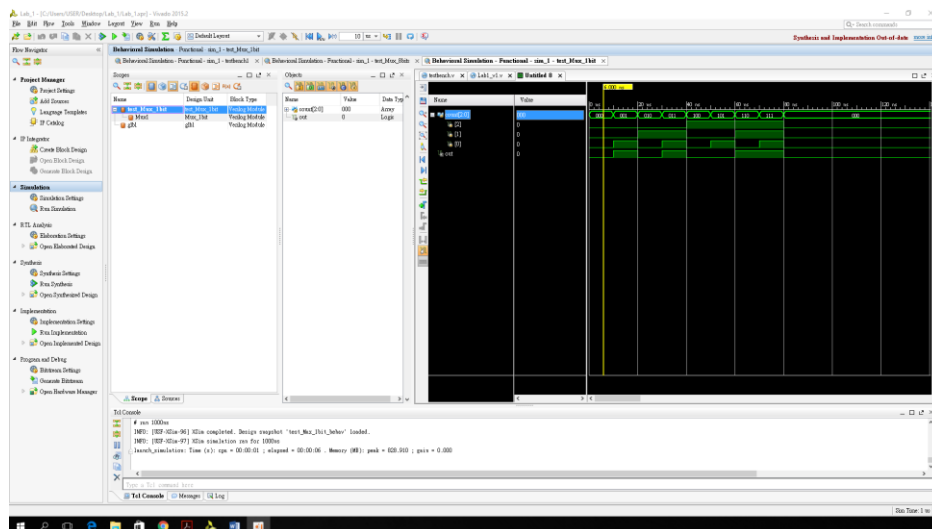
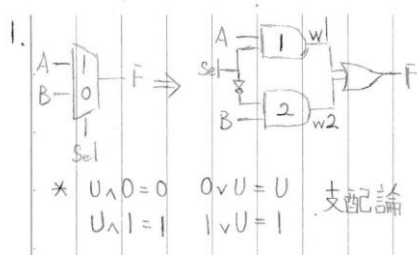


# Lab 1 Team17 Report

## Gate level circuit

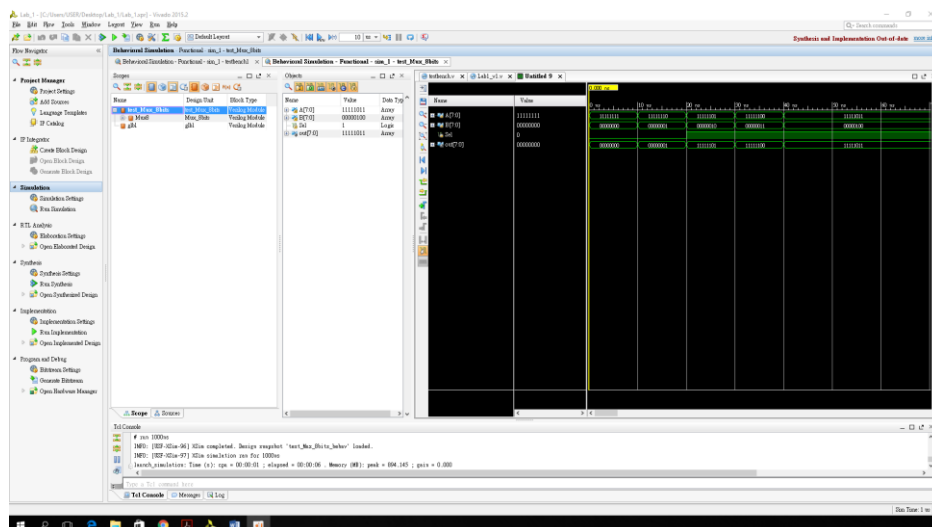
### Q1.

F 的值會取決於 Sel 的值是什麼，所以我們可以用 2 個 and gate、1 個 inverter 以及 1 個 or gate 來構成這個電路，假若 Sel=1，則 F=A，否則 F=B。根據支配論，當 SEL = 1 時，W1=A&1=A 以及 W2=0&B=0，然後 F=A or 0 = A，而當 SEL =0 時，W1=0&A=0 以及 W2=B&1=B，然後 F=0 or B = B。



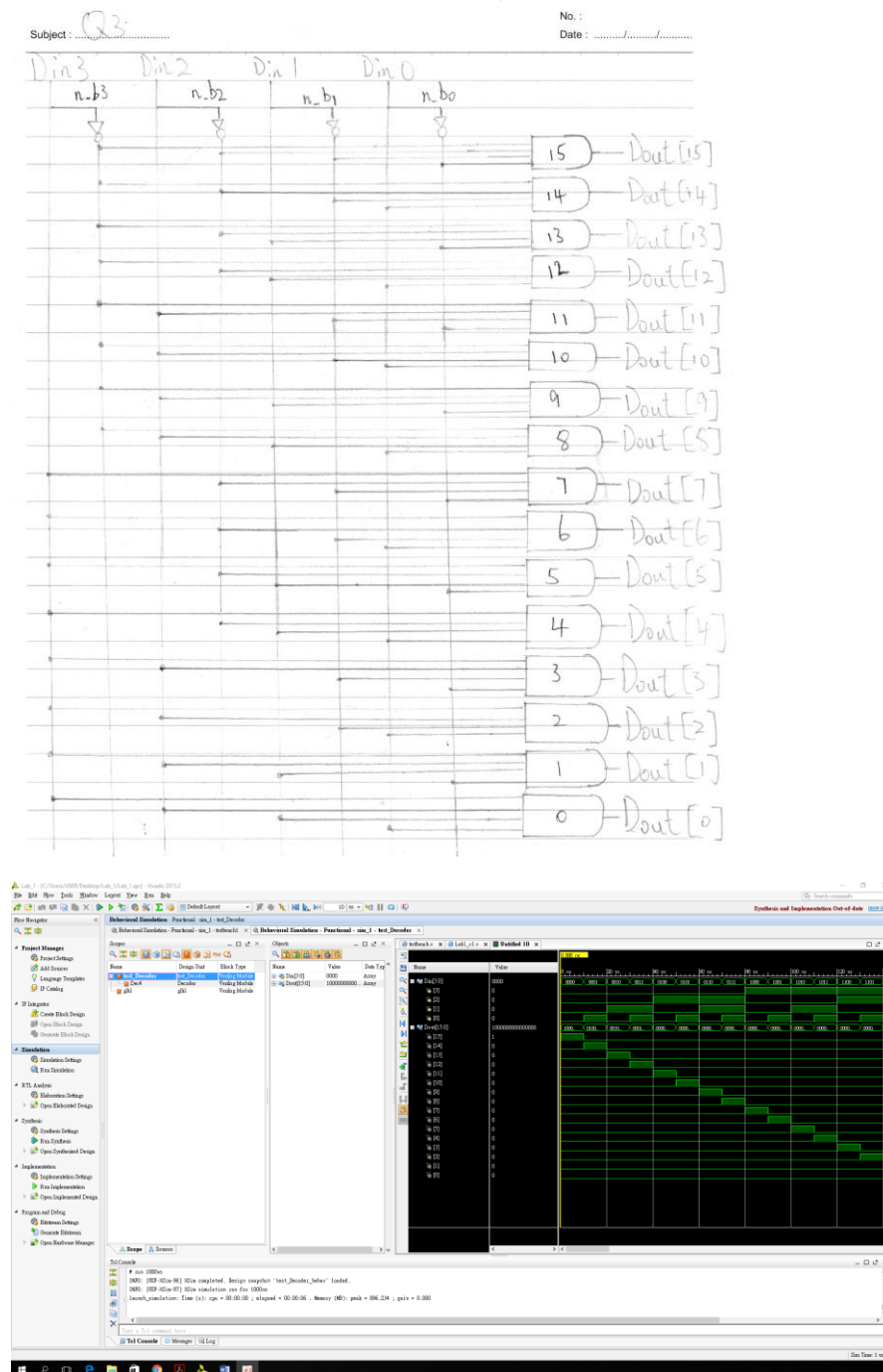
### Q2.

同 Q1。只是 A、B、F 的值由 1-bit 改變成 8-bit。



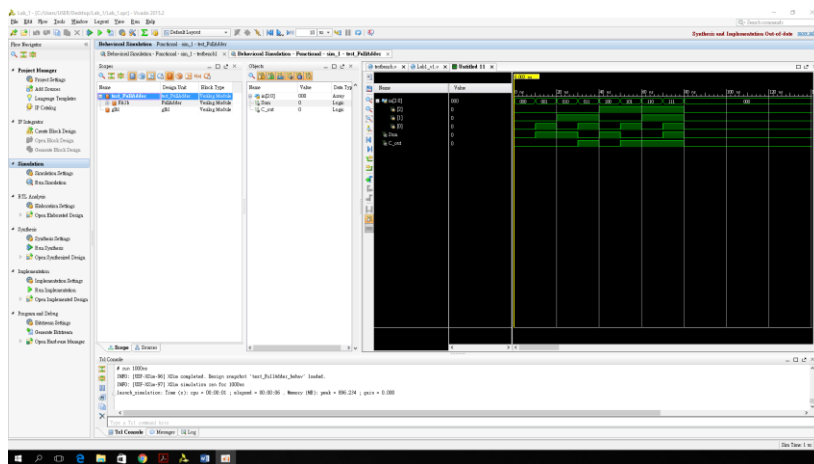
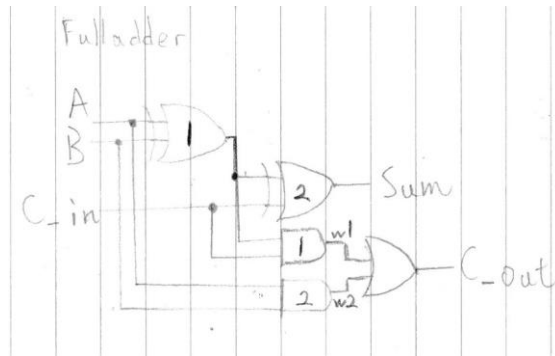
Q3.

4x16 decoder 是把一組 4-bit 的數字轉化為一組 16-bit 的 One-hot decoder，它的 output 只有其中一個 bit 是 1，其餘的全都是 0，共 16 組不同的組合。所以，我們可以利用 4 個 inverter 和 16 個 and Gate 來設計，在每一個數字中也只會有一個 and Gate 的 output 為 1，其餘 15 個的 output 全都是 0。原本的 4x16 decoder 最小的值是 0000，它所對應的 16-bit One-hot decoder 的值是最右邊是 1，然後它的左邊 15-bit 都是 0，但我們的設計則是相反，它所對應的 16-bit One-hot decoder 的值是最左邊是 1，然後它的右邊 15-bit 都是 0。



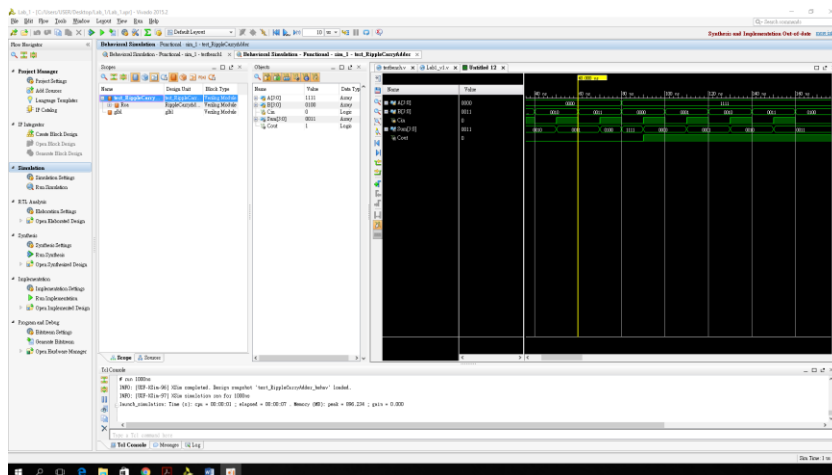
Q4.

首先，Sum 的規則是相同數字相加的結果為 0，相異數字相加的結果為 1 ( $0+0=0$ 、 $0+1=1$ 、 $1+0=1$ 、 $1+1=0$ )，所以我們設計一個 XOR 的模組出來，然後利用它可以得出 Sum 的結果。而 C\_out 是進位，只需要找到 A、B 和 C\_in 中有沒有兩個或以上同時為 1 就可以。



Q5.

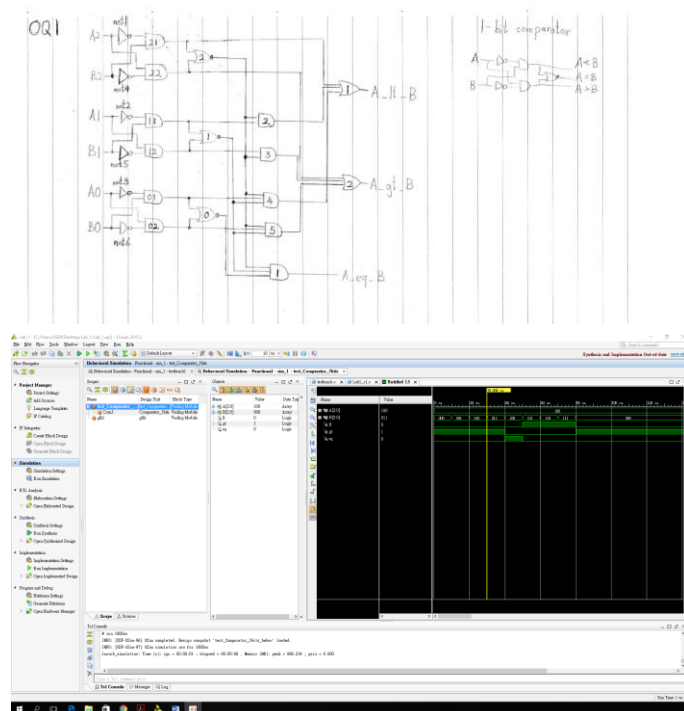
同 Q4。只是把 4 個 1-bit full adder(FA)串聯起來，並且把第一個 FA 的 C\_out 給第二個 FA 當成 C\_in 使用，把第二個 FA 的 C\_out 給第三個 FA 當成 C\_in 使用，把第三個 FA 的 C\_out 給第四個 FA 當成 C\_in 使用。



## OQ1.

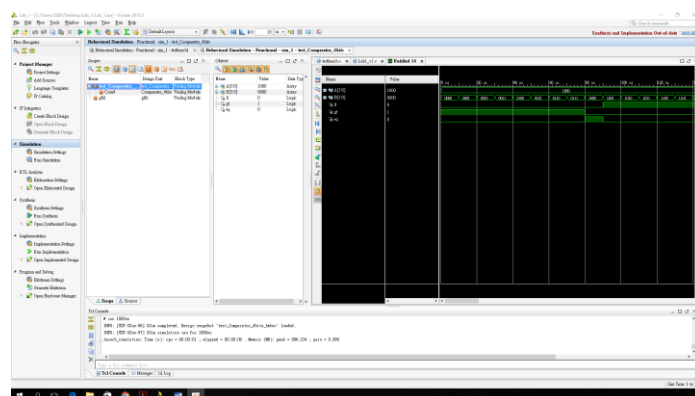
我們首先由 1-bit comparator 去理解，如果 NOT A and B 的結果為 1 的時候，則代表  $B=1$ 、 $A=0$ ，所以  $A < B$  以及  $A\_lt\_B = 1$ 。而 NOT B and A 的結果為 1 的時候，則代表  $B=0$ 、 $A=1$ ，所以  $A > B$  以及  $A\_gt\_B = 1$ 。但假若以上兩個情況的結果均為 0 時，而這種情況我們可以用 NOR Gate 來判斷，表示  $A=0$ 、 $B=0$  或  $A=1$ 、 $B=1$ ，所以  $A=B$  以及  $A\_eq\_B = 1$ 。

而我們可以把這個 1-bit comparator 套用到 3-bit comparator 中：假若  $A_2 < B_2$ ，則  $A < B$ ，而  $A_2 > B_2$ ，則  $A > B$ ，但如果  $A_2 = B_2$  的話，我們就需要再判斷  $A_1$  與  $B_1$  的大小，假若  $A_1 < B_1$  且  $A_2 = B_2$ ，則  $A < B$ ，而  $A_1 > B_1$  且  $A_2 = B_2$ ，則  $A > B$ ，如果  $A_1 = B_1$  且  $A_2 = B_2$  的話，則再來判斷  $A_0$  與  $B_0$  的大小，如果  $A_0 = B_0$  且  $A_1 = B_1$  且  $A_2 = B_2$  的話，則  $A=B$ 。



## OQ2.

首先判斷 A<sub>3</sub> 跟 B<sub>3</sub> 的大小，假若  $A_3 < B_3$ ，則  $A < B$ ，而  $A_3 > B_3$ ，則  $A > B$ ，但如果  $A_3 = B_3$  的話，我們就再判斷 A<sub>2</sub> 與 B<sub>2</sub> 的大小，跟 Q6 的情況判斷一樣。



## Question

Q: What are the number of output bits in a 5 input decoder?

A:  $2^5 = 32$ bits output.

Q: For decoders, how hard is it to verify if the inputs are increased from  $n$  to  $(n+1)$ ?

A: The output is  $2^n$  if the input is  $n$ , then we increase the input to be  $(n+1)$ , the output will be  $2^{n+1}$ ,  $2^{n+1} / 2^n = 2$ . So we need to verify that twice as much outputs.

Q: How do you verify that your circuit is working correctly?

A: We want to verify all cases to check our circuit working correctly, such as initial cases, final cases, problem cases, etc.

Q: What is the difference between a Full Adder and a Half Adder?

A: Full adder has 3 inputs and 2 outputs, but half adder has 2 inputs and 2 outputs. Full adder has one more input carry:  $c_{in}$ . It will control the carry out and the sum results in full adder.

## Contribution of each team member

104062261:草圖設計, 程式實作, 測試檔實作

103062162:草圖設計, 報告撰寫, 程式實作

## What we learned from Lab 1

We learn how to just use basic logic gates (and, or, nand, nor, not) to describe the function. First of all, we draw the gate-level circuit of our design. Second, we write down input-output relationship. Final, we use basic logic gates to express the relation between input and output.