

Lab3 Team17 Report

Contribution:

104062261 1/2

103062162 1/2

Questions to answer in the report

Q1 : How to design a circuit to divide an 8-bit binary number A[7:0] by 8 ?

A1 : 我會設計一個向右移動3位元的Logical Shift right來取得A除以8的商。

Q2 : How to use a 4-bit adder to compute (A - B) ?

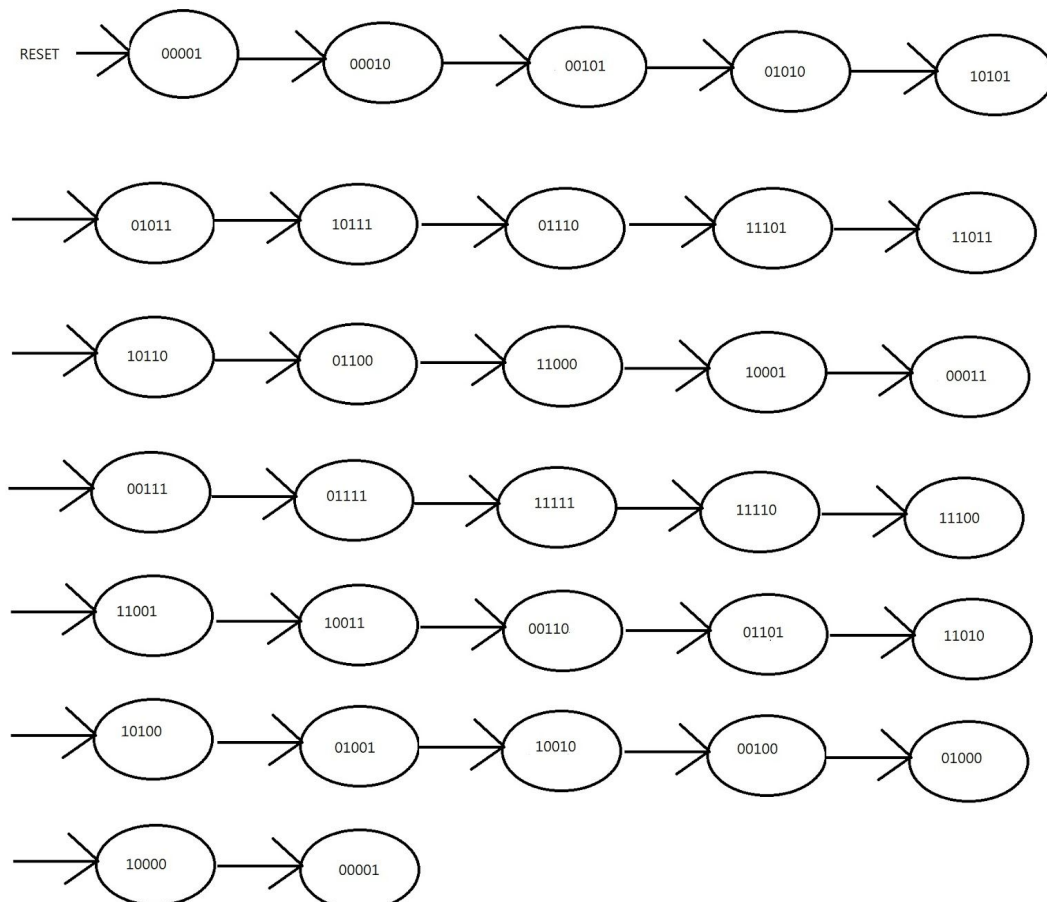
A2 : 首先，我們要取得B的二補數，即是將該數字作位元反相運算（即一補數），再將結果加1，然後把它跟A相加，就可以得出A - B的結果。如有計算後有溢出的位元，則可以把它忽略掉。

Q3 : How would it affect the state transition diagram ?

A3 : 因為DFF[1]的值被固定為1，那麼DFF[2]·DFF[3]·DFF[4]的值也會因此而被固定為1，然後DFF[1]=1和DFF[4]=1做XOR，所以DFF[0]的值會固定為0，DFF[4:0]的值固定為5'b11110。

Q1

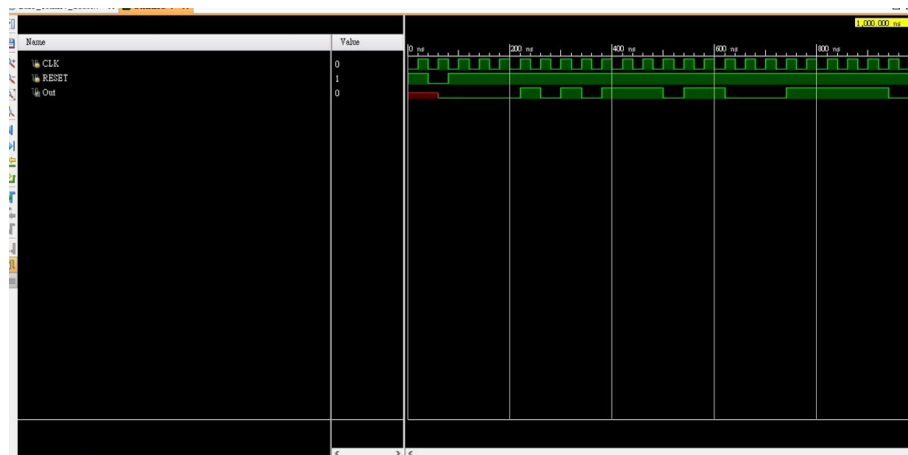
如果reset設定為5'b00000的話，則DFF的值永遠都不會改變，因為0和0做XOR的結果也是0，所以DFF會不斷把0傳到下個目的地，形成一個loop。



Lab3 Team17 Report

Implementation 1

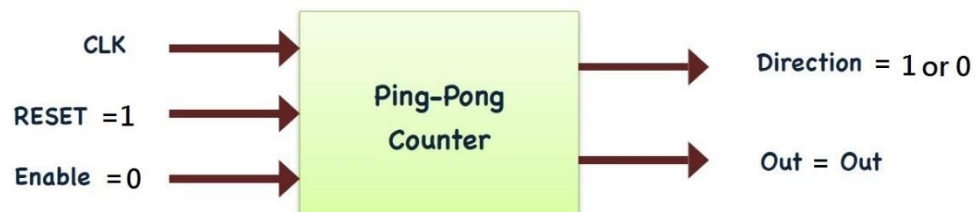
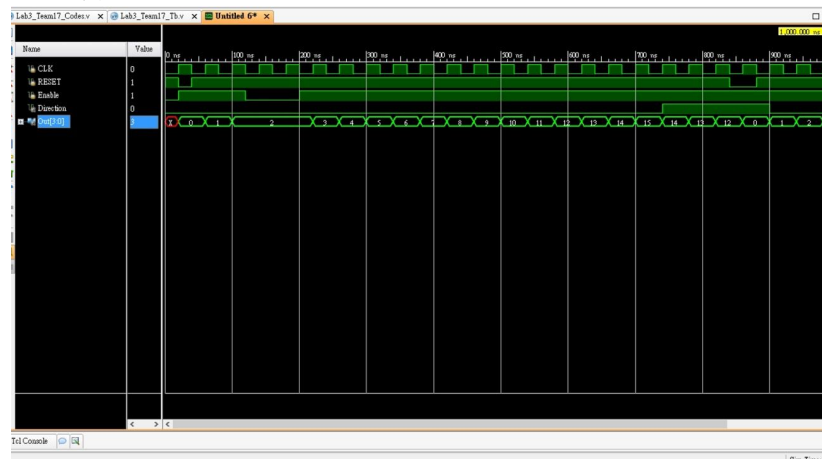
1	0	0	0	0
0	1	0	0	0
1	0	1	0	0
0	1	0	1	0
1	0	1	0	1
1	1	0	1	0
1	1	1	0	1
0	1	1	1	0
1	0	1	1	1
1	1	0	1	1
0	1	1	0	1
0	0	1	1	0
0	0	0	1	1
1	0	0	0	1
1	1	0	0	0
1	1	1	0	0
1	1	1	1	0
1	1	1	1	1
0	1	1	1	1
0	0	1	1	1
1	0	0	1	1
1	1	0	0	1
0	1	1	0	0
1	0	1	1	0
0	1	0	1	1
0	0	1	0	1
1	0	0	1	0
0	1	0	0	1
0	0	1	0	0
0	0	0	1	0
0	0	0	0	1
1	0	0	0	0



Lab3 Team17 Report

Q2

當Direction的值為0、Enable為1、RESET為1時，Out的值將不斷增加，直到Out的值是15為止，然後Direction的值會變為1。當Direction的值為1、Enable為1、RESET為1時，Out的值將不斷減少，直到Out的值是0為止，然後Direction的值會變為0。如果RESET等於0時，計數器將會重設它的值為0。而當Enable為1時，計數器將會繼續它的運作，否則計數器的值不變。

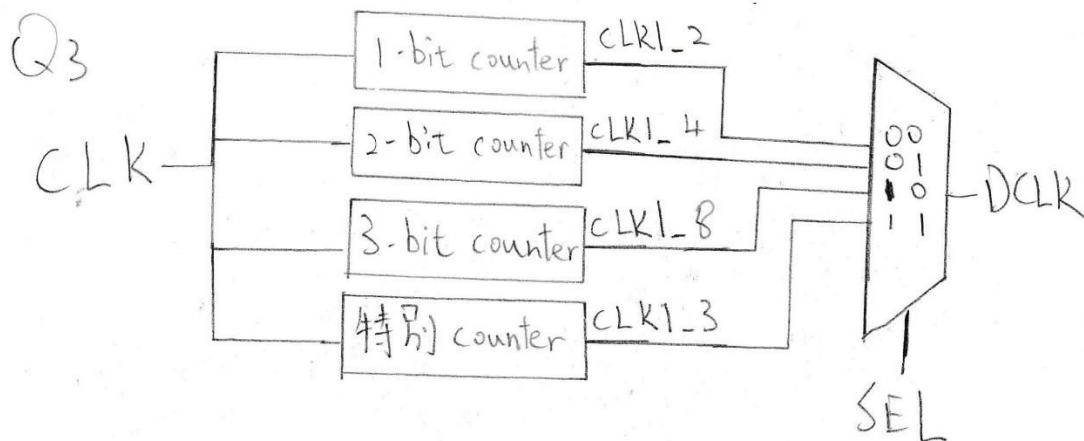
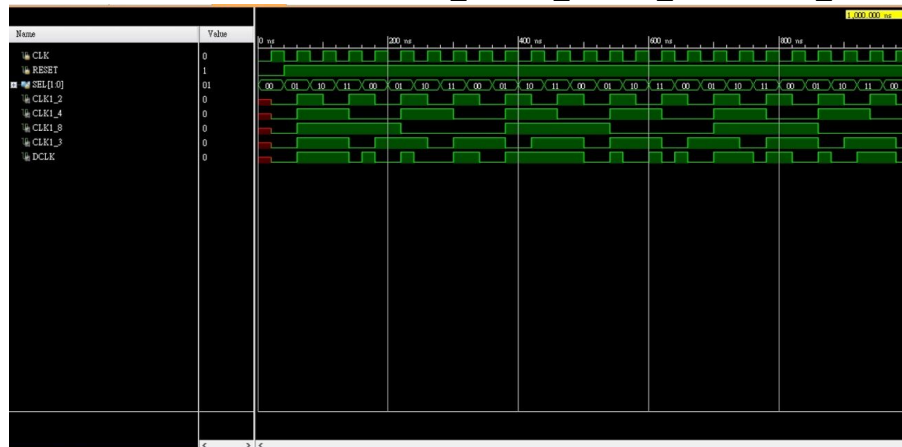


Lab3 Team17 Report



Q3

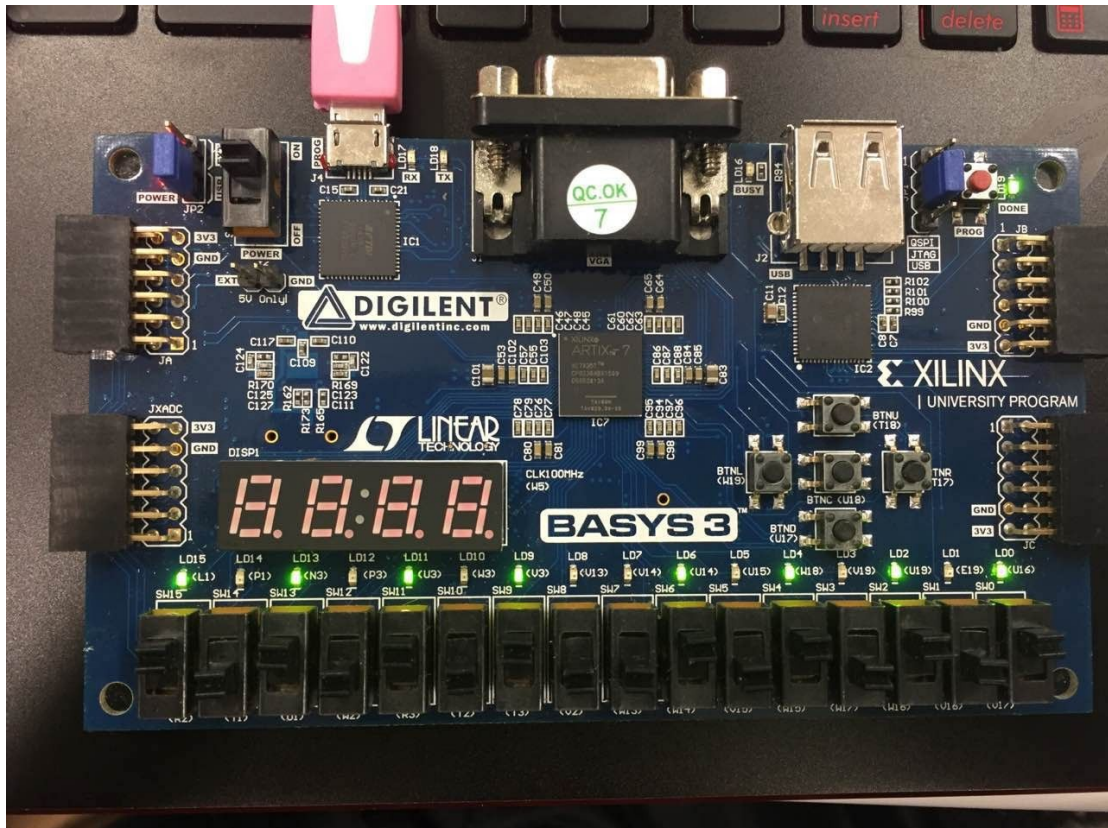
這是一個可變動的除頻器，分別可以除以2、4、8和3，並以2-bit 的SEL來選擇DCLK的輸出值。當RESET為0時，CLK1_2、CLK1_4、CLK1_8以及CLK1_3均會清空為0。



Q4

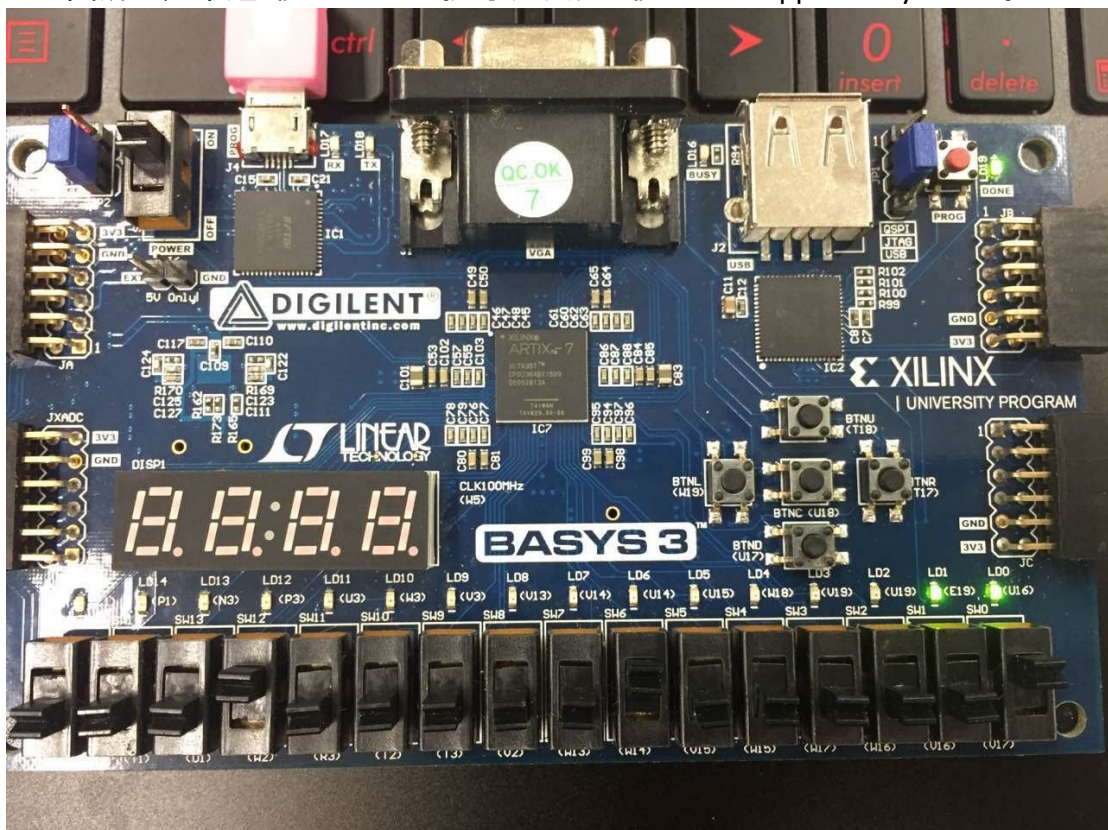
在FPGA上利用開關來控制LED燈的值，1是亮起來，0則是不亮。每一個LED燈均由獨立開關所控制。

Lab3 Team17 Report

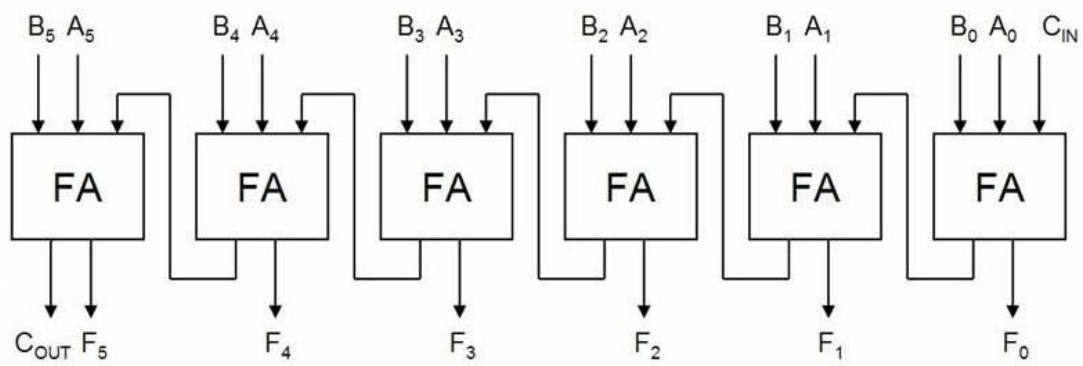


Q5

如下圖所示，串連6個Full Adder就可以形成一個6-bit的Ripple-Carry Adder。



Lab3 Team17 Report



OQ1

運用Q2和Q3並把它們結合，然後把它顯示在FPGA上。

OQ2

