Лабораторная работа «Триггеры» ЦЕЛЬ РАБОТЫ

Ознакомление с основными характеристиками и испытание интегральных триггеров RS, D, T и JK.

ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ И РАСЧЁТНЫЕ ФОРМУЛЫ

Триггер — это устройство последовательностного типа с двумя устойчивыми состояниями равновесия, предназначенное для записи и хранения информации. Под действием входных сигналов триггер может переключаться из одного устойчивого состояния в другое. При этом напряжение на его выходе скачкообразно изменяется с низкого уровня на высокий или наоборот.

По способу записи информации триггеры делят на *асинхронные*, которые переключаются в момент подачи входного сигнала, и *синхронные* (тактируемые), которые переключаются только при подаче синхронизирующих импульсов, а момент переключения связан с определённым уровнем синхросигнала (*статические* триггеры) или с моментом перепада напряжения на тактируемом входе (*динамические* триггеры).

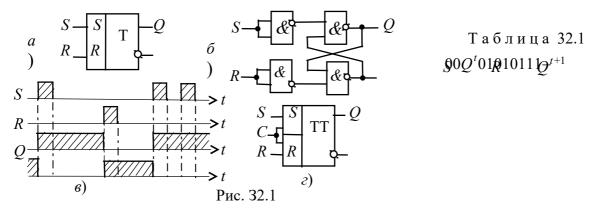
Как правило, триггер имеет два выхода: прямой Q и инверсный \overline{Q} . Число входов зависит от структуры и функций, выполняемых триггером. Например, асинхронные RS-триггеры имеют два входа: вход S установки в $e\partial$ иничное состояние прямого выхода Q и вход R установки s нулевое состояние выхода Q. Синхронные триггеры для занесения в них информации, помимо информационных входов S (J) и R (K), имеют синхронизирующий C или счётный T вход, а триггеры задержки — информационный вход D.

Наибольшее распространение в цифровых устройствах получили триггеры $RS,\,D,\,T$ и JK.

1. АСИНХРОННЫЙ И СИНХРОННЫЙ *RS*-ТРИГГЕРЫ

Простейшим триггером является *асинхронный RS*-триггер, условное графическое изображение которого представлено на рис. 32.1, a, а принцип его работы поясняется таблицей истинности (табл. 32.1). Триггер имеет два раздельных информационных входа: R и S и два выхода: Q и \overline{Q} . Независимым является один (прямой) выход Q, так как инверсный сигнал \overline{Q} можно получить с помощью внешнего инвертора.

Рассмотрим табл. 32.1. Обозначим Q^t сигнал на выходе триггера до поступления сигнала 1 на его вход S. При подаче сигналов S=1 и R=0 триггер переходит в состояние $Q^{t+1}=1$. При поступлении сигналов R=1 и S=0 на выходе устанавливается $Q^{t+1}=0$. При отсутствии новых команд состояние триггера не изменяется: триггер сохраняет информацию о последней из поступивших команд. Естественно, что комбинация сигналов S=1 и R=1 относится к запрещённым, так как при её подаче на входы триггера на его выходе Q^{t+1} устанавливается либо 1, либо 0.



На основании табл. 32.1 запишем аналитическое выражение функционирования *RS*-триггера:

$$Q^{t+1} = S + Q^t \, \overline{R}.$$

На рис. 32.1, ε изображена временная диаграмма, иллюстрирующая его работу. В момент, когда подаётся сигнал S=1, триггер переходит в состояние Q=1. При отсутствии входных сигналов состояние триггера не изменяется, а в момент подачи сигнала R=1 триггер переключается в состояние Q=0, в котором пребывает до поступления нового единичного сигнала на S-вход.

RS-триггер может быть построен на различных логических элементах. На рис. 31.1, δ показана схема реализации RS-триггера на базовых элементах И-НЕ, в которой использована положительная обратная связь (ПОС) с выходов триггера на входы логических элементов. Именно наличие ПОС отличает триггер от ранее рассмотренных комбинационных логических устройств: посредством сигналов ПОС в триггере фиксируется его предшествующее состояние.

Асинхронный *RS*-триггер можно преобразовать в *синхронный*, если добавить третий синхронизирующий вход C (рис. 32.1, ε), соединенный, например, с нижними, предварительно разделёнными, входами двух левых элементов И-НЕ (см. рис. 32.1, δ).

Вход C обеспечивает функционирование RS-триггера по закону $Q^{t+1} = Q^t(\overline{C} + \overline{R}) + CS$.

Переключение синхронного RS-триггера в состояние Q=1 происходит при S=1 (или в состояние Q=0 при R=1) в момент прихода синхроимпульса C. При C=0 информация с S- и R-входов на триггер не передается.

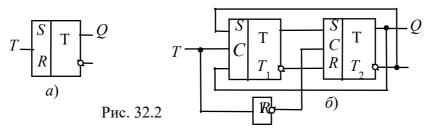
2. Т-ТРИГГЕР

Триггер со счетным запуском (T-mригeр) должен переключаться каждым импульсом, подаваемым на единственный счётный вход T (рис. 32.2, a). Функционирование T-триггера определяется уравнением

$$Q^{t+1} = Q^t \overline{T} + Q^t T.$$

Он может быть реализован, например, на базе двух синхронных RS-триггеров (рис. 32.2, δ). С появлением фронта тактового импульса триггер T_1 первой ступени переключается в состояние, противоположное состоя-

нию триггера T_2 . Но это не вызывает изменение сигналов на выходах Q и \overline{Q} , так как за счёт инвертора на тактовый вход C триггера T_2 в данный момент подан логический 0. Только на срезе счетного импульса на входе T_1 переключится триггер T_2 и произойдёт изменение сигналов на выходах Q и \overline{Q} , а также на S- и R-входах первой ступени.

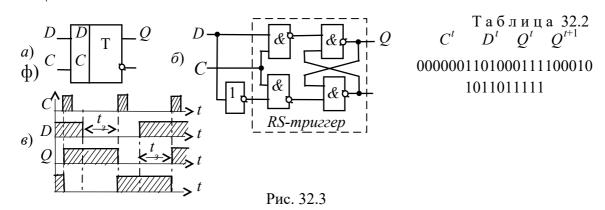


3. *D*-ТРИГГЕР

Триггер задержки (D-триггер) может быть только синхронным, так как имеет один информационный D-вход, информация с которого переписывается на выход триггера только по тактовому сигналу, подаваемому на C-вход. Условное изображение D-триггера приведено на рис. 32.3, a. Реализовать его можно на различных логических элементах, в том числе, на основе синхронного RS-триггера, дополненного инвертором (рис. 32.3, δ). Из анализа табл. 32.2 переключательной функции D-триггера

$$Q^{t+1} = \overline{C}^t Q^t + C^t Q^t$$

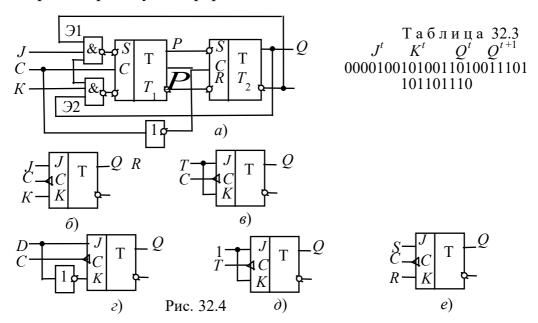
следует, что при отсутствии синхроимпульса (C=0) состояние триггера остается неизменным. При условии же C=1 триггер передает на выход сигнал, поступивший на его вход D в предыдущем такте, т. е. выходной сигнал Q^{t+1} изменяется с *задержкой* на один период импульсов синхронизации.



Из анализа временной диаграммы D-триггера (рис. 32.3, ϵ) также следует, что выходной сигнал Q триггера повторяет состояние D-входа с поступлением очередного тактового импульса на вход C с задержкой t_3 относительно сменившегося логического состояния на D-входе.

4. *JК***-ТРИГГЕР**

JK-триггеры обычно выполняют тактируемыми. JK-триггер имеет информационные входы J и K, которые по своему воздействию на устройство аналогичны входам S и R синхронного RS-триггера: при J=1 и K=0 триггер по тактовому импульсу C устанавливается в состояние Q=1; при J=0 и K=1 — переключается в состояние Q=0, а при J=0 и K=0 — хранит ранее принятую информацию.



В отличие от синхронного RS-триггера одновременное присутствие логических единиц на информационных входах не является для JK-триггера запрещенной комбинацией; при J=1 и K=1 триггер работает в счетном режиме, т. е. переключается каждым тактовым импульсом на входе C.

Только при комбинации сигналов J=1, C=1 и $\overline{Q}=1$ на входе элемента $\Im I$ триггер T_1 переключится в состояние P=1. Аналогично логический 0 будет на выходе элемента $\Im I$ 2, когда I3, I4 и I5 и I7 и I8 г.

Таким образом, комбинация $J=1,\,K=0$ обуславливает по тактовому импульсу C=1 переключение JK-триггера в целом в состояние Q=1, а комбинация $J=0,\,K=1$ — в состояние Q=0.

Из анализа табл. 32.3 переключательной функции JK-триггера $O^{t+1} = \overline{K}^t O^t + J^t \overline{O}^t$

следует, что состояние триггера определяется не только уровнями сигналов на информационных входах J и K, но и состоянием Q^t , в котором ранее находился JK-триггер. Так, при комбинации J=0, K=0 триггер сохраняет предыдущее состояние $(Q^{t+1}=Q^t)$; комбинация J=1, K=1 приводит к тому, что тактовым импульсом триггер переключается в состояние, противоположное предыдущему: $Q^{t+1}=\overline{Q}^t$. Комбинации J=1, K=0 и J=0, K=1 дают разрешение триггеру переключиться соответственно в состояния Q=1 и Q=0.

На основе *JK*-триггера (рис. 32.4, δ) могут быть выполнены синхронный (рис. 32.4, ϵ) и асинхронный (рис. 32.4, ϵ) *T*-триггеры, *D*-триггер (рис. 32.4, δ) и синхронный *RS*-триггер (рис. 32.4, ϵ).

При проектировании сложных логических схем (микросхем) необходимы триггеры различных типов, которые можно было бы выполнить на основе одного универсального триггера и использовать его в разных режимах работы и модификациях. В интегральной схемотехнике наибольшее распространение получили D- и JK-триггеры.

УЧЕБНЫЕ ЗАДАНИЯ И МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ИХ ВЫПОЛНЕНИЮ

Задание 1. Собрать на рабочем поле среды MS10 схему для испытания *асинхронного RS-триггера* (рис. 32.5) и **установить** в диалоговых окнах компонентов их параметры или режимы работы. Скопировать схему (рис. 32.5) на страницу отчёта.

Схема (рис. 32.5) собрана на четырёх логических элементах И-НЕ (NAND). На входы S и R элементов NAND1 и NAND2 через ключи 1 и 2 подаются логические сигналы 1 или 0 от источника прямоугольных импульсов E1 с амплитудой 5 В. К выходам Q и \overline{Q} элементов NAND3 и NAND4, т. е. к выходам триггера, как и к его входам S и S, подключены пробники S1, S2, S3 и S4 с пороговым напряжением 5 В.

Воспользовавшись порядком засвечивания разноцветных пробников и задавая коды (00, 01, 10) состояния ключей **1** и **2** (входных сигналов), **составить** таблицу истинности *RS*-триггера. Например, сформировав с помощью ключей сигналы S=1 и R=0 и подав их на вход триггера, получите на его выходе сигналы Q=1 и $\overline{Q}=0$ (см. рис. 32.5). Убедитесь, что при запрещённом коде 11 входных сигналов, на выходе *RS*-триггера могут засветиться оба пробника, или оба не светятся.

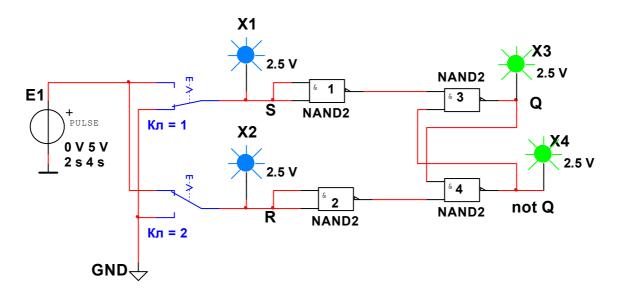
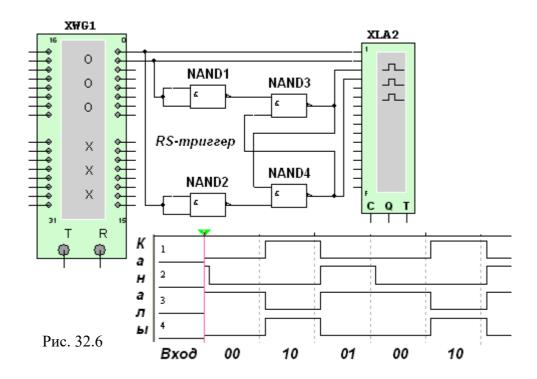


Рис. 32.5

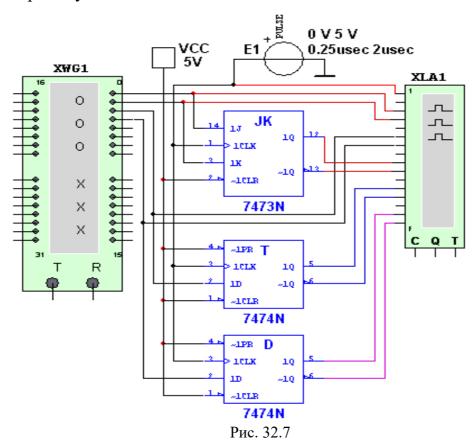
Задание 2. **Подключить** к входам триггера логический генератор (генератор слова) **XWG1** (рис. 32.6), запрограммировав его первые три ячейки кодами 00, 10 и 01 и соединив входы и выходы триггера с входами логического анализатора **XLA2**.

В диалоговом окне генератора слова **XWG1** задать частоту $f_{\varepsilon} = 10$ кГц и два цикла моделирования сигналов (в режиме **Однократно**), а в окне анализатора **XLA2** – частоту $f_a = 0,1$ МГц таймера, уровень высокого напряжении $U_m = 5$ В, число импульсов **Время/Дел** = 8 таймера, приходящихся на одно деление.

Получить на экране анализатора **XLA2** временную диаграмму состояний *RS*-триггера (см. рис. 32.6, внизу). **Скопировать** схему испытания и временную диаграмму состояния *RS*-триггера на страницу отчёта.



Задание 3. **Собрать** на рабочем поле среды MS10 схему для испытания *триггеров* **JK**, **T** и **D** (рис. 32.7) и **установить** в диалоговых окнах компонентов их параметры или режимы работы. **Скопировать** схему (рис. 32.7) на страницу отчёта.



В схему (рис. 32.7) включены: генератор **XWG1** (частота $f_{\varepsilon} = 500$ кГц); логический анализатор **XLA1**; триггеры в интегральном исполнении: универсальный **JK**, счётный **T** и задержки **D**.

На ${}^{1}\overline{\text{CLR}}$ - и ${}^{1}\overline{\text{PK}}$ -входы триггеров подаётся постоянное напряжение 5 В (имитирующее сигнал 1) источника VCC, а на 1С-входы триггеров и на вход 20 анализатора XLA1 поступают тактовые импульсы с амплитудой 5 В и частотой 500 к Γ ц, сформированные генератором E1.

С выходов 1 и 2 генератора **XWG1** сигналы подаются на управляющие входы **1J** и **1К** JK-триггера, с выхода 3 — на вход **1D** T-триггера, а с выхода 4 — на вход **1D** D-триггера.

Для формирования выходных сигналов генератор **XWG1** нужно **за- программировать,** т. е. ввести в ячейки памяти кодовые комбинации из единиц и нулей согласно варианту (табл. 32.4).

В качестве примера введём в первые восемь ячеек памяти генератора четырехразрядные кодовые комбинации (см. рис. 32.8, a):

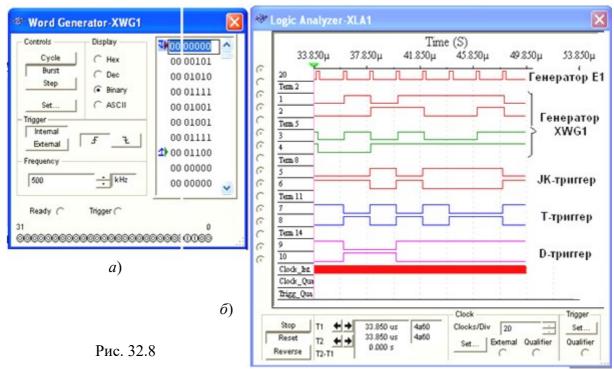
0000, 0101, 1010, 1111, 1001, 1001, 1111, 1100.

При моделировании генератор последовательно и циклично выводит содержимое каждой ячейки памяти (от начальной до конечной) на выходы 1,

2, 3 и 4, формируя на них следующие коды сигналов: 01011110, 00110010, 01010011 и 00111111 (см. сигналы на каналах 1, 2, 3 и 4 логического анализатора **XLA1** (рис. 32.8, δ)). Перед моделированием **выделите** в окне генератора **XWG1** ячейку с адресом 0 начала счёта и вывода сигналов.

Таблипа 32.4

Вариант	Содержимое ячеек памяти генератора слова XWG1	
1, 6, 11, 16, 21, 26	0000, 1010, 1111, 1001, 1001, 1101, 1100, 0000	
2, 7, 12, 17, 22, 27	0000, 1100, 1010, 1011, 1001, 1111, 1110, 0000	
3, 8, 13, 18, 23, 28	0000, 1010, 1011, 1001, 1001, 1111, 1101, 0000	
4, 9, 14, 19, 24, 29	0000, 1111, 1101, 1001, 1011, 1011, 1100, 0000	
5, 10, 15, 20, 25, 30	0000, 1011, 1101, 1001, 1100, 1111, 1010, 0000	



Провести моделирование работы триггеров в режимах **Step** или **Burst** генератора **XWG1**, **скопировать** в отчёт временные диаграммы, **составить** и **заполнить** таблицы истинности работы триггеров **JK**, **T** и **D** при заданном в табл. 32.4 варианте входных кодовых комбинаций. В частности, **описать** состояния *JK*-триггера с приходом тактового сигнала C = 1, когда сигналы J = 1 и K = 1, а Q = 0 или Q = 1.

Примечание. Таблицы истинности для рассмотренных библиотечных триггеров можно вызвать нажатием клавиши помощи F1 после выделения на схеме триггера.

СОДЕРЖАНИЕ ОТЧЁТА

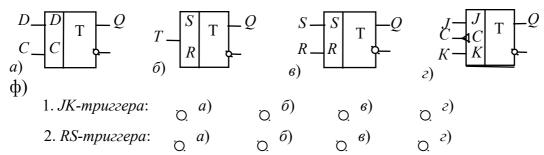
- 1. Наименование и цель работы.
- 2. Перечень приборов, использованных в экспериментах, с их краткими характеристиками.
- 3. Изображения электрических схем для испытания триггеров RS, JK, T и D с помощью логических пробников и логического анализатора **XLA1**.
- 4. Копии временных диаграмм и таблицы истинности, отображающие работу исследуемых триггеров.
 - 5. Выводы по работе.

ТЕСТОВЫЕ ЗАДАНИЯ К РАБОТЕ 32

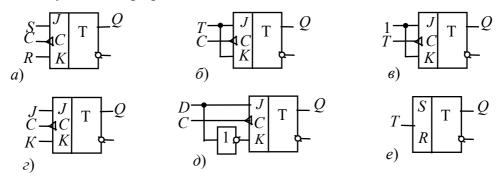
 Укажи 	те, какая	комбинация	логических	сигналов	является	запрещённой	для
асинхронного	<i>RS</i> -тригі	гера?					

© 01 © 11 © 10 © 00

2. Укажите условное графическое обозначение:



3. Укажите условное графическое обозначение:



1. Синхронного Т-триггера, выполненного на основе ЈК-триггера:



2. *D-триггера*, выполненного на основе *JK-триггера*:



4. Укажите, нашли ли широкое применение **асинхронные** *D*-триггеры?

О. Да О. Нет

5. Укажите, как **функционируе**т *JК*-триггер при комбинации J = 1, K = 1 на входе? О. Триггер находится в режиме хранения

2 1 c 2 0,1 c	тактовой частоте $f = 10$ к Γ ц ($D^t = 1, Q^t = 0$).
O. O.	$^{\circ}$ 10 MC $^{\circ}$ 0,1 MC
на входе и $Q=1$ после окончания действия $\bigcirc 0$ $\bigcirc 1$ $\bigcirc 0$ Несерования $\bigcirc 0$ $\bigcirc 1$ $\bigcirc 0$ Несерования $\bigcirc 0$ 8. Укажите аналитическое выражен	еопределённость: 0 или 1 ние, описывающее работу:
$a) \ Q^{t+1} = Q^t \overline{T} + \overline{Q^t} T;$	
$e) Q^{t+1} = \overline{C}^t Q^t + C^t Q^t; \qquad e$	
1. RS-триггера: О. а) С. а) С	$ \begin{array}{cccccccccccccccccccccccccccccccccccc$
9. Укажите, чем отличается динамиче управления?	еское управление триггерами от статическог
О. У триггеров с динамическим уп	т: сигналы, поступающие на информационнь геров, действуют в момент их поступления правлением сигналы на информационных изменными на всём интервале действия актив-кронизации ($C=1$)
При динамическом управлем общений общений информационных входах тригго сигнала на входе синхронизаци	ении запоминание сигналов, действующих в гера, происходит в момент изменения значении ии управлением отсутствуют прямые или инвер
10. Укажите уровни напряжения ин	нтегральных микросхем триггеров серии ТТ
принимаемые за логическую 1 и логическую 1 и логическую 1 и логическую 1 и логическую 1 $0 < U^0 < 0.4$ В $0 < U^0 < 0.4$ В $0 < U^0 < 0.2$ В $0 < U^0 < 0.2$ В	3 O $4.0 \text{ B} < U^1 < 5 \text{ B}; \ 0 < U^0 < 2.4 \text{ B}$ O $2.4 \text{ B} < U^1 < 5 \text{ B}; \ 0 < U^0 < 1.4 \text{ B}$
11. Укажите, к какому типу триггеров	з относят <i>Т</i> -триггеры?
. С К асинхронным С К синхронным	

0.