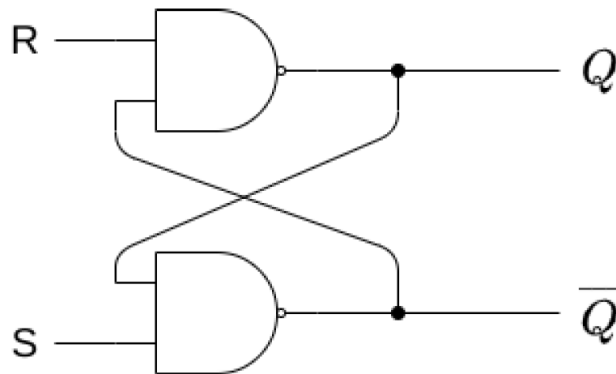


5.1 Sequentielle Schaltungen

a)

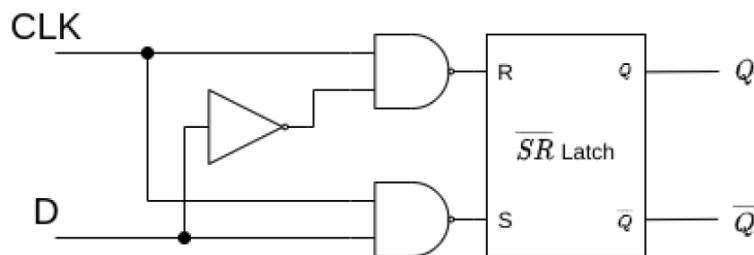


b) Siehe sr_latch_tb.vhdl

c) Beim SR-Latch ist die Ausgabe für gleichwertige Eingabe (S=1 und R=1 oder S=0 und R=0) nicht definiert.

5.1.2 D-Latch in VHDL

a)

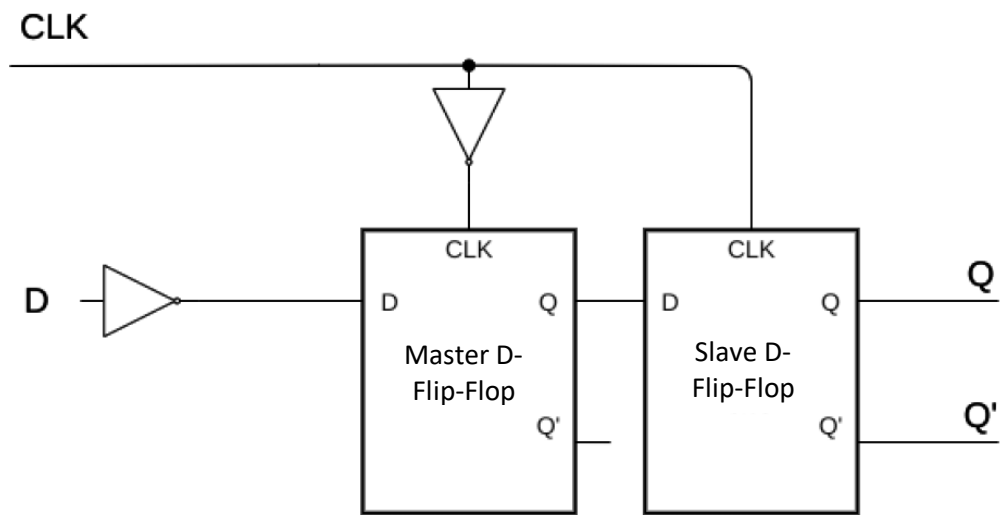


b) Siehe d_latch_tb.vhdl

c) D-Latch erleichtert es, die gespeichertes Data zu manipulieren. Bei D-Latch muss Eingabe nicht geprüft werden, weil D beide S und R in sich enthält.

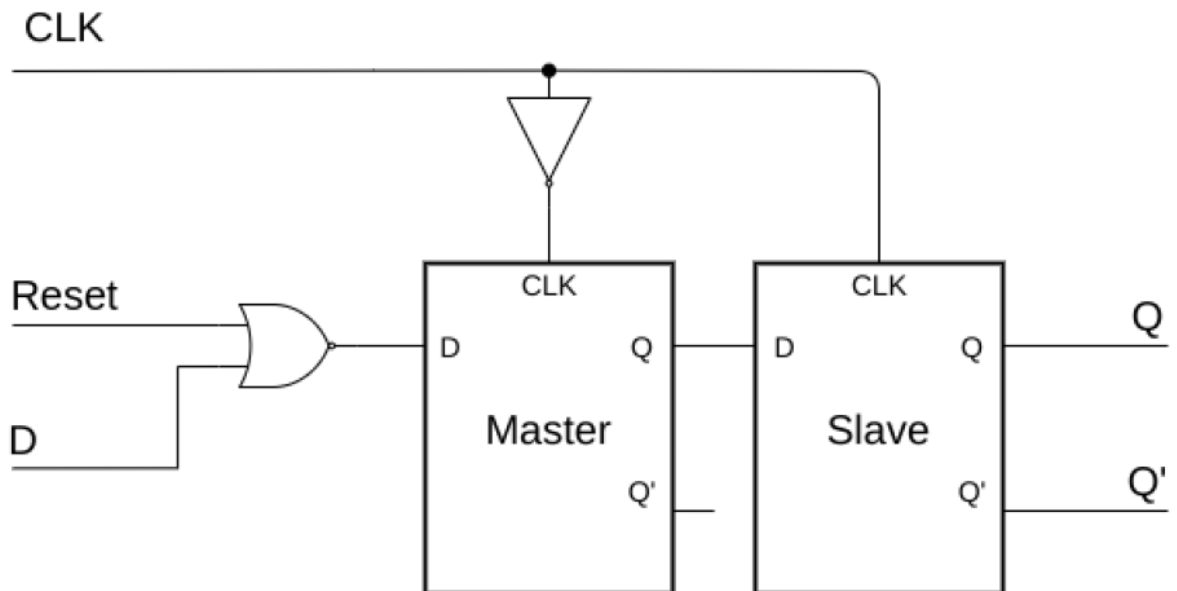
5.2 Flip-Flops in VHDL

- a) Master D-Flip-Flop wird hier bei CLK=0 aktiviert, "latches" Data weiter an Slave-D-Flip-Flop. Slave wartet bis CLK ein positives Wert annimmt und produziert anschließend die Ausgabe. Dies ist die Implementierung von einer "Rising Edge D-Flip-Flop".
- b) Siehe d_flip_flop_tb.vhdl



- c) Asynchroner Reset manipuliert die Ausgabe direkt ohne Beachtung des Takteinganges. Synchroner Reset funktioniert ähnlich zu Data Speicherung selbst: die Ausgabe wird nur dann zu den Startzustand gebracht, wenn CLK ein positives bzw. negatives (bei Falling Edge Implementation) Wert annimmt.

d)



- e) Siehe d_flip_flop_sync_reset.vhdl