**6.1 Schieberegister in VHDL**

**a)** Wegen Not D Latches werden bei beiden SIPO und SISO die reset Werte invertiert: reset=1 dann q=1.

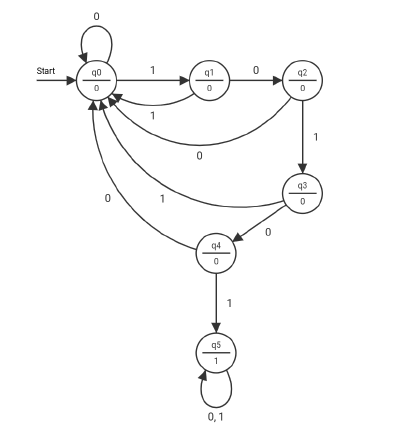
Siehe **6\_1\_sipo.vhdl**

**b)** Siehe **6\_1\_siso.vhdl**

**c)** Siehe **6\_1\_siso\_tb.vhdl und 6\_1\_sipo\_tb.vhdl**

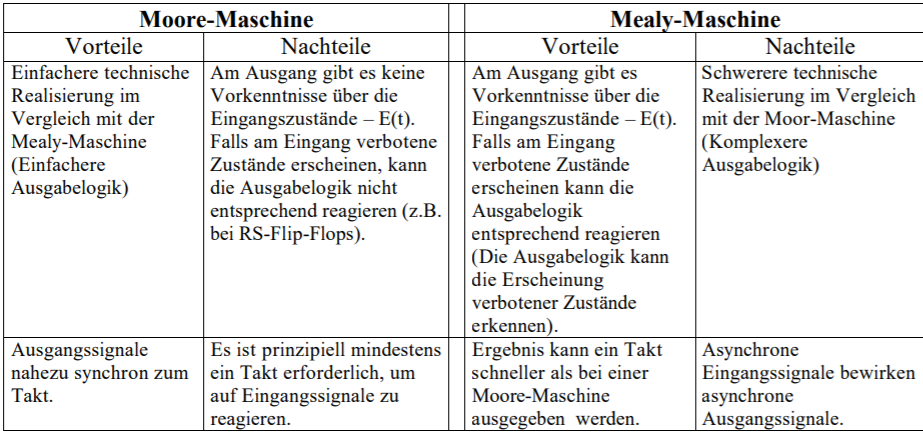
**6.2 Bitmustererkennung**

**a)** Es wird einen Stream von bits gelesen: ein bit pro eine positive Taktflanke. Y beschreibt ob in diesem Stream Bitmuster 10101 erkennt wurde. Das ganze kann mit reset=1 zum Start gebracht werden.



b)

Im **Moore-Automaten** die Ausgabe Y hängt nur ab vom internen Zustand S, und im **Mealy-Automaten** die Ausgabe Y hängt ab von Eingabe E und internem Zustand S.



c) Siehe im Ordner 6\_3

d) Siehe im Ordner 6\_3