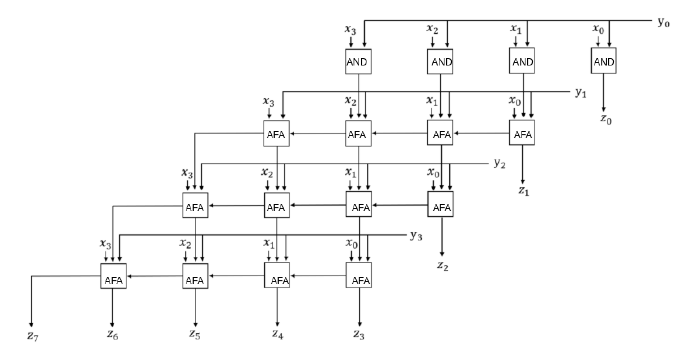
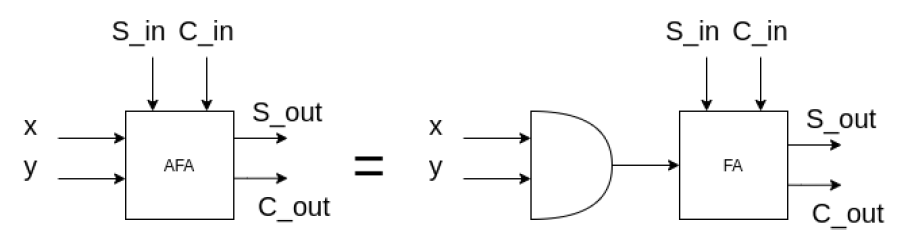
*Alina Novosolova 223080*

**Multiplizierwerk in VHDL**

a)



AFA steht für AND + FA, weil wir erst Multiplicand mit jeweiligen 1 oder 0 multiplizieren wollen, nur dann das Ergebnis zu der vorherigen Zahl und Übertrag addieren.

b)

Siehe **multiplier\_parallel.vhdl**

c)

Siehe **multiplier\_parallel\_tb.vhdl** .

d)

Parallelisierung bedeutet schnelle Laufzeit und schlechte Skalierbarkeit. Im Gegensatz, braucht shift-add für n x n Multiplikation n Zykel, doch müssen nur die Größe der ALU und Shift Registries angepasst werden. Es gibt auch Möglichkeit nur einen Registry zu nutzen.

e)

Die Funktionsweise ist genau so wie beim Rechnen auf Papier. Mann sucht die Ziffer am rechten Rand des Multipliers, wenn 1 - addiert Multiplicand zum Ergebnis. Um die letzte Ziffer von Multiplier zu wissen, wird in jedem Zykel um eine Stelle rechts verschoben. Die Verschiebung des Muliplikanden nach links (wie man das auf Papier macht) wird der in der Schleife um eins links verschoben.

