

中山大学计算机学院

数字电路

本科生实验报告

(2022 学年春季学期)

学号	21311359	姓名	何凯迪
实验三	组合逻辑电路中的竞争与冒险	实验四	组合逻辑电路分析与设计

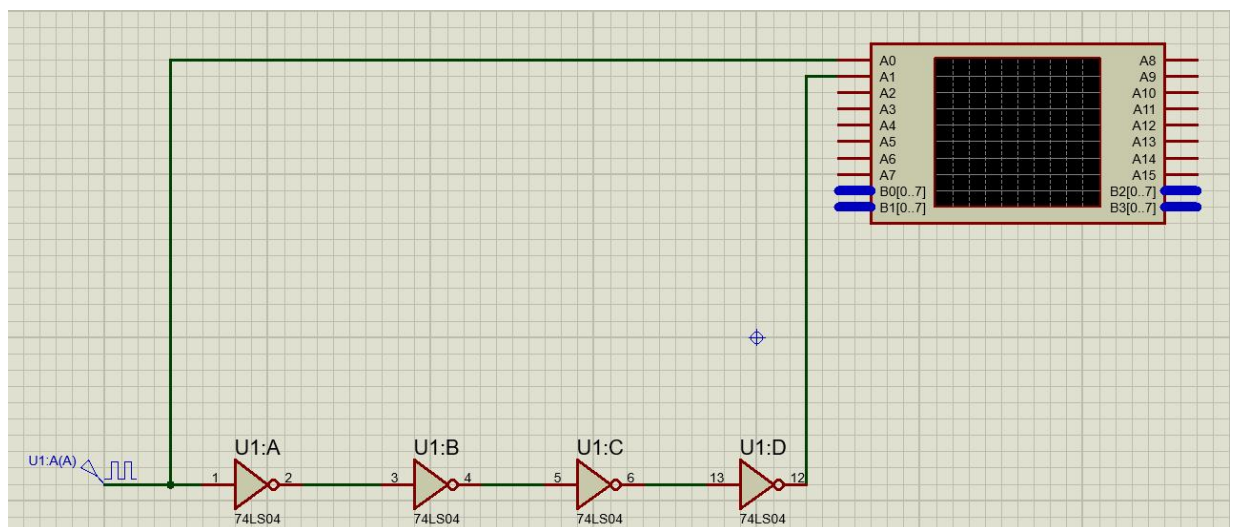
一、实验题目

1. 测量门电路平均传输延迟时间 t_{pd} ;
2. 观察组合电路中的竞争与冒险现象;
3. 了解消除竞争与冒险现象的方法。

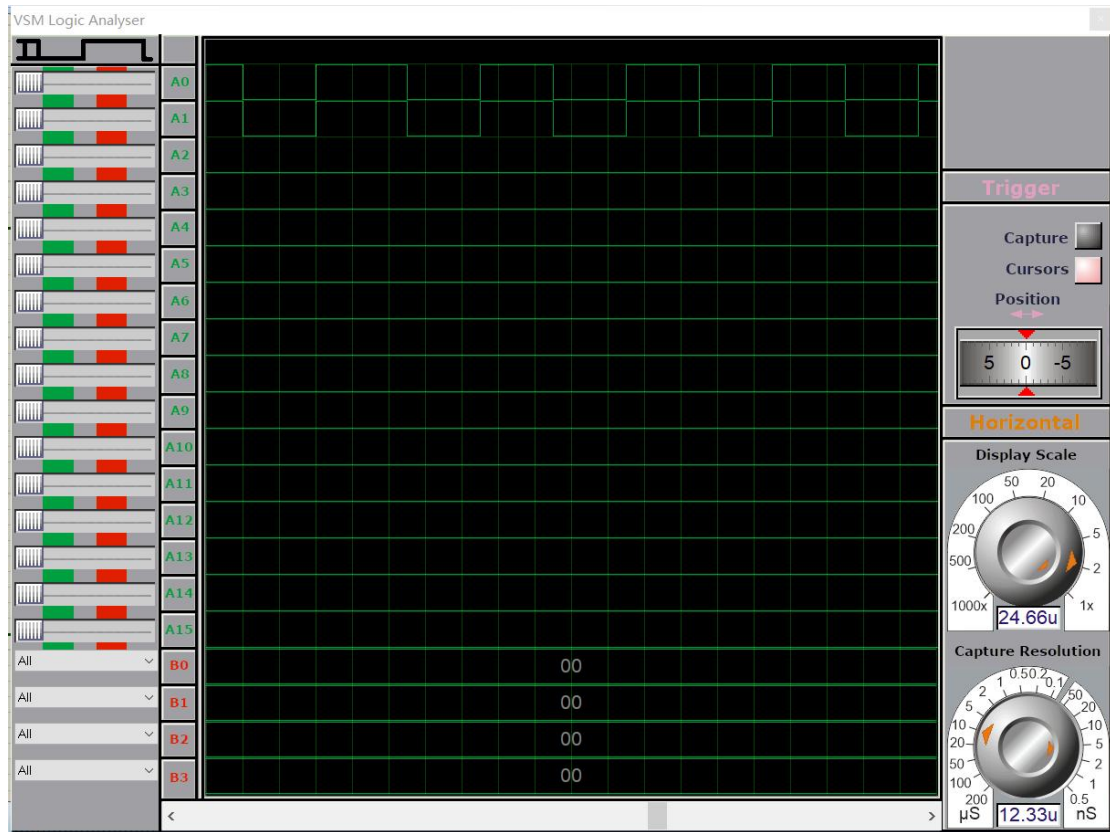
二、实验预习

- 1、在 Proteus 软件中搭建如本章节实验原理部分举例所述 74LS04 平均传输延迟时间的测试电路，仿真并观测电路的输入输出波形，并对仿真结果进行分析。
- 2、在 Proteus 软件中使用与非门搭建逻辑函数 $F = \overline{AB} \cdot C \cdot (\overline{BD} \cdot \overline{AD})$

平均传输延迟时间测试电路如下：

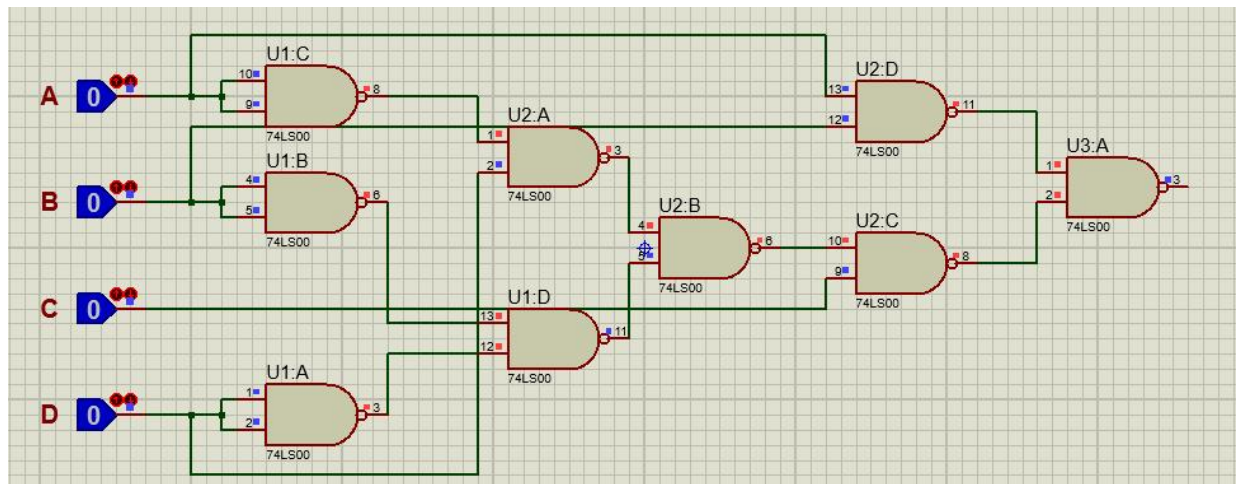


波形如下：



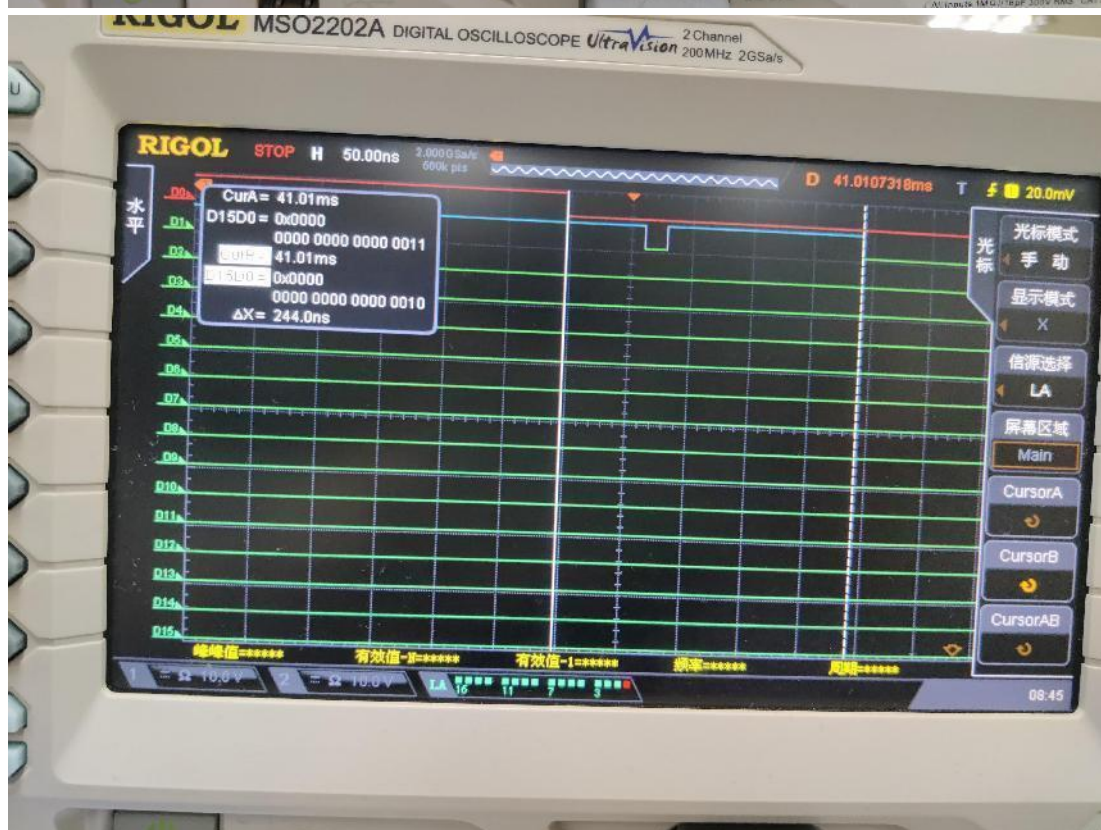
分析：由于仅是软件仿真，所以器件均为理想器件，因此门电路并没有产生延迟。

由与非门搭建的函数 F 如下：



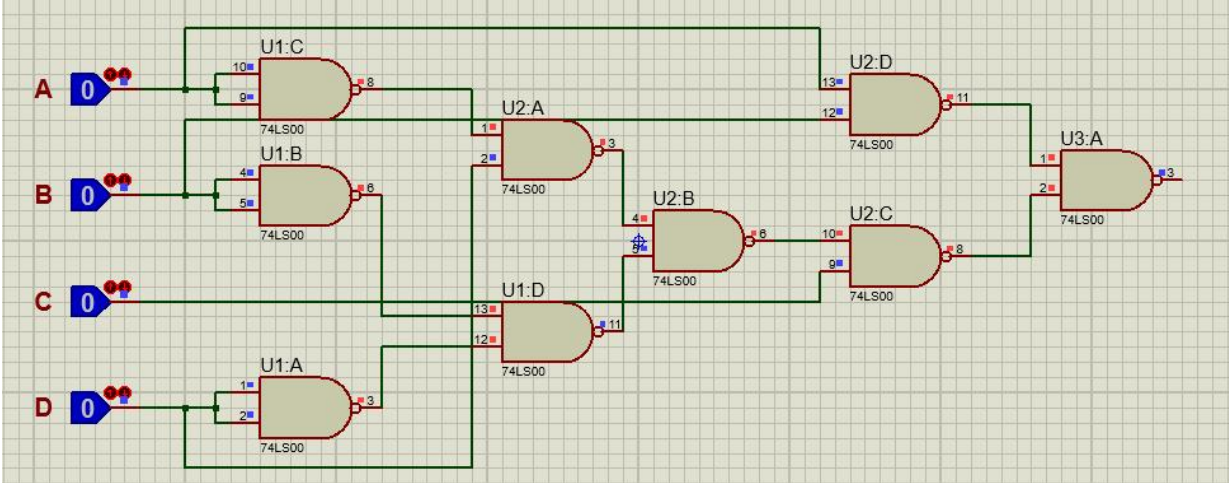
三、实验内容

- 1、设计电路并自拟操作步骤分别测量实验箱上 74LS00 平均传输延迟时间 t_{pd} 。



结果：在 10kHz 脉冲下，测得四级 74LS00 门电路的传输延迟为 $(232\text{ns}+244\text{ns})/2=238\text{ns}$ ，因此单个 74LS00 门电路的平均传输延迟时间为 $238\text{ns}/4=59.5\text{ns}$ 。

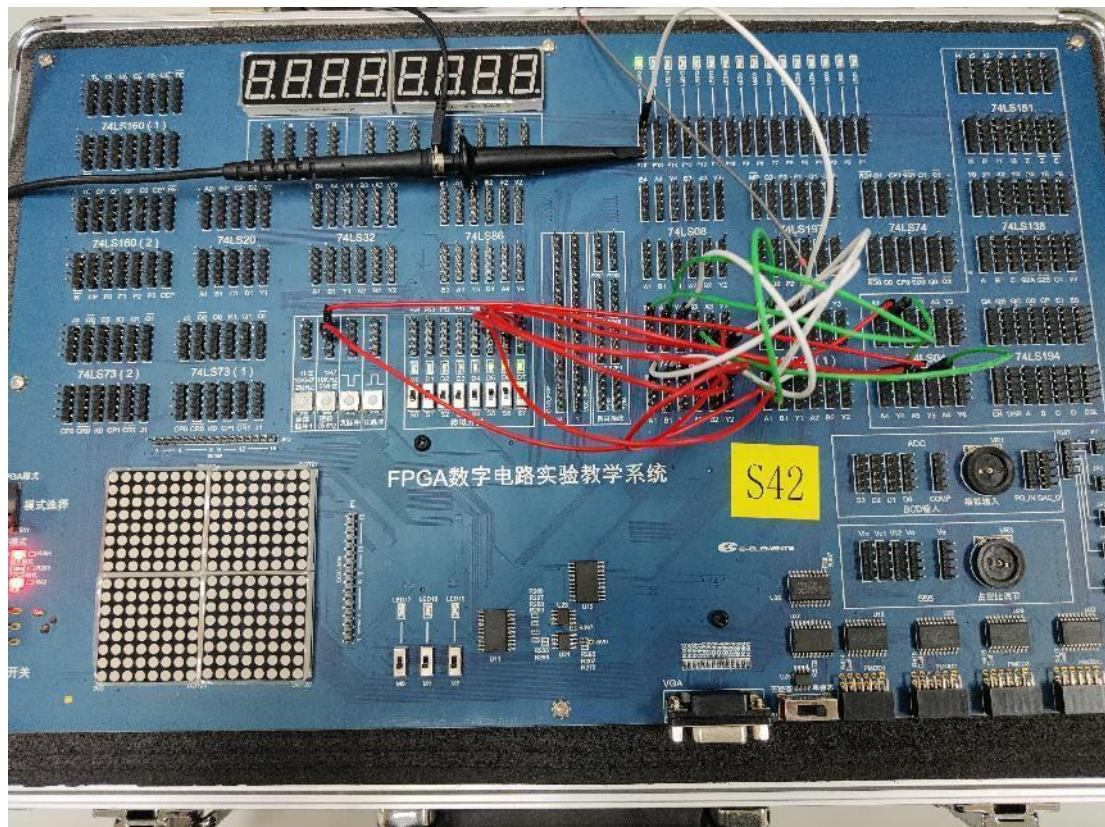
2、观察使用与非门实现的函数 $F = \overline{AB} \cdot C \cdot (\overline{BD} \cdot \overline{AD})$ 电路的竞争冒险现象。
(1) 画出仅使用 74LS00（与非门）实现函数 F 的逻辑电路图；



(2) 列出 F 的真值表；

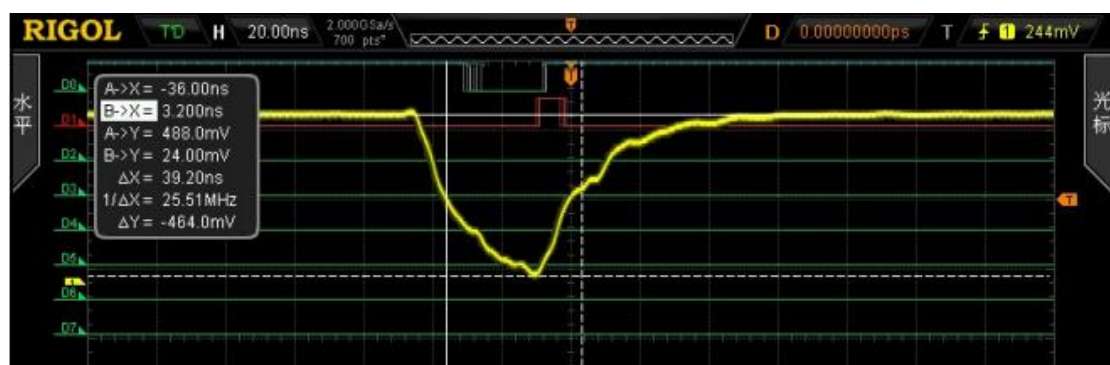
A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

(3) 对电路进行静态测试，即按真值表改变逻辑电平开关置位，观察并记录 LED“0-1”显示情况，从而验证电路逻辑功能。



经检验，电路逻辑功能正确。（仅展示一张作为实例）

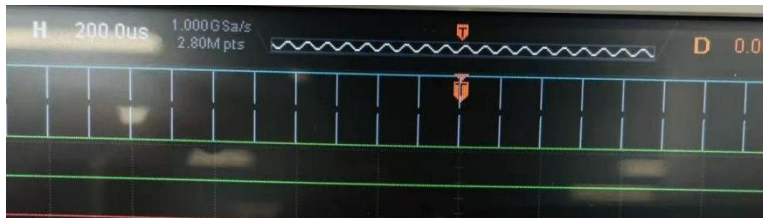
(4) 观察变量 A 变化过程中的险象，即取 $B=C=D=1$ （逻辑电平开关 K1、K2、K3 置高电平），变量 A 改接数字电路实验箱上 10kHz 连续脉冲，使用示波器的模拟通道观察电路的输出 F 是否出现险象。如有，请使用示波器光标测量记录毛刺的幅度 V_{max} 和中值宽度 tw ，并分析毛刺产生原因；



结果：通过示波器的模拟通道观察到输出 F 出现向下的毛刺， $V_{max} = 464.0mV$ ， $tw = 39.20ns$ 。

产生原因：当 $B=C=D=1$ ， $F = \overline{A} \cdot A = A + \overline{A}$ ，据逻辑电路图知，信号 A 经过 1 个门电路，信号非 A 经过 4 个门电路后，通过最后一个门电路进行与非运算，因此非 A 信号与 A 信号存在时间上的延迟。理想状态下，信号 F 恒为 1，但由于门电路延迟时间的存在，导致信号 A 与非 A 会存在短暂的均为低电平的时间，F 会短暂出现低电平信号，即出现了向下的毛刺险象。

(5) 在上一步电路基础上，将电路的输出 F 接入反相器 74LS04，使用示波器的**数字通道**观察反相器 74LS04 的输入和输出波形，从而判断险象是否影响下一级电路的正常工作，并分析原因。



结果：险象影响到了下一级电路的正常工作。

原因分析：毛刺幅度大小足以改变原有正常电平数值，且毛刺周期大于下一级门电路的传输延迟时间，因此毛刺险象在 74LS00 中被认作为低电平，并能够在下一级电路中反映出来，显现出高电平的毛刺，因此险象影响到了下一级电路的正常工作。

四、思考题

1. 结合本章所学内容讨论数字电路的测试中动态测试的必要性。

(1) **状态转换覆盖**：动态测试允许测试人员生成多个输入序列，以尽可能覆盖电路中的所有状态转换。这对于发现潜在的错误和故障非常重要，因为不同的状态转换可能会导致电路的不同行为。

(2) **错误检测**：动态测试可以帮助检测电路中的错误。通过施加各种输入信号和模式，可以观察电路的输出是否符合预期。如果输出与预期不符，那么可能存在设计错误、元件故障或其他问题，需要进行进一步的调试和修复。

(3) **时序问题**：数字电路中的时序问题可能会导致电路的不正确操作。动态测试可以揭示由于时序不一致引起的问题，例如时钟边沿问题、信号传播延迟等。通过观察输入和输出信号的时序关系，可以发现潜在的时序错误并进行纠正。

(4) **功耗分析**：动态测试还可以用于评估数字电路的功耗特性。通过观察电路在不同输入情况下的功耗消耗，可以确定电路在实际使用中的能源需求。这对于优化电路设计、提高能效和延长电池寿命非常重要。

2. 使用示波器模拟通道和数字通道观察到的险象毛刺有何区别。

(1) **分辨率**：数字通道以离散的形式显示信号，因此具有固定的分辨率。而模拟通道可以提供更高的分辨率，因为它能够连续显示模拟信号。

(2) **带宽**：数字通道可以处理高频率的信号，因为它们在采样过程中会对信号进行抽样和离散化。而模拟通道的带宽受限于示波器的模拟前端和显示系统。

(3) **信号捕获和存储**：数字通道可以捕获和存储大量的离散数据，方便进行后续的信号处理和分析。模拟通道则可能需要使用外部设备来捕获和存储模拟信号。

(4) **显示精度**：模拟通道能够提供更高的显示精度，因为它们可以显示连续的波形，包括微小的信号变化和细节。数字通道则可能会存在信号抽样导致的失真和信息丢失。

3. 针对使用与非门实现的函数 $F = AB + \overline{BCD} + \overline{ACD}$ 电路，自拟步骤分别观察变量 B、D 变化过程中电路产生的险象。

步骤 1 将输入变量 A、B、C 和 D 的初始状态设置为逻辑低电平（0）。

步骤 2 观察输出 F 的状态。使用逻辑门和信号灯等工具来显示输出 F 的状态。

步骤 3 将变量 B 的状态从逻辑低电平（0）切换到逻辑高电平（1）。

步骤 4 观察输出 F 的状态变化。注意记录或观察电路产生的任何险象（如毛刺）。

步骤 5 将变量 D 的状态从逻辑低电平（0）切换到逻辑高电平（1）。

步骤 6 再次观察输出 F 的状态变化，并注意任何险象。

通过这些步骤，可以观察到变量 B 和 D 在电路中引起的险象。

4. 针对使用与非门实现的函数 $F = AB + \overline{BCD} + \overline{ACD}$ 电路，尝试设计电路以消除变量 A 变化过程中产生的险象。

（1）使用稳定的时钟信号：引入一个稳定的时钟信号来控制电路的状态变化。将变量 A 作为时钟的使能信号，只有在时钟信号为高电平时才允许其他输入信号对电路产生影响。这样，变量 A 的变化不会直接导致险象的产生。

（2）引入锁存器或触发器：使用锁存器或触发器来存储变量 A 的值，并在时钟的上升沿或下降沿更新输出。这样，在变量 A 变化期间，锁存器或触发器会保持其先前的状态，避免险象的产生。

（3）添加消除险象的辅助逻辑：根据电路的具体要求，可以添加适当的辅助逻辑电路来消除险象。例如，可以使用稳定的时钟信号和适当的逻辑门来生成一个使能信号，只有在时钟信号为高电平且变量 A 保持稳定时才允许其他输入信号对电路产生影响。

五、报告总结

1. 设计电路，测量 74LS00 传输延迟时间并记录。

位于第三部分**实验内容**的第一小部分。

2. 画出函数 F 的电路逻辑图，记录静态验证结果。

位于第三部分**实验内容**的第二小部分的（1）（2）。

3. 写出实验观察函数 F 电路发生冒险现象的方法、步骤、记录现象的波形，叙述所采用的消除现象的方法，记录实验结果，并加以总结。

大体位于第三部分**实验内容**的第二小部分的（3）（4）（5）。

（补充）消除现象的方法：

1) 当 $B = C = D = 1$ ， $F = \overline{A} \cdot A = A + \overline{A}$ 可增加冗余项 BCD，使得 $F' = F + BCD$ 产生不会使逻辑函数产生竞争冒险的乘积项，从而消除毛刺险象。

2) 接入滤波电路：

在输出端并接入一个很小的滤波电容 C_f ，足可把尖峰脉冲的幅度削弱至门电路的阈值电压以下。

一、实验题目

- 1. 掌握组合逻辑电路的分析方法，并验证其逻辑功能。
- 2. 掌握组合逻辑电路的设计方法，并能用最少的逻辑门实现之。
- 3. 熟悉逻辑分析仪的使用。

二、实验预习

1、对于输出逻辑表达式为 $Y = \overline{F_1AB} \overline{F_2AB} \overline{F_3AB} \overline{F_4AB}$ 的电路，列出 F4、F3、F2、F1 取不同组合时，A、B、Y 真值表，从而分析该电路功能。

真值表如下：

F1	F2	F3	F4	A	B	Y
x	x	x	1	0	0	0
x	1	x	x	0	1	0
x	x	1	x	1	0	0
1	x	x	x	1	1	0
其余组合输出Y均为1						

该电路实现了以下功能：

- 当 A 输入为 0，且 B 输入为 0 时，只有当 F4 输入为 1 时，输出为 0。
- 当 A 输入为 0，且 B 输入为 1 时，只有当 F2 输入为 1 时，输出为 0。
- 当 A 输入为 1，且 B 输入为 0 时，只有当 F3 输入为 1 时，输出为 0。
- 当 A 输入为 1，且 B 输入为 1 时，只有当 F1 输入为 1 时，输出为 0。

简单来说，这个逻辑电路根据特定的输入组合来判断输出值。只有在特定的输入条件下，输出才为 0。在其他输入组合下，输出将为 1 值。

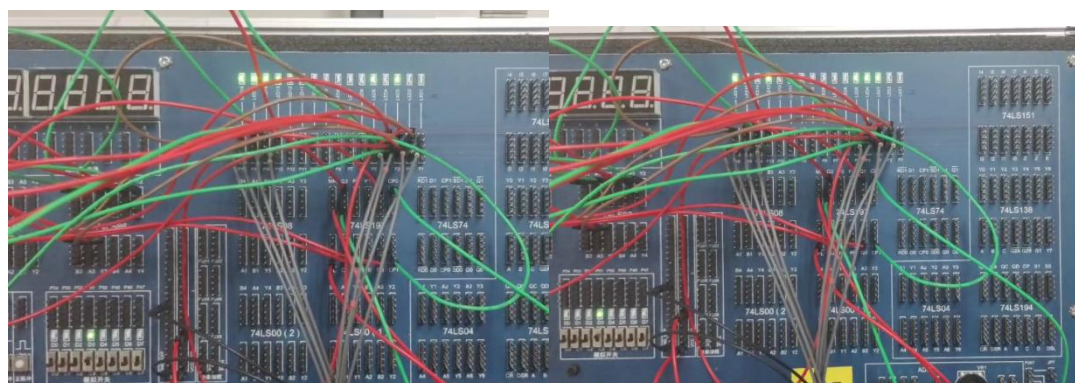
三、实验内容

1. 设计一个代码转换电路，输入为 4 位二进制码输出为 4 位循环码。

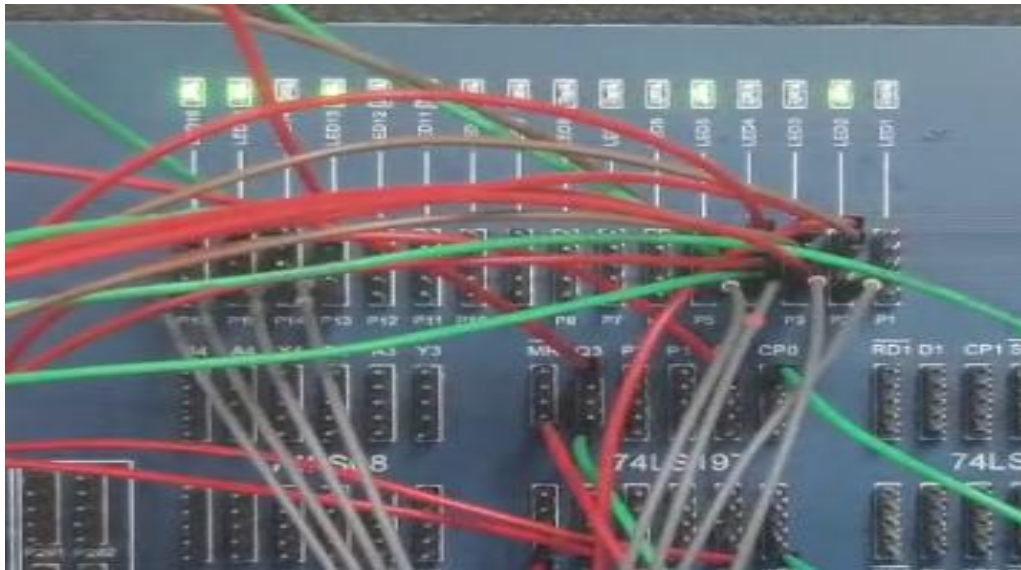
具体电路见第四部分报告总结。真值表如下：

A3	A2	A1	A0	G3	G2	G1	G0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

2. 对代码转换电路进行静态测试。使用实验箱上的逻辑电平开关作为电路的 4 位二进制码输入，并把输出接 LED“0-1”显示器，按照真值表对电路进行静态测试，检查电路是否正常工作。

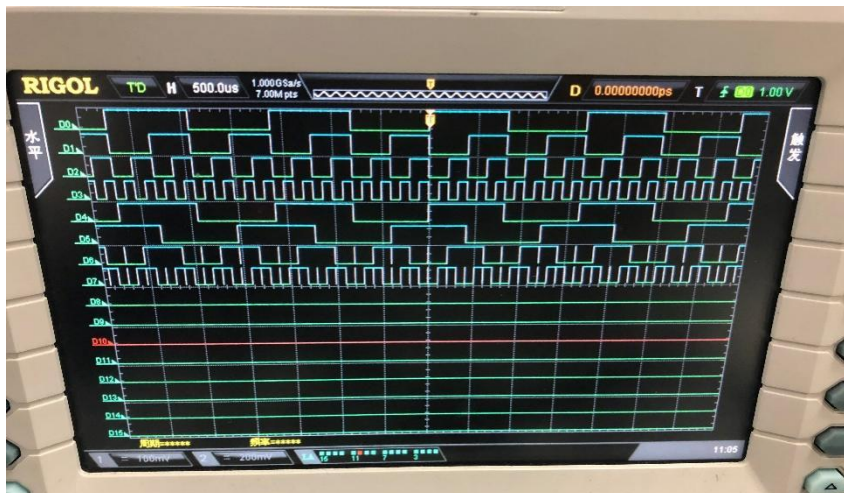


3. 使用实验箱上 74LS197 构成的十六进制计数器作为代码转换电路的输入信号源，将 74LS197 的输出 Q3、Q2、Q1 和 Q0 接“0-1”显示器，CP0 接手动负脉冲（74LS197 是下降沿触发的异步计数器），测试十六进制计数器是否工作正常。



经检验，十六进制计数器工作正常。

4. 对代码转换电路进行动态测试。将 10KHz 的连续脉冲接入 4LS197 的 CP0 端，作为 74LS197 计数脉冲。将 74LS197 的 Q3、Q2、Q1 和 Q0 连接到代码转换电路的输入端，作为 8421 码输入。用示波器数字通道观察并记录 CP、Q3、Q2、Q1、Q0 和 G3、G2、G1、G0 的波形。注意电压波形图之间的相位关系。

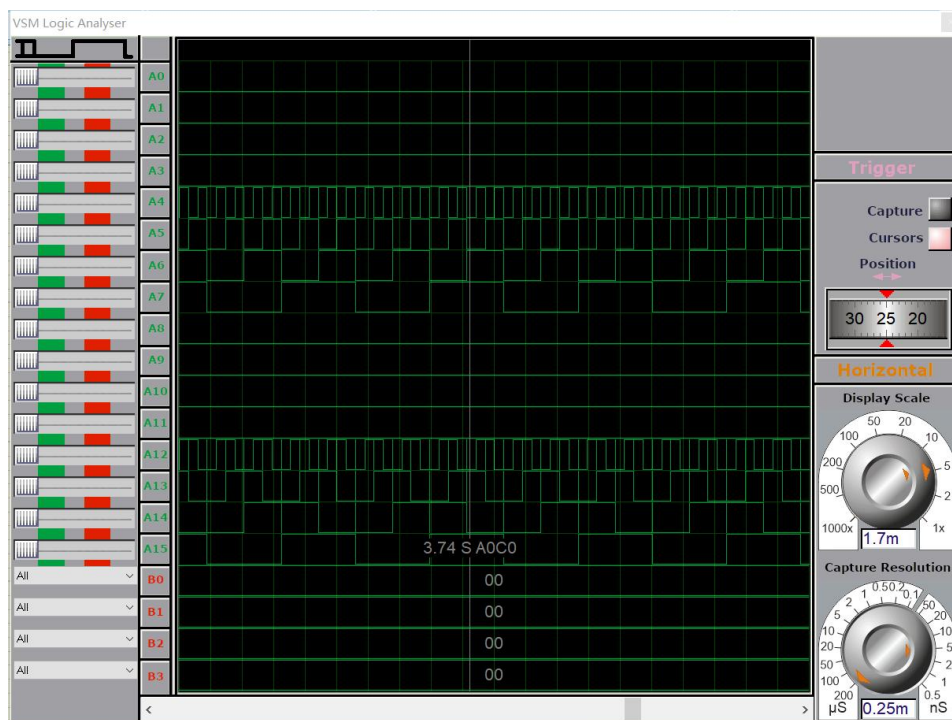
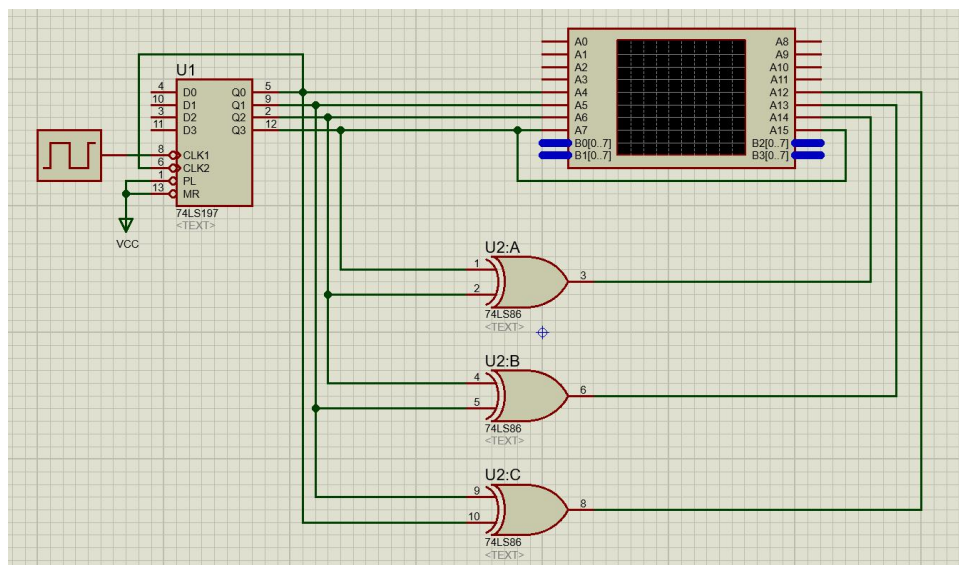


四、报告总结

1. 写出详细的设计过程。用 Proteus 软件画出电路图并仿真电路功能。

- (1) 根据给定事件的因果系列出真值表；
- (2) 由真值表写函数式；
- (3) 对函数式进行化简或变换；
- (4) 画出逻辑图，并测试逻辑功能。

电路及仿真波形如下：



2. 按实验内容描述在实验箱上完成实验的过程，分析实验中出现的問題，记录并打印出波形，并分析波形与电路功能间的关系。

具体见**第三部分实验内容（2）（3）（4）**。

波形与电路功能间的关系：

（1）逻辑关系：波形可以反映电路中逻辑操作的结果。例如，如果电路是一个与门，当所有输入都为逻辑高电平时，输出为逻辑高电平；否则，输出为逻辑低电平。对应的波形就是当所有输入为高电平时，输出保持高电平；否则，输出保持低电平。

（2）时序关系：波形可以展示电路中信号的时序特性。例如，时钟信号的波形可以显示出时钟的周期、占空比等信息，从而反映出电路的时序行为。

（3）稳定性关系：波形可以揭示电路的稳态特性。在稳定状态下，波形的幅度和形状保持不变。例如，当电路为存储器时，输出波形可以显示存储的数据值是否保持不变。

（4）故障诊断关系：波形可以用于故障诊断和故障排除。通过观察波形的变化，可以判断电路中可能存在的故障类型，如电路中的短路、开路、时序问题等。

本次实验通过波形可以判断设计的电路达成了目标功能。

3. 总结组合逻辑电路分析方法与设计过程，以及本实验过程心得。

分析方法：

确定输入输出：明确定义输入和输出信号，并理解它们之间的关系和要求。

列出真值表：根据输入输出信号的定义，列出完整的真值表，包含所有可能的输入组合和相应的输出值。

推导逻辑表达式：根据真值表，通过观察和推导，找到适合的逻辑表达式来描述输出与输入之间的关系。

实现逻辑电路：将逻辑表达式转化为逻辑门的组合，设计出满足要求的逻辑电路。

设计过程：

确定输入输出：明确定义输入和输出信号，并了解电路的功能需求。

分析功能需求：理解输入与输出之间的关系，例如真值表、逻辑表达式等。

选择逻辑门类型：根据功能需求选择适当的逻辑门类型，例如与门、或门、非门等。

组合逻辑设计：根据逻辑门的类型和功能需求，将逻辑门按照适当的连接方式组合起来，实现所需的逻辑功能。

验证和测试：通过静态测试或动态测试等方法，验证设计的电路是否满足功能需求，并进行必要的调试和修正。

在分析和设计组合逻辑电路时，理解输入输出之间的关系和功能需求是至关重要的。真值表和逻辑表达式是分析的重要工具，可以帮助我们理清逻辑关系。选择适当的逻辑门类型和连接方式，然后进行组合和设计，最后通过验证和测试来确保电路的正确性和可靠性。