

中山大学计算机学院

数字电路

本科生实验报告

(2022 学年春季学期)

学号	21311359	姓名	何凯迪
实验十四	特殊计数器的实现	实验十五	利用 MSI 设计六十进制计数器
实验十六	8421 码检测电路的设计	X	

一、实验题目

1. 熟悉 J-K 触发器的逻辑功能。

J-K 触发器的逻辑功能如下：

当 $J=0, K=0$ 时，触发器保持原状态，不发生变化。

当 $J=0, K=1$ 时，触发器的输出 Q 为 0。

当 $J=1, K=0$ 时，触发器的输出 Q 为 1。

当 $J=1, K=1$ 时，触发器的输出 Q 与原状态相反（即取反）。

2. 掌握 J-K 触发器构成特殊计数器的方法。

使用 J-K 触发器构成预设计数器时，可以通过设置触发器的预设值来实现特定的计数序列。

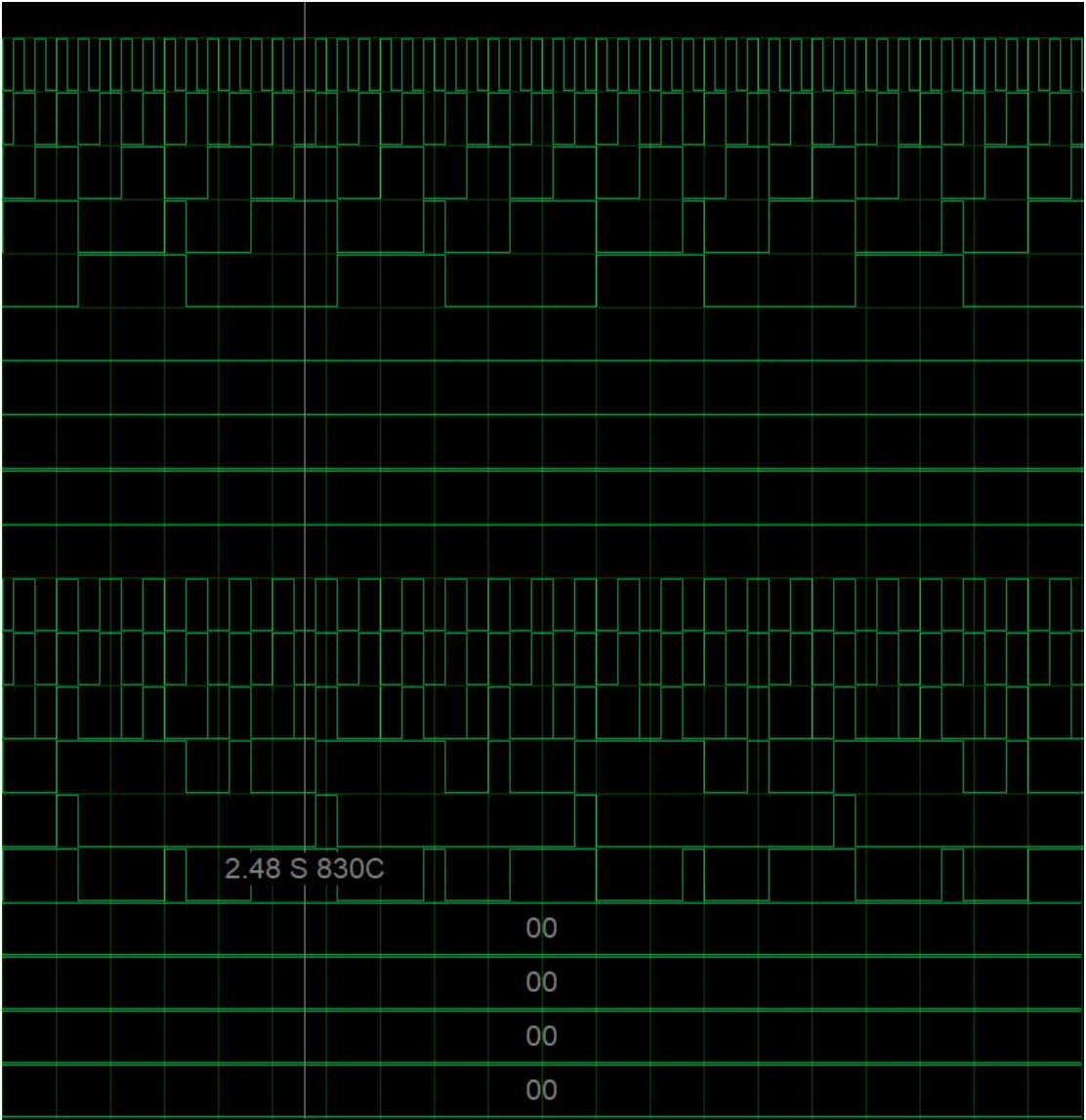
对于每个触发器，将预设输入（P）连接到适当的逻辑门，该门的输入与其他触发器的输出有关。当触发器的预设输入为高时，该触发器将被预设为特定的状态。在时钟的上升沿或下降沿，触发器根据输入和时钟信号更新其状态。

二、实验预习

1. 复习时序逻辑电路设计方法。

2. 阅读实验原理，在 Proteus 环境下，按照实验原理示例步骤完成特殊十二进制计数器的搭建，通过仿真，观察并记录电路的输入、输出波形，从而验证电路逻辑功能。

波形如下：



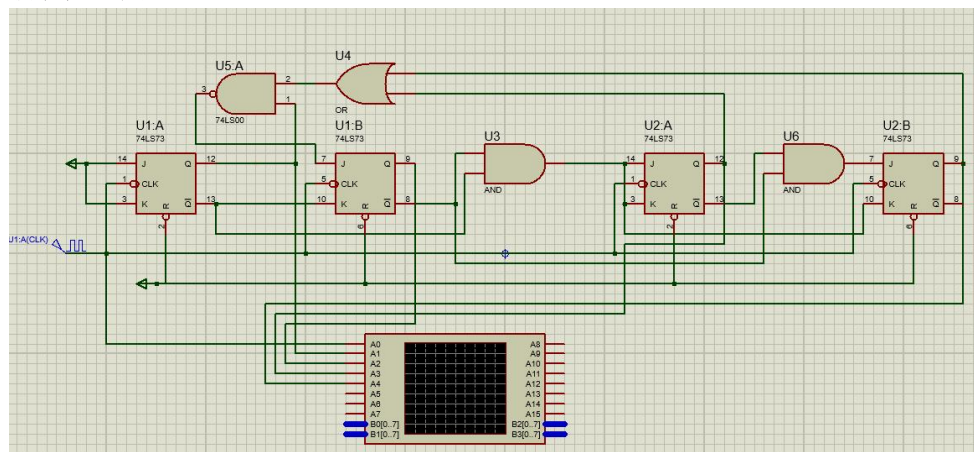
$Q_1^n Q_0^n$					
$Q_3^n Q_2^n$		00	01	11	10
	00	0001	0010	0100	0011
	01	0101	0110	1000	0111
	11	0001	0010	0000	0011
	10	1001	1010	1100	1011

通过与次态表对比，可以发现波形正确，即电路正确。

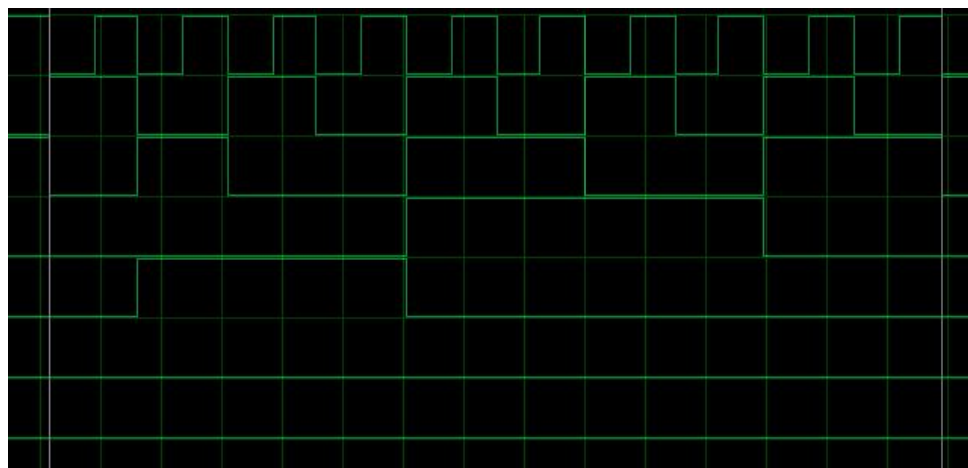
三、实验内容

1. 用 J-K 触发器和门电路设计一个特殊的十进制同步计数器，用逻辑分析仪观察并记录连续脉冲和计数器 Q3、Q2、Q1、Q0 的输出波形，分析并验证电路功能。

仿真电路图：



仿真波形：



电路箱实现波形：



四、报告总结

1. 写出详细的设计过程。

次态表：

$Q_1^nQ_0^n \backslash Q_3^nQ_2^n$	00	01	11	10
00	X	1010	0010	0001
01	0011	0100	0110	0101
11	X	X	X	X
10	0111	1000	X	1001

卡诺图化简：

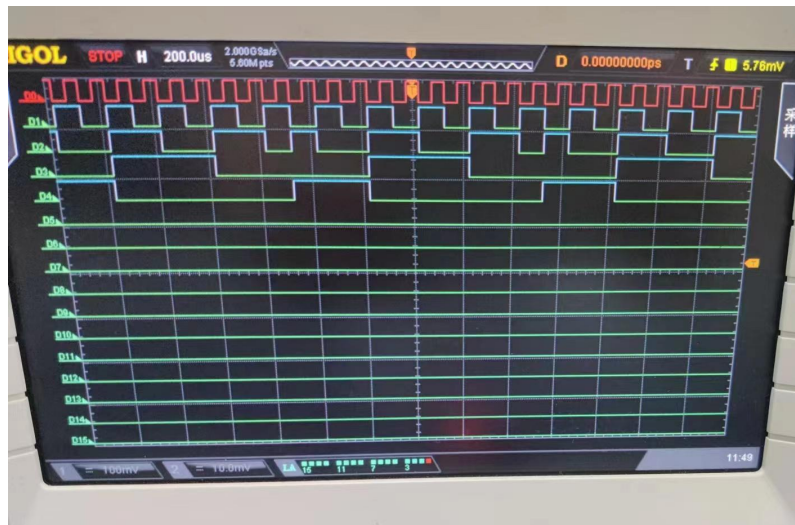
Q_0				
$Q_1^nQ_0^n \backslash Q_3^nQ_2^n$	00	01	11	10
00	X	0	0	1
01	1	0	0	1
11	X	X	X	X
10	1	0	X	1

Q_1				
$Q_1^nQ_0^n \backslash Q_3^nQ_2^n$	00	01	11	10
00	X	1	1	0
01	1	0	1	0
11	X	X	X	X
10	1	0	X	0

Q_2				
$Q_1^nQ_0^n \backslash Q_3^nQ_2^n$	00	01	11	10
00	X	0	0	0
01	0	1	1	1
11	X	X	X	X
10	1	0	X	0

Q_3				
$Q_1^nQ_0^n \backslash Q_3^nQ_2^n$	00	01	11	10
00	X	1	0	0
01	0	0	0	0
11	X	X	X	X
10	0	1	X	1

2. 画出连续脉冲及各输出端的时序波形图，注意讨论波形之间的相位关系并检查电路的自启动。



符合转换图：

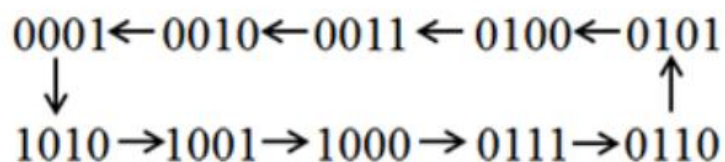


图 14-5 十进制计数器状态转换图

经检验，自启动正常。

3. 写出实验过程中遇到的问题，解决方法和心得体会。

- 1). 通过这次实验我学会并逐渐掌握了有限状态机的设计方法，学会了利用 J K 触发器实现给定逻辑功能的一般方法，并将其综合运用到译码器电路（如数码管等）
- 2). 设计特殊状态电路时一定要小心留意自启动问题，记得检测电路。
- 3). 蛮好玩的。

一、实验目的

1. 熟悉中规模集成电路计数器的功能及应用。

功能：

计数功能：中规模集成电路计数器能够按照预定规则进行计数操作，实现二进制、十进制或其他进制的计数。

多位计数：它可以实现多位计数，从几位到十几位不等，可以根据需要进行扩展。

同步计数：中规模计数器可以使用同步触发器实现同步计数，所有触发器在时钟的上升沿或下降沿同时更新状态。

异步计数：它也可以使用异步触发器实现异步计数，每个触发器的时钟信号独立，状态根据特定的逻辑条件更新。

预设计数：一些中规模计数器还具备预设功能，可以通过预设输入设置初始计数值或预先设定的计数序列。

多种计数模式：计数器可以提供不同的计数模式，如正向计数、逆向计数、循环计数、自动清零等。

应用：

时序控制：中规模计数器广泛应用于时序控制电路中，如时钟分频器、频率分频器、定时器等。它们可以生成特定的时序信号来实现系统的时序控制功能。

事件计数：计数器可以用于事件计数和计时应用，如计算输入脉冲数量、测量时间间隔等。

地址生成器：中规模计数器可以用作地址生成器，用于存储器、存储器映射、寻址和数据选择等应用。

数字显示：计数器还可以与数码管或其他数字显示设备结合使用，实现数字计数的显示功能，如电子时钟、计时器等。

序列发生器：计数器可用于生成特定的二进制序列，用于编码、解码、数据生成等应用。

控制逻辑：计数器还可以作为控制逻辑的一部分，用于状态机、程序控制器等应用，实现状态转换和控制流程。

2. 复习中规模集成电路译码器的功能及应用。

功能：

解码功能：中规模译码器能够将输入的编码信号解码为对应的输出信号，实现编码与输出之间的转换。

多输入译码：译码器可以接受多个输入信号，可以是二进制编码、格雷码或其他编码形式。

输出选择：根据输入编码的不同，译码器可以选择相应的输出信号进行激活。输出可以是单个输出或多个输出。

输出控制：译码器可以提供输出控制信号，用于控制其他电路的工作状态，如使能信号、片选信号等。

应用：

数字显示：译码器广泛应用于数字显示设备，如数码管、LED 显示器等。通过输入编码信号，译码器将选择正确的输出以显示对应的数字、字符或符号。

存储器选择：译码器可用于存储器系统中的地址选择。根据输入的地址编码，译码器将选择对应的存储单元进行读取或写入操作。

控制逻辑：译码器可以用作控制逻辑的一部分，根据输入的编码信号产生控制信号，用于实现逻辑控制和状态转换。

设备选择：译码器可以用于设备选择和片选控制。根据输入的设备编码，译码器将选择相应的设备进行操作或控制。

地址解码：在系统中，译码器可用于将特定地址编码解码为对应的地址选择信号，用于存储器、I/O 设备等的地址识别。

状态指示：译码器可用于生成特定编码的状态指示信号，用于指示系统的状态，如错误指示、警告指示等。

3. 复习七段数码管扫描式显示电路的工作原理。

数码管接线：将七段数码管的共阳极（共阳极数码管）或共阴极（共阴极数码管）引脚连接到电源或地，而各个段的引脚则与驱动电路相连。

驱动信号：驱动电路通过一个控制器或计数器产生的时钟信号和控制信号，来控制数码管的扫描和段的亮灭。

扫描过程：

初始化：初始状态下，所有的段都被关闭，数码管不显示任何内容。

扫描循环：控制器或计数器生成的时钟信号用于驱动扫描过程。在每个时钟周期内，依次选择一个数码管进行显示。

选择数码管：通过选择某个数码管的引脚，使其与电源或地相连，以点亮该数码管的所有段。

段的控制：在选中的数码管上，通过控制相应的段的引脚状态，决定哪些段应该亮起来，哪些段应该关闭。每个段的控制信号可以通过逻辑门或驱动芯片来实现。

扫描速度：扫描速度非常快，通常在几十至几百 Hz 的范围内。由于人眼的视觉暂留效应，即使每个数码管只亮一小段时间，我们仍然能够看到数码管显示的完整图像。

显示内容更新：控制器或计数器在每个时钟周期内更新要显示的数字、字符或符号。通过不断改变控制信号，可以实现数码管的动态显示。

4. 学会综合测试的方法。

二、实验预习

1. 阅读实验原理，学习使用集成计数器搭建任意进制计数器的方法。

确定进制：首先确定所需的进制数，例如二进制、十进制、十六进制等。

确定计数器位数：根据需要计数的范围确定计数器的位数。例如，如果需要计数 0 到 15（十六进制），则需要一个 4 位计数器。

选择集成计数器：根据计数器位数的要求，选择合适的集成计数器芯片。例如，常见的集成计数器包括 74LS161、74LS163、74HC163 等，它们可以实现 4 位二进制计数。

连接计数器：根据计数器芯片的引脚功能和电路原理图，将计数器芯片连接到电路中。确保连接正确，包括时钟输入、计数使能输入、清零输入、输出端等。

确定计数器的工作模式：根据需要确定计数器的工作模式。常见的工作模式包括正向计数、逆向计数、循环计数等。根据计数器芯片的功能，设置相应的控制信号或连接引脚，以确定所需的计数器行为。

添加显示或使用逻辑电路：根据需要，可以在计数器的输出端连接七段数码管、LED 显示器或其他显示设备，以显示计数器的输出值。也可以根据实际需求添加逻辑电路，如比较器、选择器等，以实现特定的计数逻辑和控制功能。

提供时钟信号：为计数器提供合适的时钟信号。时钟信号的频率和稳定性会影响计数器的性能和准确性。

进行测试和调试：完成连接和设置后，对计数器进行测试和调试。通过提供适当的输入信号和观察输出结果，验证计数器的功能和准确性。如果存在问题，可以检查电路连接、信号源、时钟频率等，进行必要的调整和修复。

2. 阅读实验原理，学习 74LS160 的功能和使用方法。

功能：

计数功能：74LS160 可以对输入时钟信号进行计数。它可以在上升沿或下降沿触发计数，具体取决于输入时钟信号的极性设置。

同步计数：计数器在时钟脉冲的作用下同步计数，确保计数器输出的准确性和稳定性。

异步清零功能：通过控制清零输入端（MR）的状态，可以异步将计数器清零，将输出复位为全零状态。

输入和输出：74LS160 具有四个并行输入（D0-D3）和四个并行输出（Q0-Q3）。输入端用于设置初始计数值或进行编程计数，输出端显示当前计数值。

使用方法：

时钟信号：提供一个时钟信号，可以是方波脉冲信号。时钟信号的频率决定了计数器的计数速度。

输入设置：根据需要，设置四个并行输入端（D0-D3）的状态，以确定初始计数值或编程计数。

清零：如果需要，可以通过将清零输入端（MR）置低来清零计数器。

输出显示：通过观察四个并行输出端（Q0-Q3），可以读取当前的计数值。输出值表示计数器的当前状态。

VSM Logic Analyser

857.00 mS 0017

Channel List:

- A0
- A1
- A2
- A3
- A4
- A5
- A6
- A7
- A8
- A9
- A10
- A11
- A12
- A13
- A14
- A15
- B0
- B1
- B2
- B3

Trigger

Capture ☐

Cursors ☐

Position

Horizontal

Display Scale

6.5m

Capture Resolution

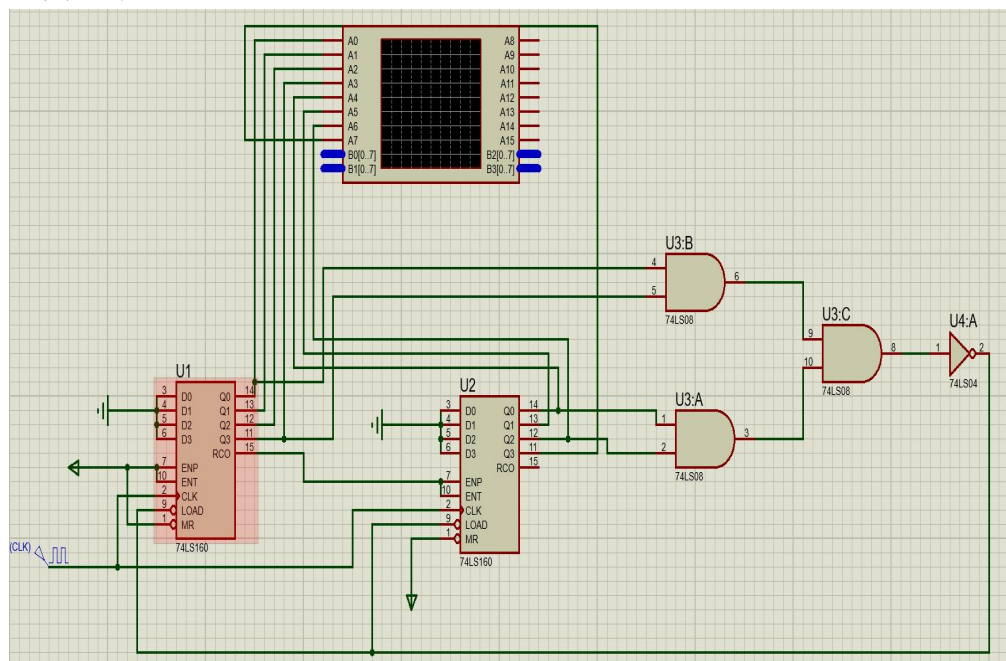
0.13m

可验证该波形符合 24 进制计数器功能。

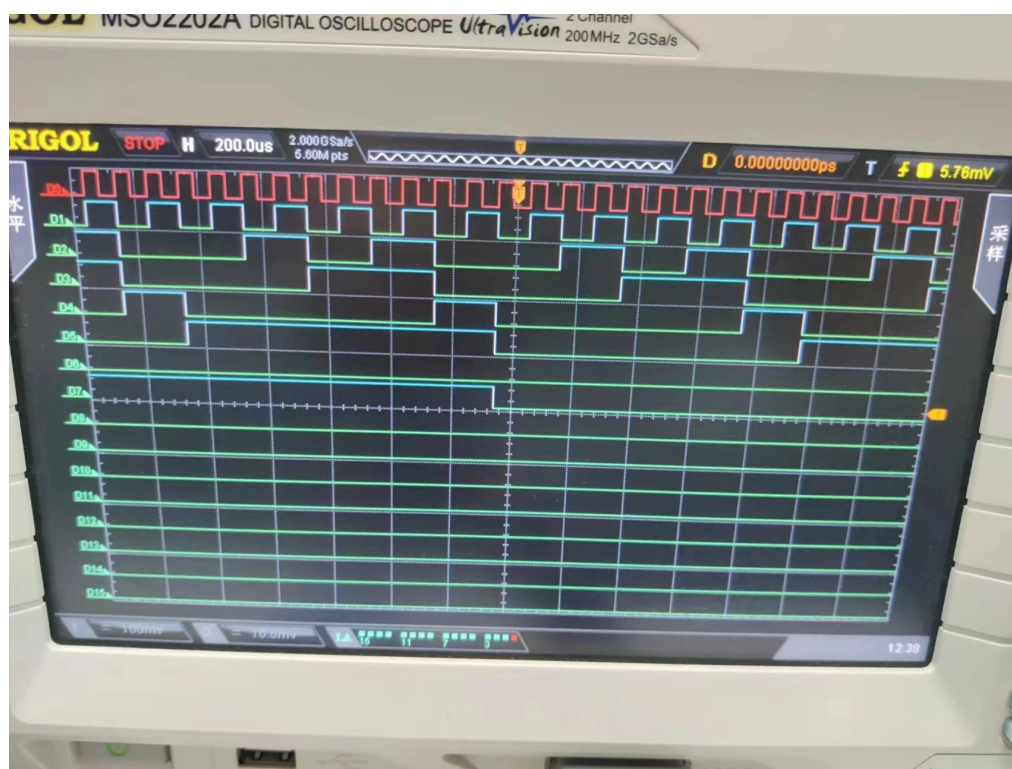
三、实验内容

分别采用同步置数和异步清零方法，使用两片集成计数器 74LS160 搭建一个六十进制计数器（六进制为高位，十进制为低位）。要求低位显示在 1 号数码管，高位显示在 2 号数码管。

仿真电路：（实验箱忘拍了）

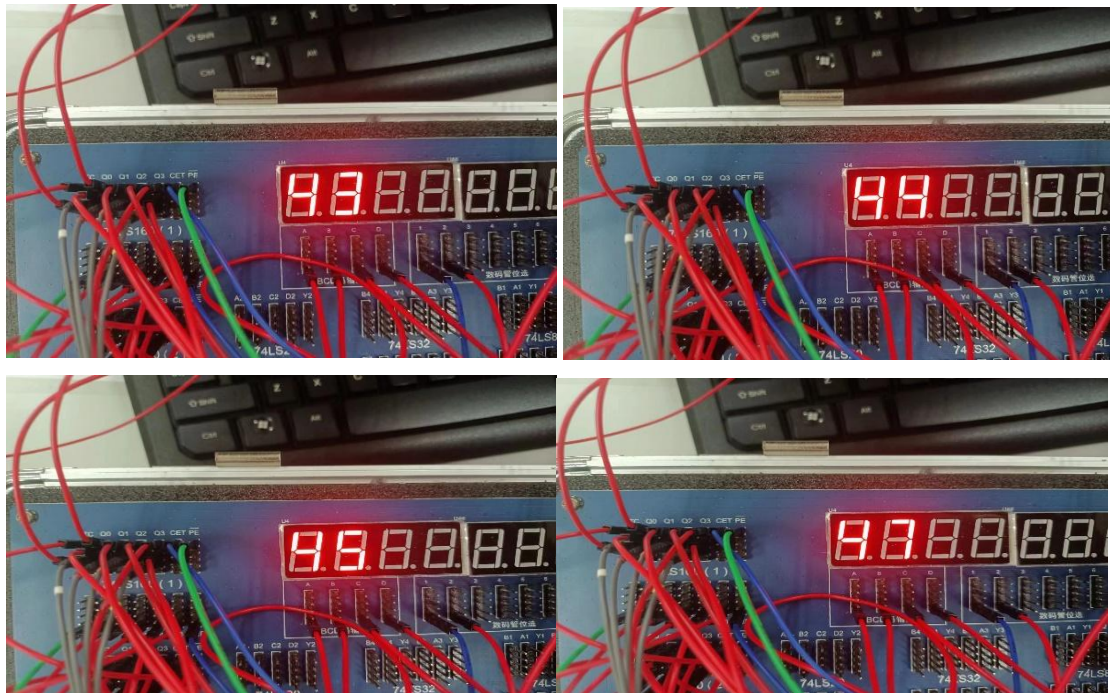


真实波形:



由波形可知，图中最大到 59 后归零，所以结果正确。

数码管显示：



四、思考题

1. 讨论使用 74LS197 和 74LS160 实现二十四进制计数器的区别。

功能差异：

74LS197：74LS197 是一种四位可编程二进制上/下计数器。它可以通过编程输入设置初始计数值，并且可以在上升沿或下降沿触发计数。它适用于二进制计数。

74LS160：74LS160 是一种四位二进制同步计数器。它在时钟信号的作用下同步计数，并可以通过清零输入进行异步清零。它适用于二进制计数。

进制转换：

74LS197：由于 74LS197 是二进制计数器，它本身不能直接实现二十四进制计数。要实现二十四进制计数，需要将二进制输出与逻辑电路（如译码器）结合使用，将二进制值转换为相应的二十四进制表示。

74LS160：74LS160 同样是二进制计数器，因此也需要与逻辑电路结合，进行二十四进制的转换。需要将二进制输出与译码器或其他逻辑电路连接，以将二进制值转换为二十四进制的输出。

设计复杂度：

74LS197：由于 74LS197 本身是可编程计数器，它具有设置初始计数值的功能，但需要额外的逻辑电路来实现二十四进制的计数。这可能需要较多的电路和复杂的编码/译码器设计。

74LS160：与 74LS197 类似，74LS160 本身也是二进制计数器。因此，实现二十四进制计数需要额外的逻辑电路，如译码器。但相对于 74LS197，由于 74LS160 是同步计数器，可能需要更少的逻辑电路来实现二十四进制计数。

2. 怎样判断电路是多少进制的计数器？电路的逻辑状态与计数器进制有什么关联？

判断电路是多少进制的计数器可以通过以下方法进行：

观察计数器的位数：计数器的位数表示它可以表示的计数范围。例如，一个 4 位计数器可以表示 16 个不同的状态，即为四位二进制计数器。如果计数器有 8 位，则可能是八位二进制计数器。

分析输出信号的状态：观察计数器的输出信号，并分析其状态。如果输出信号在一个循环中逐个变化，并且在每个计数器周期后重新开始，那么很可能是二进制计数器。例如，对于 4 位二进制计数器，输出序列将是 0000、0001、0010、0011、0100 等，按顺序递增。

检查逻辑电路的编码/译码方式：计数器的输出通常与逻辑电路（如编码器、译码器）连接，用于将计数器的二进制输出转换为特定进制的表示。通过检查逻辑电路的设计，可以确定计数器的进制。例如，使用 BCD（二进制编码十进制）译码器的计数器将产生十进制的输出。

与计数器进制有关的逻辑状态包括：

输出位数：计数器的位数决定了它可以表示的计数范围。每一位代表一个进制位，例如二进制计数器的每一位表示 2 的幂次方，十进制计数器的每一位表示 10 的幂次方。

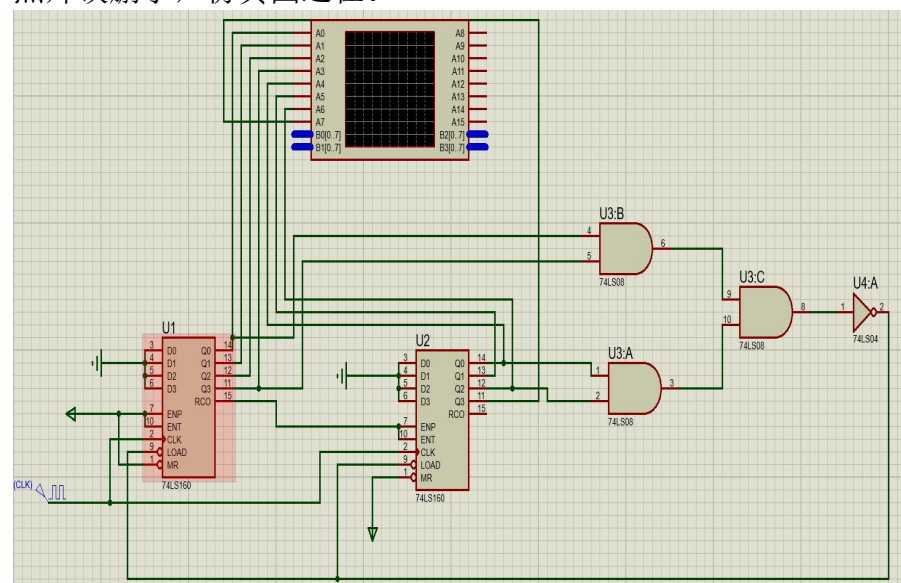
输出状态转换：不同进制的计数器的输出状态转换方式不同。二进制计数器在每个计数器周期内按照二进制递增或递减。而十进制计数器在每个计数器周期内按照十进制递增或递减。

逻辑电路连接：计数器的输出需要与逻辑电路（如编码器、译码器）连接，以将二进制计数转换为特定进制的表示。逻辑电路的设计方式与计数器的进制相关。

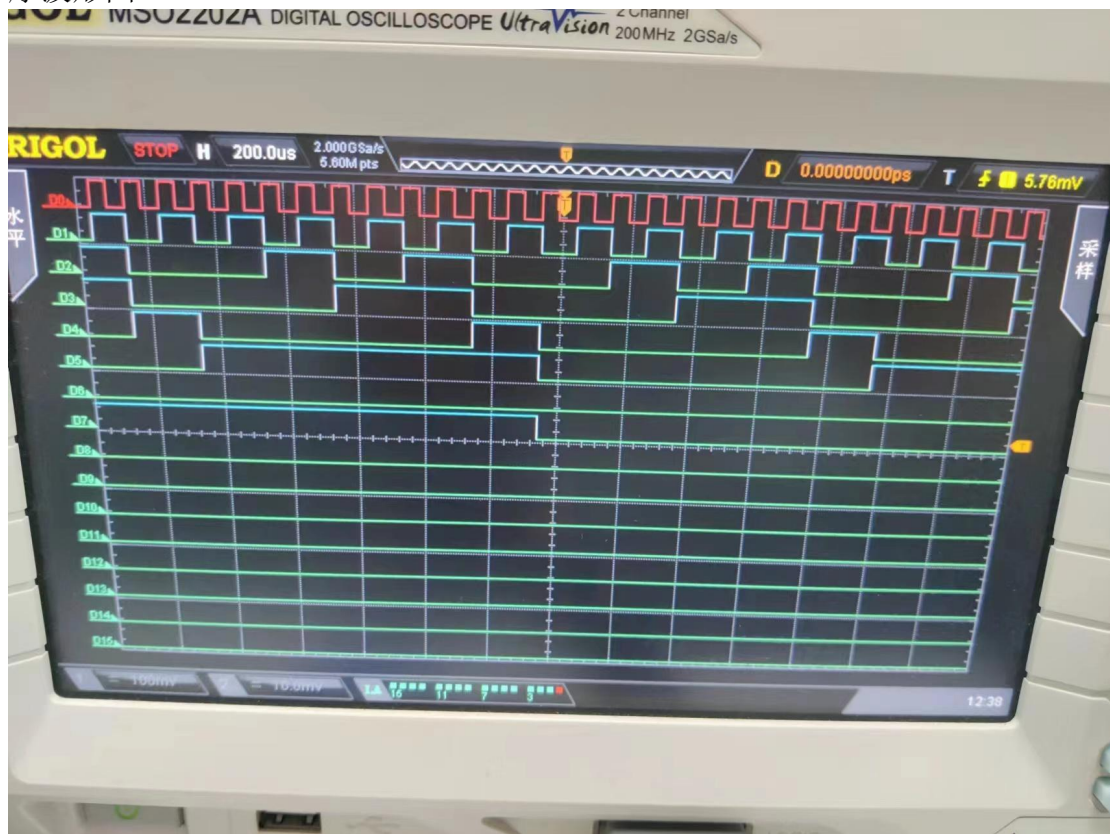
五、报告总结

1. 六十进制计数器的电路连接图。

照片误删了，仿真图还在。

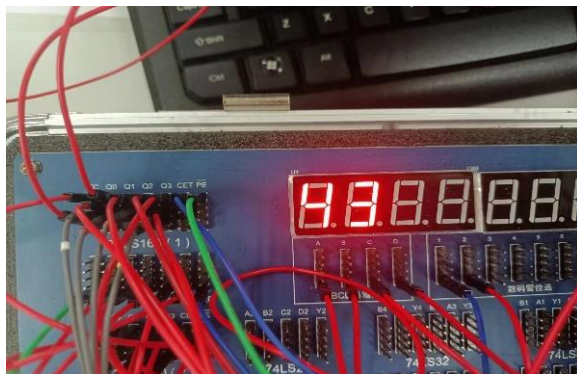


2. 记录并分析十进制计数器和六进制计数器的 Q3、Q2、Q1、Q0 及 CP 的时序波形图。



3. 简要说明数码管自动计数显示的情况。

从 00 一直到 59，然后回到 00 重新计数。实现了六十进制的计数。



4. 讨论采用同步置数和异步清零方法设计六十进制计数器电路的区别。

功能触发时机：在同步置数方法中，计数器的置数是在时钟脉冲到来时进行的，而在异步清零方法中，清零是在清零信号触发时立即进行的。

稳定性和准确性：同步置数方法通过与时钟信号同步，可以确保置数操作的稳定性和准确性。而异步清零方法可能会受到时钟信号的影响，可能会引入一定的不确定性。

电路设计复杂度：同步置数方法需要在电路中添加置数逻辑电路，以确保置数操作与时钟信号同步。异步清零方法可以通过直接连接清零信号到计数器的清零输入端来实现，较为简单。

5. 根据电路功能进行模块划分，并分模块安装、调试电路。描述心得体会，说明综合测试较复杂中小规模数字集成电路的方法。

心得体会：

模块划分能够有效地组织复杂的电路系统，使设计和调试工作更加清晰和有序。在模块设计时，合理选择模块的功能和接口，使得模块之间的连接和交互尽可能简单和可靠。

调试过程中，需要仔细分析和定位问题所在，可以使用示波器、逻辑分析仪等工具来辅助调试。

对于模块的安装和连接，要注意正确连接引脚，并确保电路板的布局和连接线的布线都符合设计要求，避免干扰和误连接。

在整体系统测试阶段，需要仔细检查各个模块的输入输出是否对应正确，特别是在多个模块协同工作的情况下。

综合测试较复杂中小规模数字集成电路的方法：

综合测试是验证整个电路系统是否按照设计要求工作的关键步骤。

首先，确保各个模块都经过独立的测试和调试，并能正常工作。

接下来，将各个模块连接起来形成完整的电路系统，应用合适的输入信号，并观察输出结果。

在测试过程中，可以使用逻辑分析仪、示波器等仪器来监测和分析信号的波形和逻辑状态，以验证电路的正确性。

对于复杂的电路系统，可能需要编写测试程序或使用自动化测试工具来进行全面的测试。

如果发现问题或不符合预期的输出，需要逐步排查，分析各个模块之间的交互关系，找出故障点并进行修复。

综合测试需要有耐心和细心，对于复杂的电路系统可能需要多次测试和调试，确保整个系统的可靠性和稳定性。

一、实验目的

1. 了解 8421 码检测电路的工作原理。

输入信号：8421 码检测电路接收一个四位输入信号，每个位上的输入可以是 0 或 1。

解码器：输入信号经过解码器，解码器根据输入信号的状态将其转换为相应的十进制数。

校验：校验电路会对解码器输出的十进制数进行检查，以确定输入信号是否符合 8421 码规则。

首先，校验电路会检查每个位上的输入信号是否为 0 或 1。如果存在非法的输入，表示输入不符合 8421 码规则。

其次，校验电路会检查是否有两个或多个位上的输入信号同时为 1。在 8421 码中，只有一个位可以为 1，其他位必须为 0。如果存在两个或多个位同时为 1，表示输入不符合 8421 码规则。

输出：校验电路将检查结果输出为一个逻辑信号。如果输入信号符合 8421 码规则，输出信号为有效（通常为逻辑高电平）；如果输入信号不符合 8421 码规则，输出信号为无效（通常为逻辑低电平）。

2. 掌握利用有限状态机实现同步时序电路的设计方法。

确定状态集合：首先确定设计中所需的状态数量，每个状态代表电路的不同工作状态或操作阶段。状态数量取决于设计的复杂性和需求。

确定输入和输出：确定输入信号和输出信号，它们将驱动状态机的状态转换和输出结果。

绘制状态转换图：根据设计需求和状态集合，绘制状态转换图。在状态转换图中，使用状态之间的箭头表示从一个状态到另一个状态的转换条件，并标注转换条件（输入信号）。

确定状态转换逻辑：对于每个状态转换，确定逻辑电路的实现方法。可以使用逻辑门、触发器等组合逻辑和时序逻辑电路来实现状态转换的逻辑。

设计状态转换电路：根据确定的状态转换逻辑，设计状态转换电路，将逻辑电路和时序电路组合在一起，以实现状态的切换和信号的驱动。

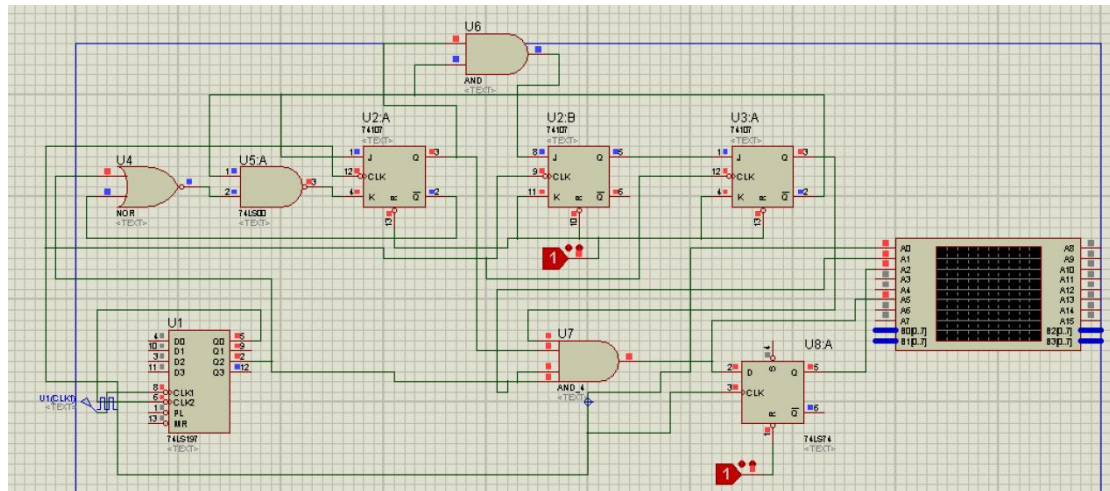
实现和调试：根据设计完成电路的物理实现，包括电路板的布局 and 连接，以及必要的元器件的安装。然后，进行调试，验证状态转换和输出是否符合预期。

综合测试：对设计的同步时序电路进行全面测试，验证其功能和性能是否满足需求。可以通过输入不同的测试用例和观察输出结果来进行测试。

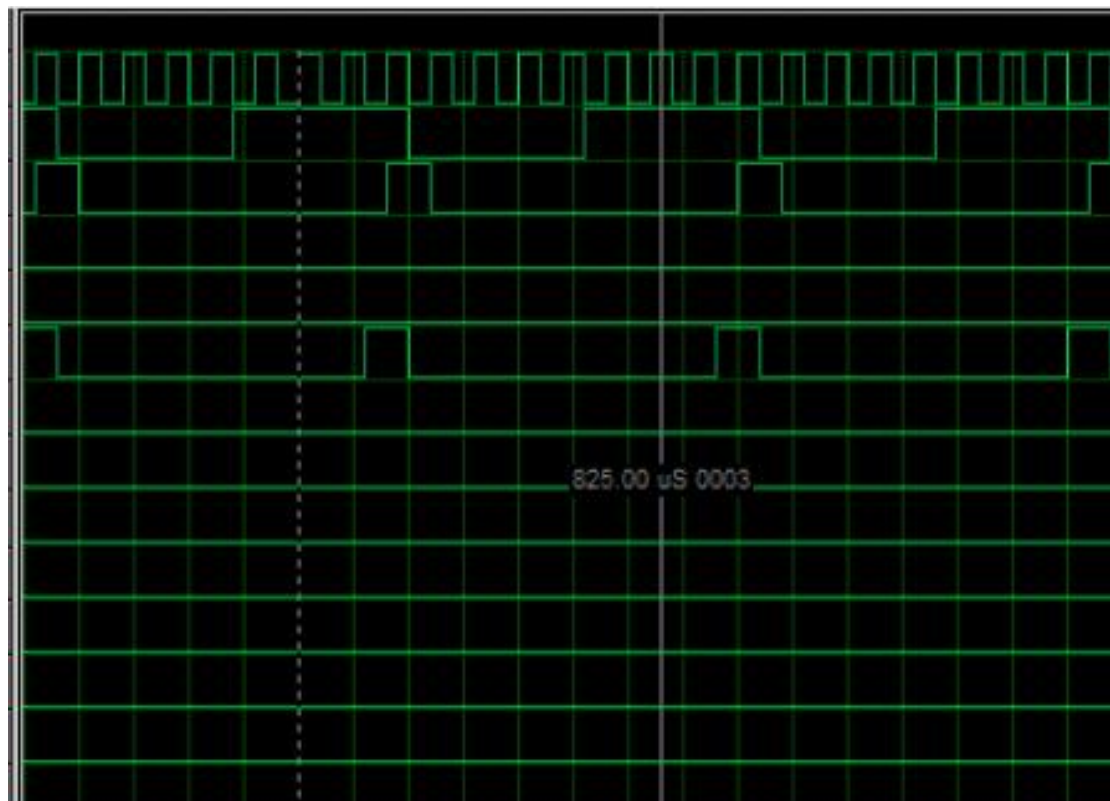
二、实验预习

阅读实验原理，在 Proteus 环境下，参考实验原理示例设计一个 8421 码（串行输入）序列检测电路，通过仿真，观察并记录电路的输出，从而验证电路的逻辑功能。

8421 码序列同步检测电路:



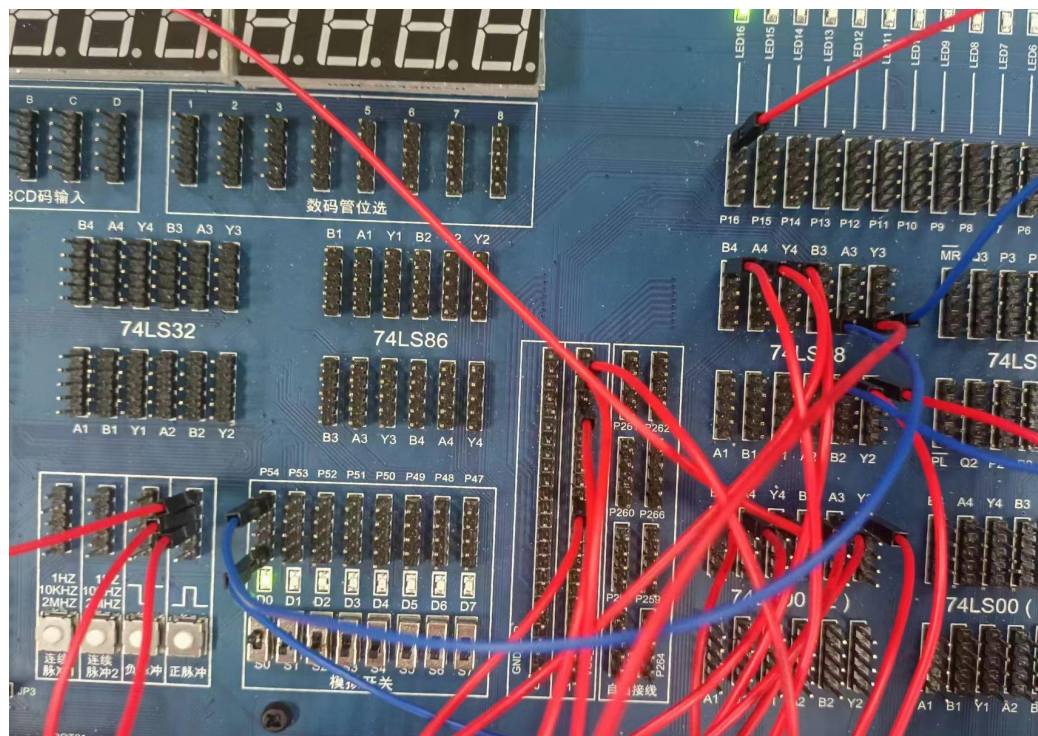
仿真波形：



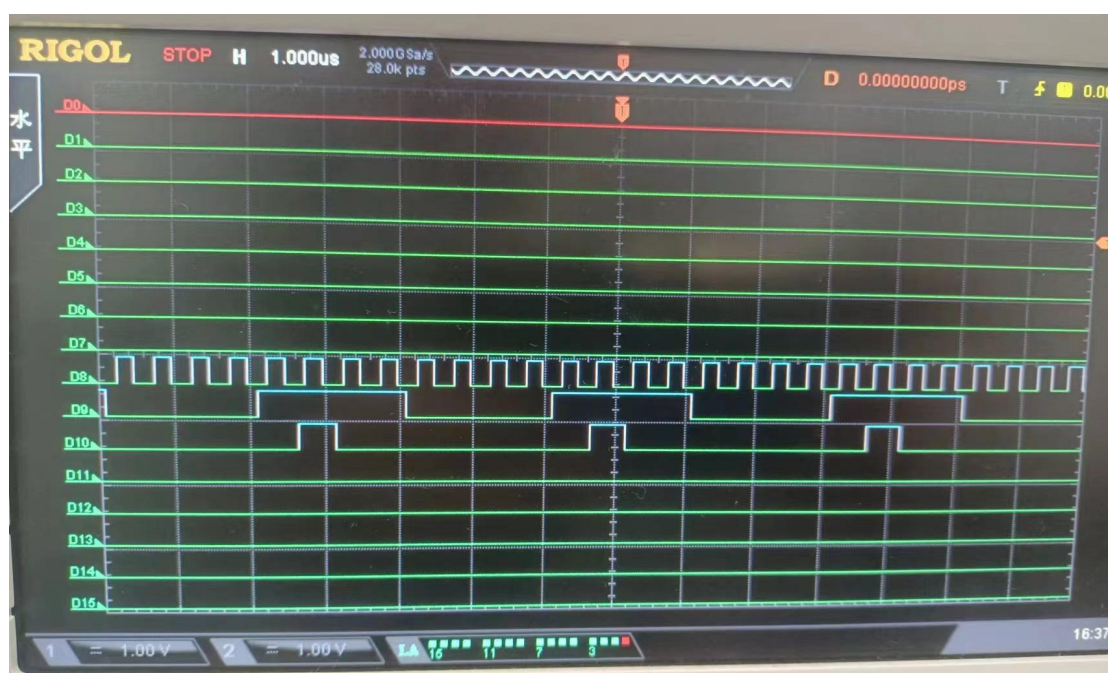
三、实验内容

参考实验原理步骤采用 J-K 触发器搭建 8421 码序列同步检测电路，要求采用不同于实验原理的其他状态分配方法完成电路的设计。

静态测试：输入 0→1→0→1



动态测试：

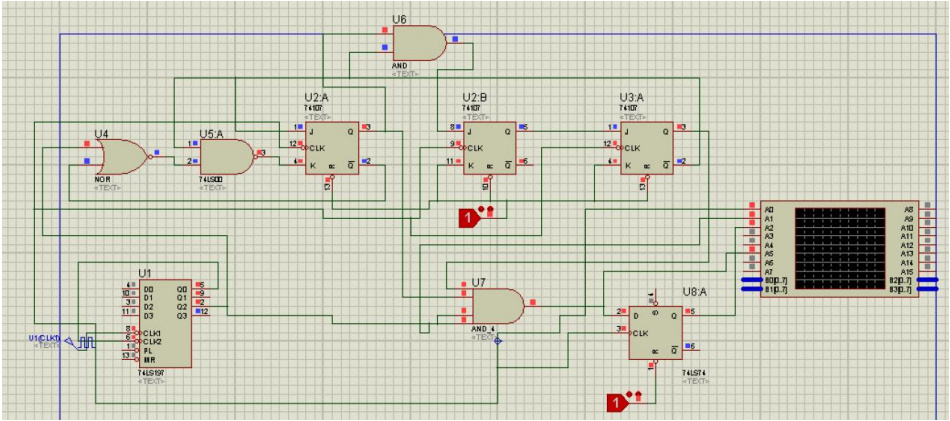


可以看出当输入信号为 1100 时显然不是 BCD 码，所以输出会输出高电平，结果正确，由于门电路的延迟作用，时钟与输入并不完全对应。

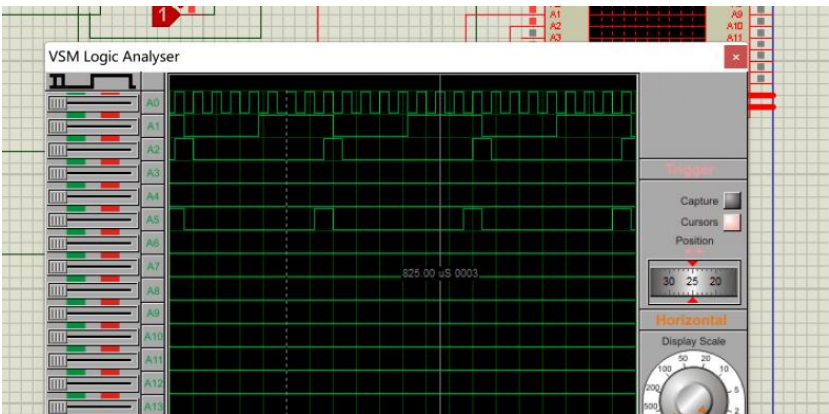
四、报告总结

1. 写出完整的设计过程，要求画出电路的状态图和状态表，画出完整的实验电路原理图，观察记录并分析电路的静态测试和动态测试结果。

完整电路如下：



仿真波形：



2. 结合实验结果（同时观测 F 和 F'的时序波形）讨论 D 触发器锁存输出对 Mealy 型 8421 码序列检测电路的改进效果。

Mealy 型同步时序逻辑电路中，输出的变化是根据当前状态和输入信号的组合来确定的。当输入信号发生变化时，输出会实时改变，具有较快的响应速度。这种实时改变输出的特性带来了一些优点，但也可能导致冒险现象的出现。

为了减少冒险现象的产生，可以使用 D 触发器来锁存输出。D 触发器是一种时序元件，它将输入信号在时钟边沿（上升沿或下降沿）锁存到输出中，并在时钟边沿之后保持输出不变。

使用 D 触发器锁存输出的过程如下：

将原始的 Mealy 型同步时序逻辑电路的输出连接到 D 触发器的 D 输入端。

将时钟信号连接到 D 触发器的时钟输入端。

在时钟边沿到来之前，保持 D 触发器的输入保持不变。

当时钟边沿到来时，D 触发器将当前输入的值锁存到输出中。

通过使用 D 触发器锁存输出，可以确保输出信号在时钟边沿之后才发生变化，避免了冒险现象的产生。这样可以提高电路的稳定性和可靠性，并减少因信号延迟或逻辑电路不稳定性导致的错误输出。