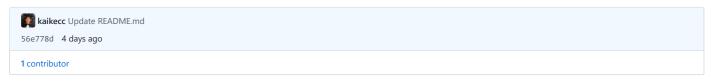
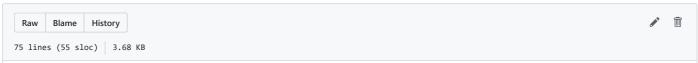


UFRN / 6º PERÍODO / Circuitos Digitais / ATIVIDADES2019-2 / ATIVIDADE-14 / README.md





Atv_2715_014

PROFESSOR Dr.: SAMAHERNI MORAIS DIAS

ESTUDANTE: KAIKE CASTRO CARVALHO

1. INTRODUÇÃO

Projete um circuito digital (Ver Figura 1) que ao receber um pulso de início (C=1) calcule o somatório (Sad) do valor absoluto da diferença entre 8 valores de A e B, ou seja, O circuito deve, após realizar o cálculo, atualizar o valor do Sad e fazer o bit de saída D=1. É importante notar que durante a realização do calculo D deve ser 0.

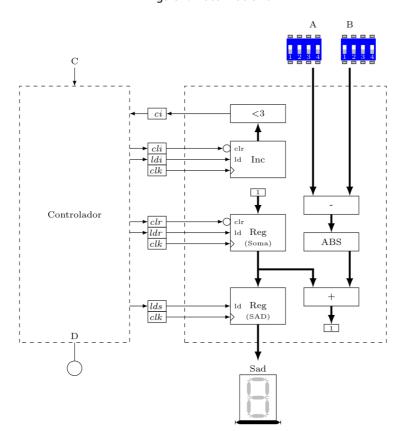


Figura 1. Bloco Problema

2. OBJETIVO

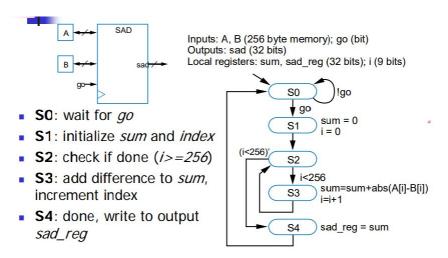
Construir um circuito que realize somatório do valor absoluto entre dois valores.

3. DESENVOLVIMENTO

A computação da soma das diferenças absolutas (SAD) é algo que requer um certo esforço computacional. Desse modo, é necessário um ciruito otimizado para que em nível de software possa haver mais simplificações de operações de diferenças.

A Figura 2 mostra a máquina de estados de alto nível em pode-se entender o funcionamento do comportamento da SAD. Na parte superior, estão declaradas as entradas, as saídas e os registradores locias soma, i e sad_reg que serão usados. O estado S0 é o de espera e fica aguardando go (comece) ser verdadeiro para prosseguir. Em S1, inicializa soma e o index, no estado S3 checa se i é maior ou igual a 256 e em seguida em S3 realiza a soma da diferença e incrementa em index. Por fim, em S4 escreve na saída o resultados (sad_reg) e retorna para S0.

Figura 2. Bloco controle



No projeto RTL tem o bloco operacional em que apartir do bloco de controle as operações básicas como subtrair, somador e o cálculo do modulo absoluto são realizados nesse bloco.

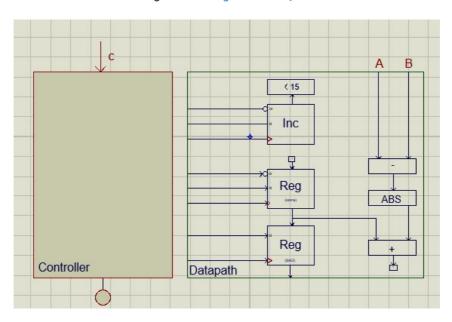
AB addr A_data B_data Inputs: A, B (256 byte memory); go (bit) Outputs: sad (32 bits) Local registers: sum, sad_reg (32 bits); i (9 bits) i_lt_256 <256 8 8 S₀ ▼ go i_clr sum = 08 S1 i = 0sum Id (i<256) sum abs S2 sum_clr v i<256 32 32 sum=sum+abs(A[i]-B[i]) **S3** sad_reg_ i=i+1 sad_reg S4 sad reg=sum 32 Datapath sad

Figura 3. Bloco datapath

4. RESULTADOS

O controlador não foi possível de desenvolver por dificuldades na parte de sinal de referência, porém na Figura 4 mostra o esquemático do fluxo do projeto em que o bloco datapath está constrúido.

Figura 4. Visão geral da solução



A solução para o datapath baseou-se no CI 74181 que opera uma unidade lógica aritmética de 4 bitso o qual pode operar 16 operações. A Figura 5 mostra os componentes utilizados em que 7485 é um comparador que as suas saídas atuam na seletor e o strobe do 74157 que é um mux 8x4 e dessa forma o somatório é realizado.

Figura 5. Visão do datapath

5. CONCLUSÃO

Esse trabalhou mostrou-se bastante trabalhoso, porém rico em informações de como um computador processa imagens e videos e como a compactação é feita para otimizar memória. Infelizmente não foi possível construir uma solução completa para o projeto, mas deixa o aprendizado do funcionamento de uma SAD.