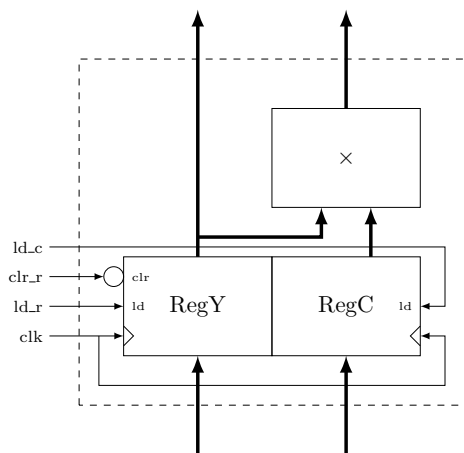


**Disciplina:** ELE2715 - Circuitos Digitais  
**Aluno:**

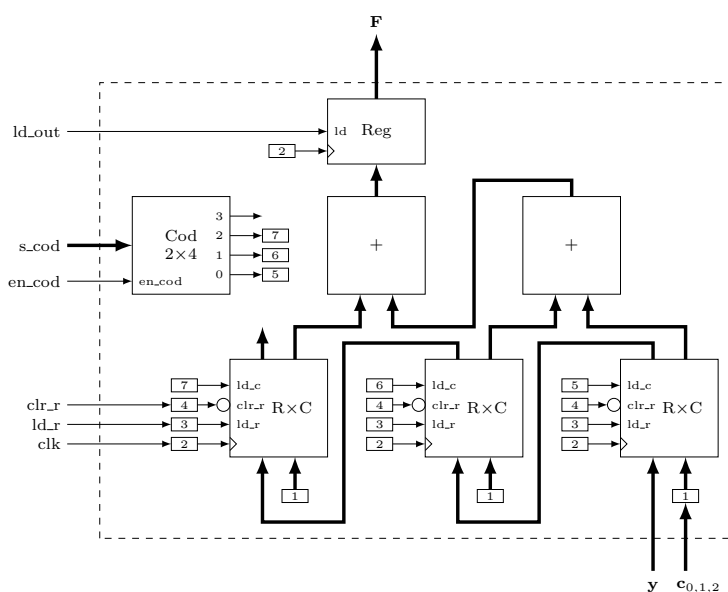
**Período:** 2019.2  
**Turma:** 01

1 - Projete um circuito lógico para implementar um filtro FIR com 3 *taps*. O circuito deverá possuir um vetor de entrada ( $y$ ) de 4 bits com os valores a serem filtrados, uma outra entrada ( $c_{0,1,2}$ ) de 4 bits para definir os valores das constantes  $c_0, c_1, c_2$  do filtro, uma entrada  $clr_r=0$  para limpar todos os registradores RegY, uma entrada  $ld_r=1$  para permitir atualizar o valor no registrador RegY, uma entrada  $en\_cod=1$  para permitir atualizar o valor em um dos registradores RegC, uma entrada  $s\_cod$  de 2 bits para definir qual dos registradores RegC será atualizado ( $s\_cod=i$  implica na escolha de  $c_i$ , onde  $i=0,1,2$ ), uma entrada  $ld\_out=1$  para permitir atualizar o registrador de saída e, por fim, uma saída ( $F$ ) de 10 bits para apresentar o valor filtrado. O pulso de *clock* chamado de  $clk$  será o mesmo para todos os registradores. A simulação deverá iniciar com a definição dos valores das constantes  $c_{0,1,2}$  para em seguida serem introduzidos os valores da entrada  $y$ .

$$F = y(k) \cdot c_0 + y(k-1) \cdot c_1 + y(k-2) \cdot c_2$$



**Figura 1:** Bloco  $R \times C$



**Figura 2:** Bloco FIR

### Observações

- Todos os alunos devem simular o circuito no ModelSim;
- A implementação deverá ser feita de forma estruturada;
- O aluno deverá forçar as entradas do sistema para comprovar que o seu projeto está funcionando;
- O aluno deverá apresentar a atividade funcionando corretamente na aula seguinte.