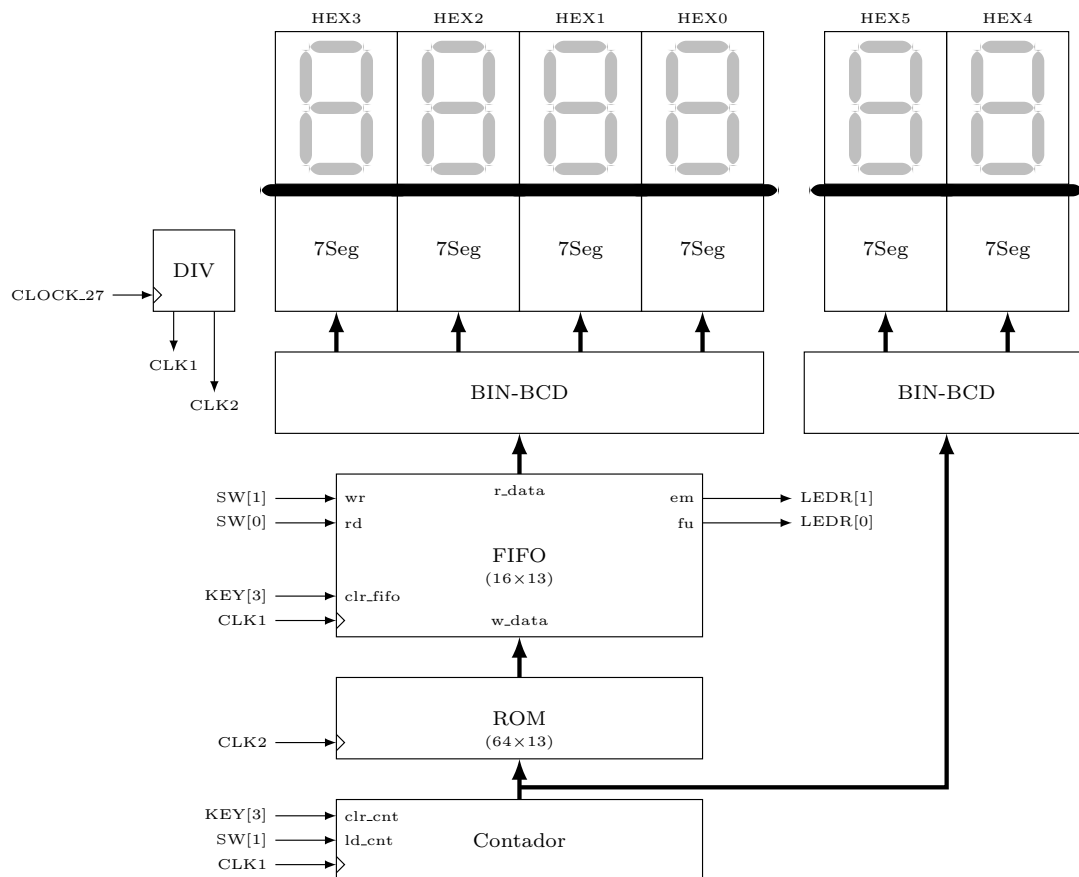


**Disciplina:** ELE1717 - Sistemas Digitais  
**Aluno:**

**Período:** 2020.1  
**Atividade:** 02

1 - Projete um circuito lógico para implementar uma FIFO. A FIFO possui uma entrada e uma saída de dados. Os dados são introduzidos na FIFO através da entrada **w\_data** quando ocorre um pulso de *clock* e a entrada **wr** está em nível lógico alto. Já a retirada de dados da FIFO se dá através da saída **r\_data** quando ocorre um pulso *clock* e a entrada **rd** está em nível lógico alto. Para limpar os dados da FIFO existe a entrada **clr\_fifo**, a qual quando recebe nível lógico baixo limpa todas as posições de memória da FIFO e reinicializa os valores de seus contadores internos. A FIFO ainda possui duas saídas, uma para indicar que está cheia **fu=1** e uma outra para indicar que está vazia **em=1**.



### Observações

- O aluno poderá optar por utilizar ou não dois sinais de *clock* com frequência diferente;
- O aluno deverá preencher a memória ROM com 64 valores diferentes de forma a comprovar o correto funcionamento dos quatro displays HEX0,1,2,3;
- O aluno deverá enviar o relatório e apresentar a atividade de acordo com a data definida no SIGAA.