

De um exemplo de um sinal digital que pode ser utilizado em um projeto de eletrônica embarcada.

Existem inúmeros tipos de sinais de entradas para os mais diversos sistemas digitais embarcados, como exemplo, podemos citar:

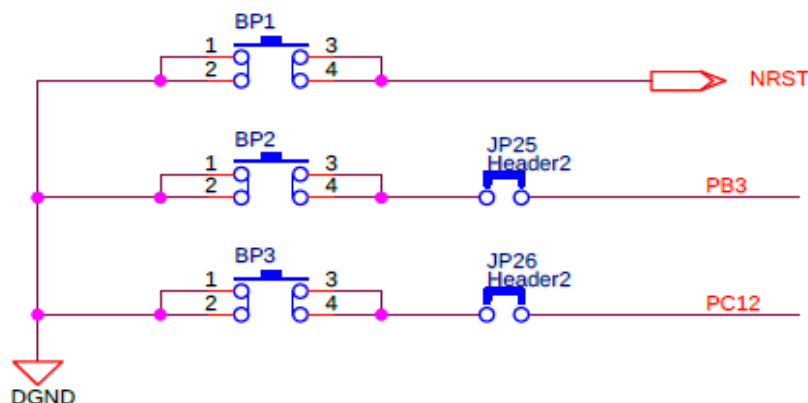
- Sinais de Comunicação Wireless (ex: Bluetooth, NFC, RFID)
- Microfone do Celular (Comando por Voz)
- Leitura Biométrica

Qual o valor dos resistores de Pull-Up e Pull-Down?

Tipicamente, os valores das resistências de Pull-Up e Pull-Down são 100kOhms

Qual o valor lido pelo PIO quando o botão não estiver pressionado e qual o valor lido quando o botão estiver pressionado?

Conforme pode ser observado no esquemático:



O pressionar do botão faz com que o ramo seja aterrado, configurando um acionamento por tensão baixa, logo, o botão aberto implica em uma tensão, tipicamente de Pull-Up, na entrada.

Qual o valor máximo que PIO_SCDR pode assumir?

Dos 32 Bits designados ao PIO_SCDR, apenas os bits de 0 a 13 são destinados a realizar a redução do Clock (Região denominada como DIV), ou seja, o máximo valor será quando todos estes bits forem 1.

$$t_{divs/lck} = ((DIV + 1) * 2) * t_{lck}$$

$$DIV_{MAX} = 0b11\ 1111\ 1111\ 1111\ \text{ou}\ 0x3FFF\ \text{ou}\ .16383$$

Quando PIO_SCDR for zero, por quanto o Clock principal é dividido?

Pela fórmula, para DIV = 0, temos:

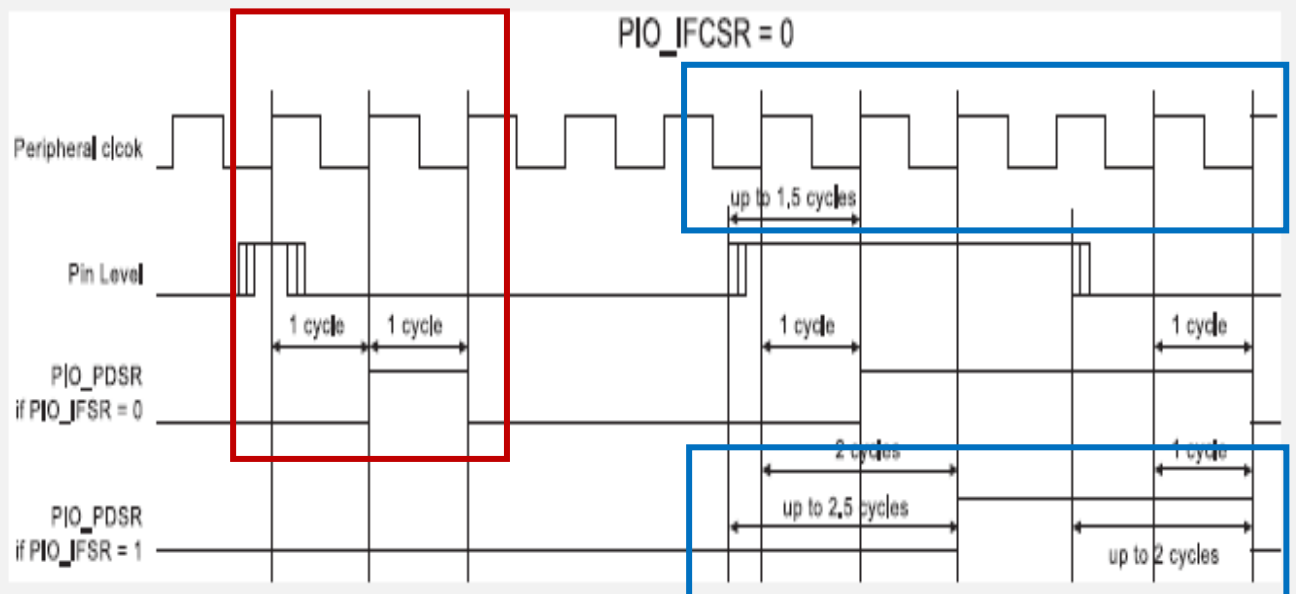
$$t_{divs/lck} = ((0 + 1) * 2) * t_{slck}$$

$$t_{divs/lck} = 2 * t_{slck}$$

Logo, o maior Clock possível para o $t_{divs/lck}$ será o dobro do período do Clock original, isto é, a metade da frequência.

Interprete os diagramas de tempo a seguir (referentes ao filtro de Glitch e Debouncing).

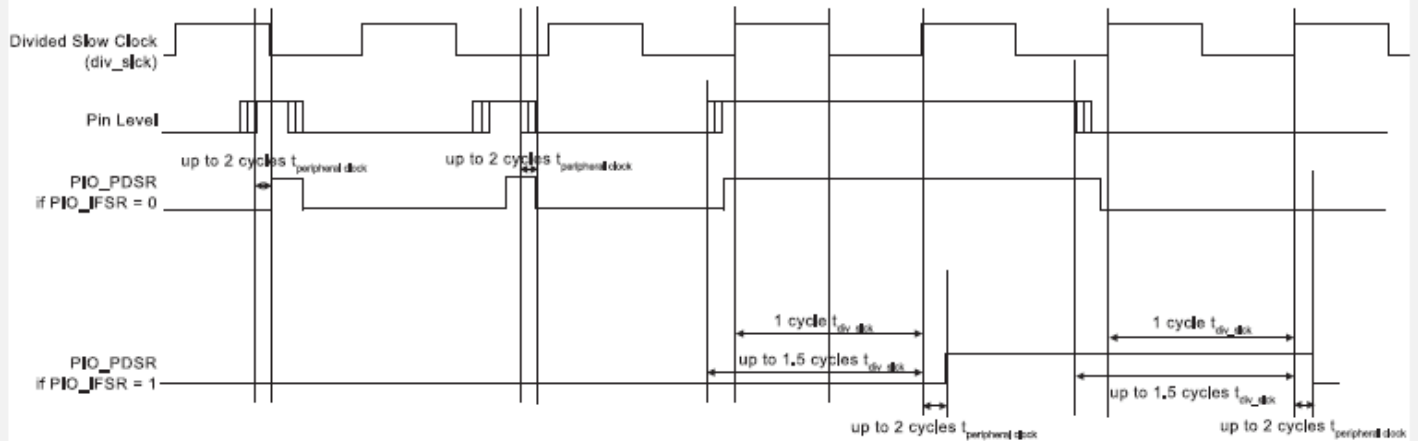
Figure 31-4. Input Glitch Filter Timing



O diagrama mostra a influência do Glitch quanto ao sinal de entrada. A primeira análise (Mostrado em vermelho) mostra que quando $PIO_IFSR = 0$ (Glitch desligado) qualquer sinal que seja suficiente para ser interpretado como nível lógico alto mesmo com duração menor que um ciclo, no próximo pulso de Clock fará com que a saída seja também alta. Já com o $PIO_IFSR = 1$ (Glitch Ligado), a saída somente será nível lógico alto caso o sinal de entrada permaneça ao menos dois ciclos acionado (Proteção a Ruído), como pode ser observado na região em azul.

Figure 31-5. Input Debouncing Filter Timing

PIO_IFCSR = 1



No caso do Filtro de Debouncing, percebe-se que o Clock de aquisição agora é o Divided Slow Clock (DIV_SLCK), controlado pelo PIO_SCDR. Isto permite que os ruídos sejam ignorados uma vez que são bem mais curtos que dois ciclos de Clock no caso do DIV_SLCK. O que não acontece por exemplo quando o $PIO_IFSR = 0$ (Filtros de Glitch e Debouncing desativados).