

## Descrição geral do sistema

Desenvolver um sistema composto por duas máquinas de estados, um conversor BCD para sete segmentos, e quatro chaves deslizantes, como mostra a Figura 1. As duas máquinas se comunicam através de um barramento serial síncrono SPI, onde uma máquina é Master na comunicação e a outra é Slave.

O objetivo é “escrever” um número binário nas chaves deslizantes, a máquina Master envia este número através do barramento SPI e a máquina Slave envia o número recebido para o display de sete segmentos (através do conversor BCD).

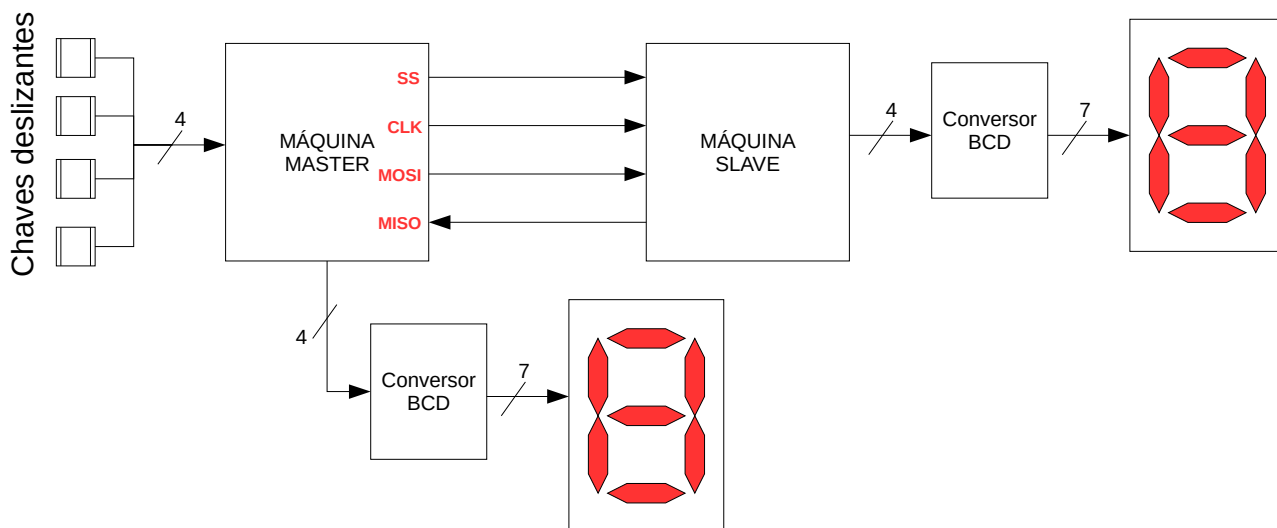
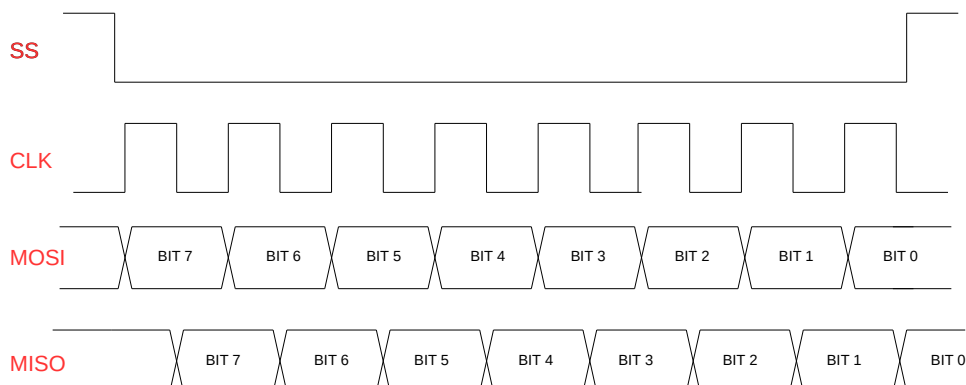


Figura 1: Implementação de duas máquinas de estados para controle de display sete segmentos.

A Figura 2 apresenta o formato dos sinais de um barramento SPI operando no modo fase 0 e polaridade 0 (não se preocupe com esta definição por hora). O barramento é composto por quatro sinais: SS que é o “enable” do barramento, ou seja, só há comunicação se este sinal estiver em nível lógico 0; SCK que é o sinal de clock (relógio) que sincroniza a transmissão e recepção dos dados no barramento; MOSI (acrônimo de Master Out Slave In) sinal por onde o dispositivo Master envia dados seriais para o dispositivo Slave; e MISO (acrônimo de Master In Slave Out) que é o sinal por onde o dispositivo Slave responde para o dispositivo Master.

Note que os dados são enviados pelo dispositivo Master na borda de subida do sinal de clock (SCK) e o dispositivo Slave responde na borda de descida do sinal CLK.

Utilize o BOTÃO 0 como reset geral do sistema e o BOTÃO 1 como comando para enviar o dado lidos nos SWITCHs.



*Figura 2: Formato dos sinais SPI, com fase 0 e polaridade 0.*

No trabalho a ser implementado, o dispositivo Slave deve enviar o dado recebido no barramento SPI (através do sinal MISO), além de enviar o valor recebido para o conversor BCD. Abaixo é mostrado na Figura 3 o kit de desenvolvimento DE0 a ser utilizado no trabalho. O barramento SPI deverá operar na frequência de 1 Mbps.

## Critérios de avaliação

- 2 pontos pela entrega de um diagrama em blocos funcionais (desde que esteja coerente com o código VHDL implementado).
- 2 pontos pela entrega de TestBenchs (funcionando) para cada componente projetado.
- 6 pontos a serem dados durante a apresentação e defesa do projeto.

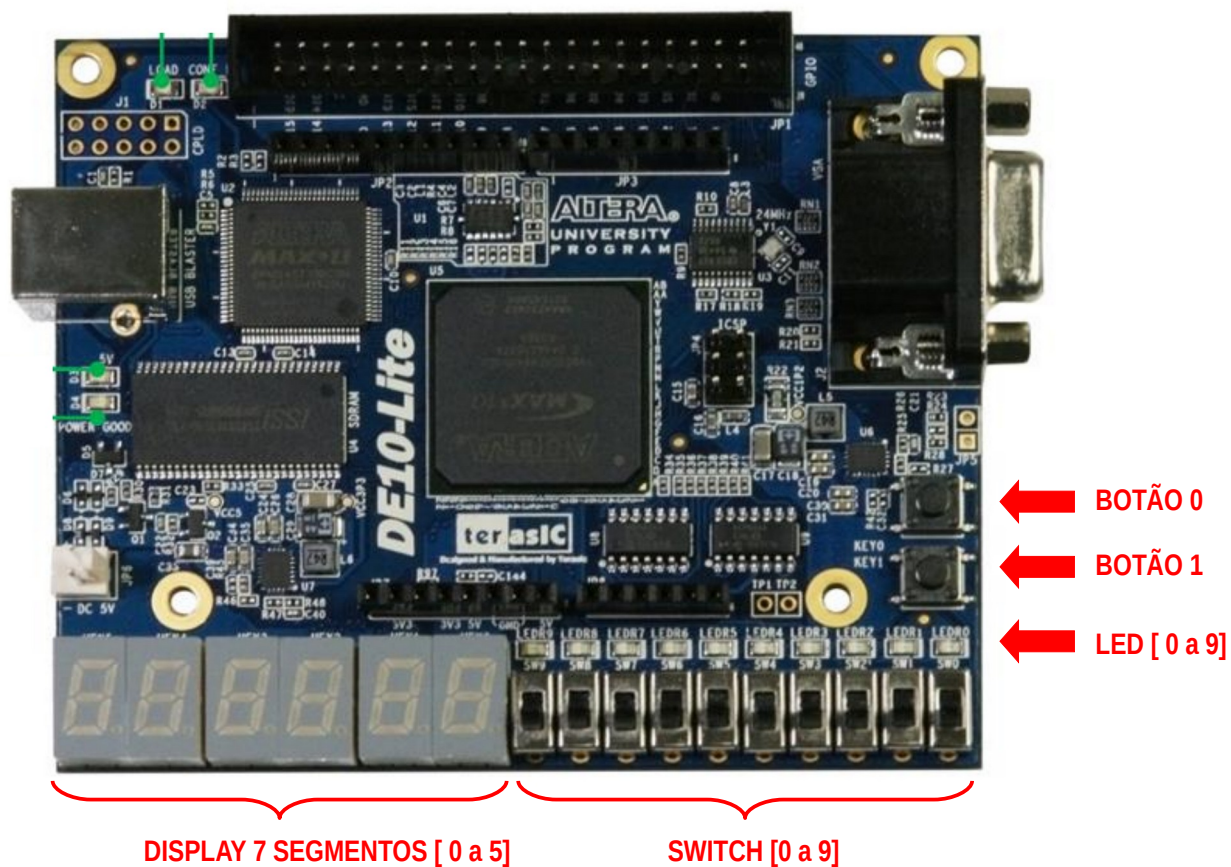


Figura 3: Kit de desenvolvimento DE10-Lite usado no desenvolvimento do trabalho.