

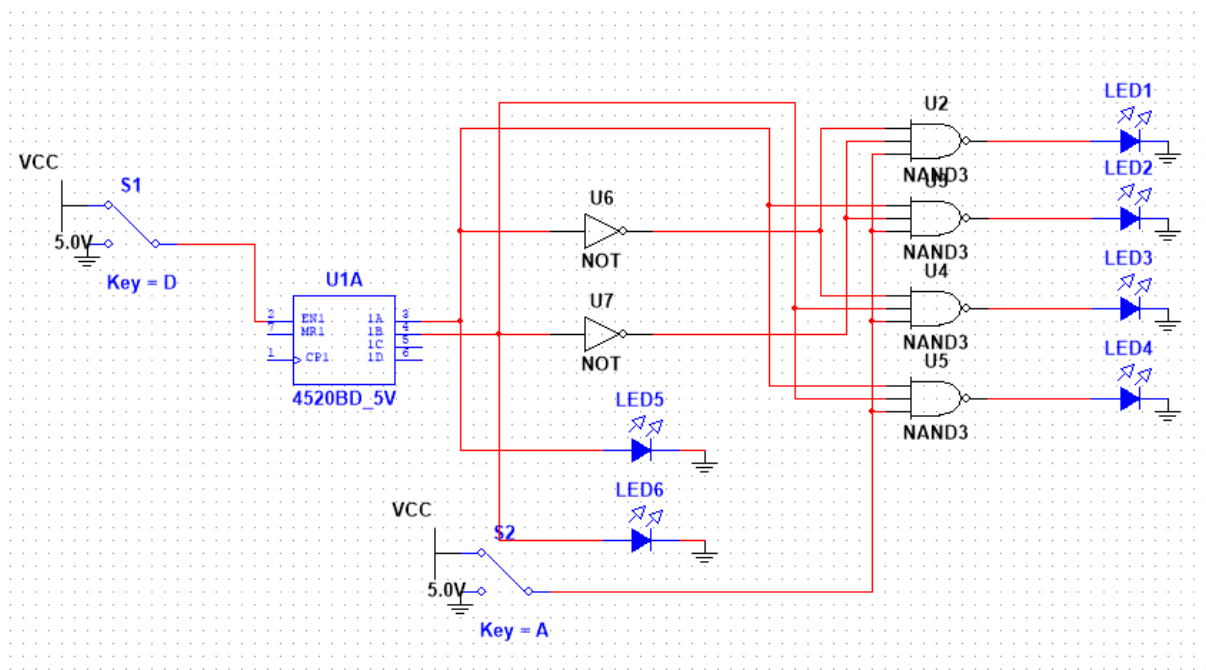
Москва, 2022

Цель работы - изучение принципов построения методов синтеза дешифраторов; макетирование и экспериментальное исследования дешифраторов, изучение принципов построения методов синтеза дешифраторов; макетирование и экспериментальное исследования дешифраторов

1. Исследование линейного двухвходового дешифратора с инверсными выходами

Задание:

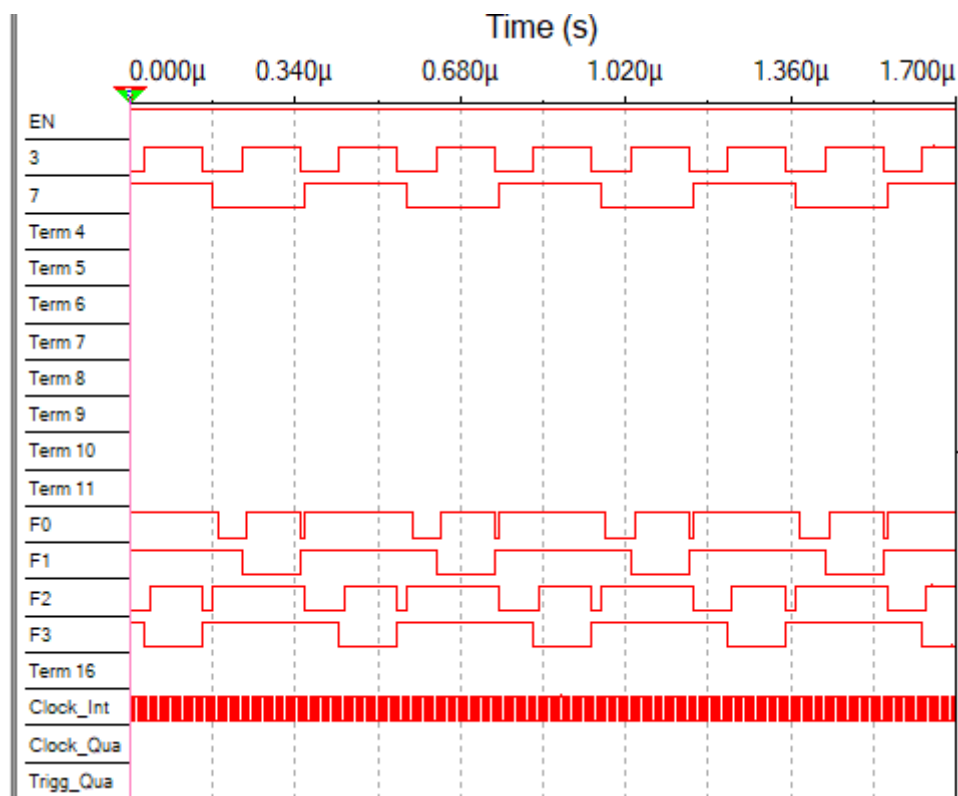
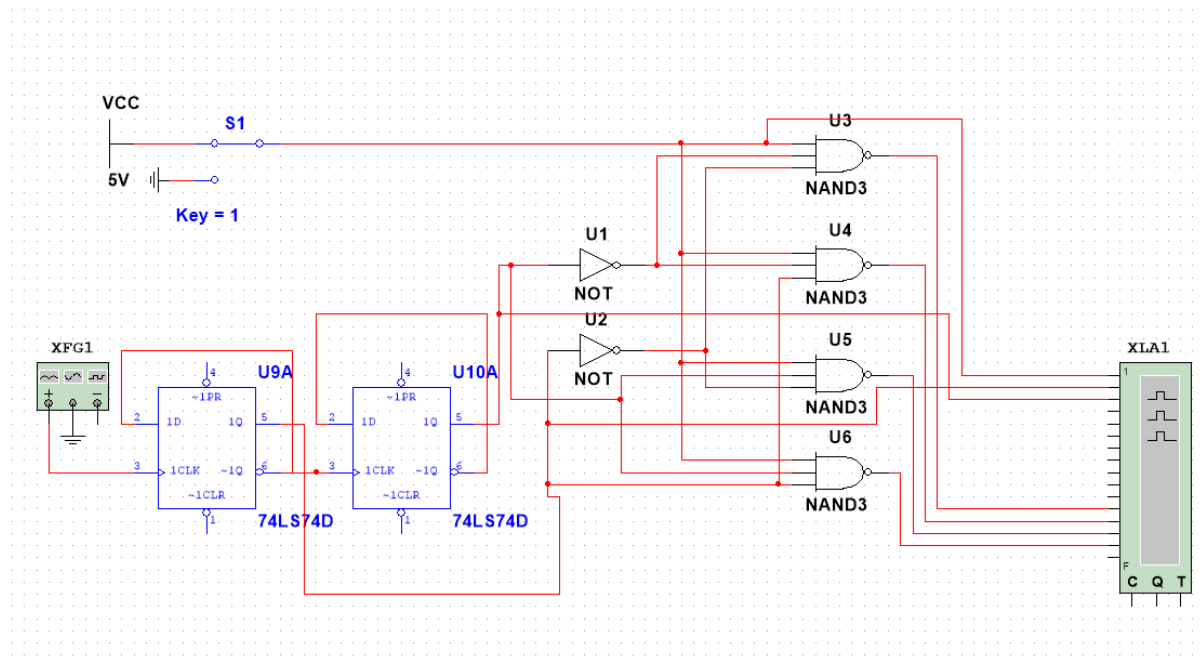
а) собрать линейный стробируемый дешифратор на элементах ЗИ-НЕ; наборы входных адресных сигналов A0, A1 задать в выходы Q0, Q1 четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора;



б) подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с помощью ключа, составить таблицу истинности нестробируемого дешифратора (т.е. при EN=1);

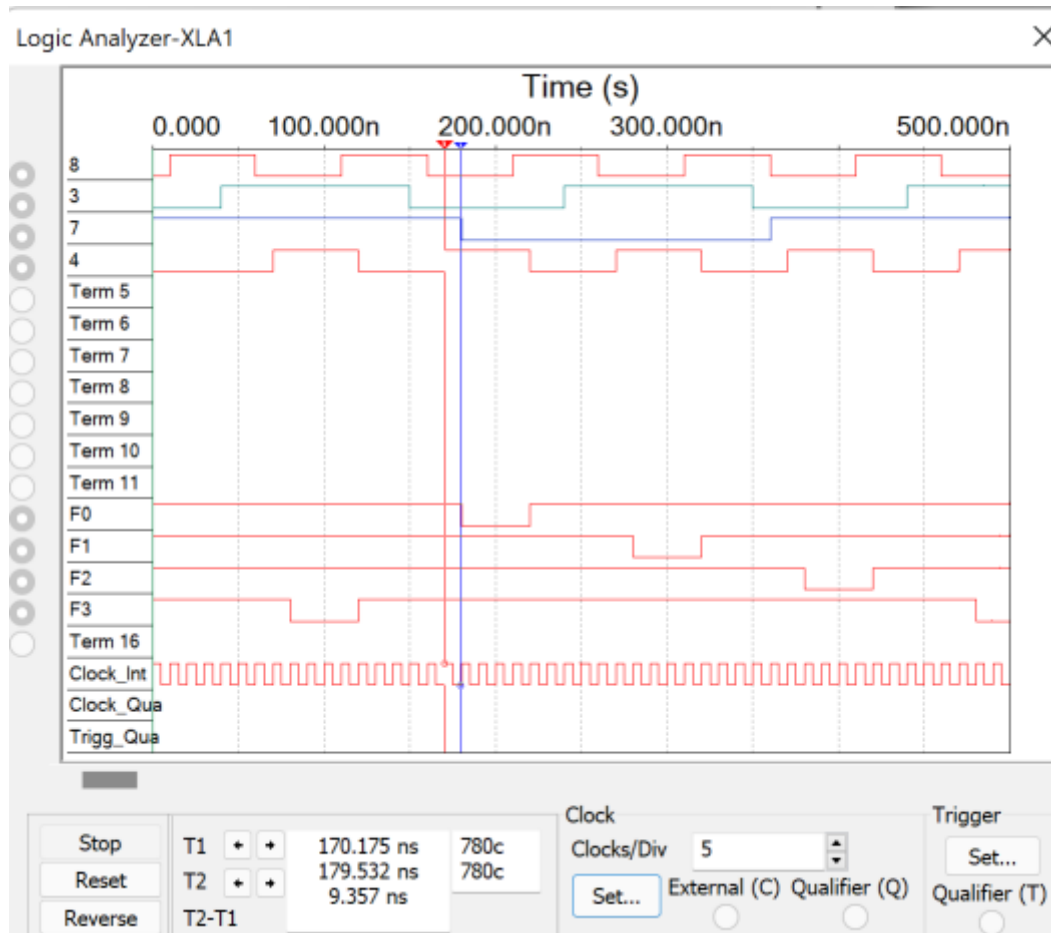
EN	A0	A1	F0	F1	F2	F3
1	0	0	0	1	1	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	0

в) подать на вход счетчика сигнал генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;

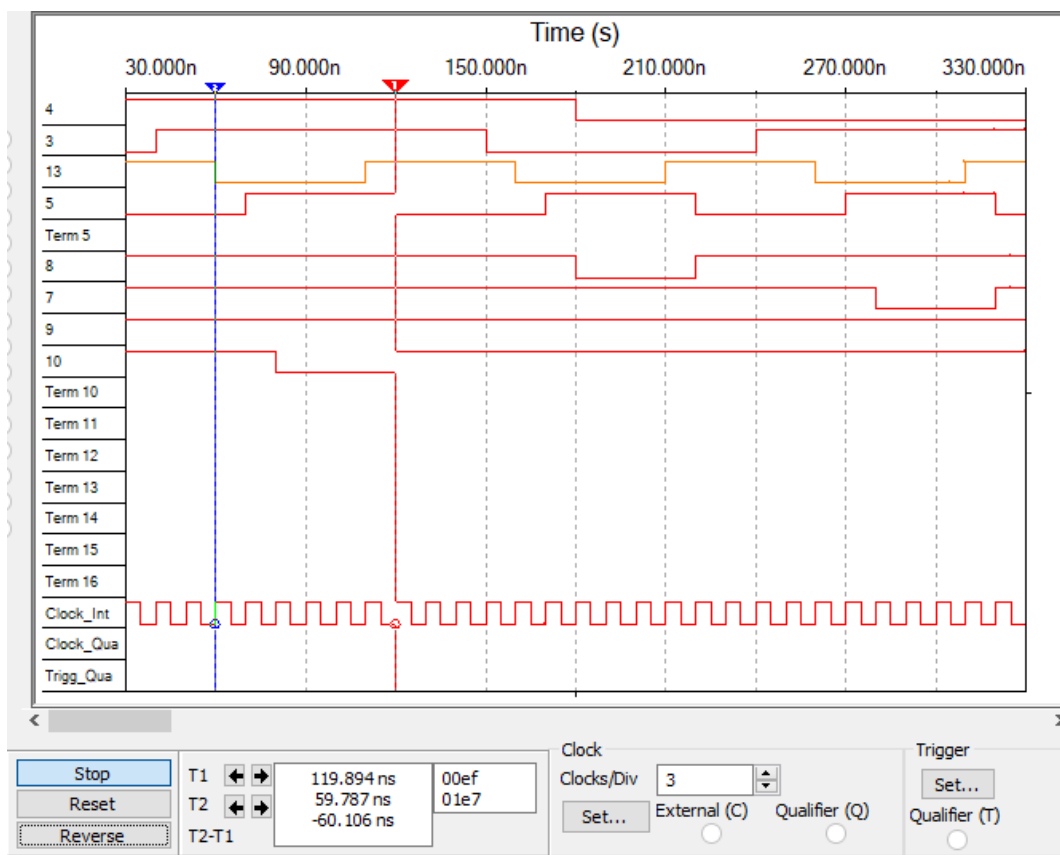
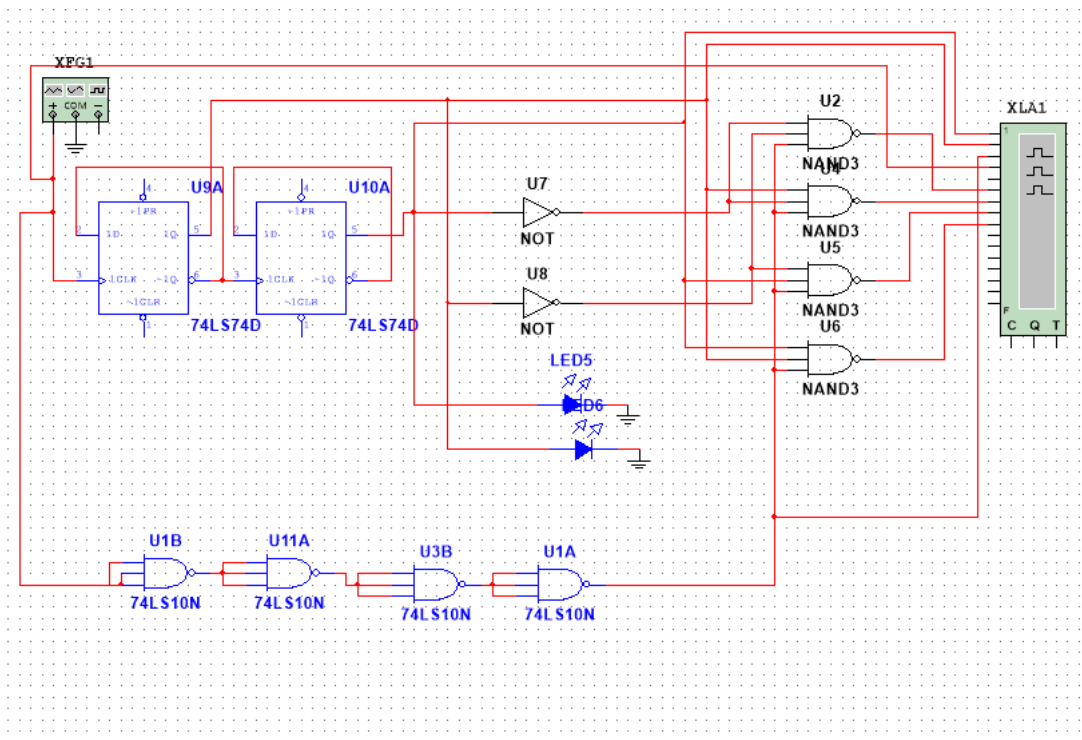


г) опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками.

Время задержки: 9 нс (см. ниже)



д) снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора, задержанный линией задержки логических элементов (повторителей и инверторов);

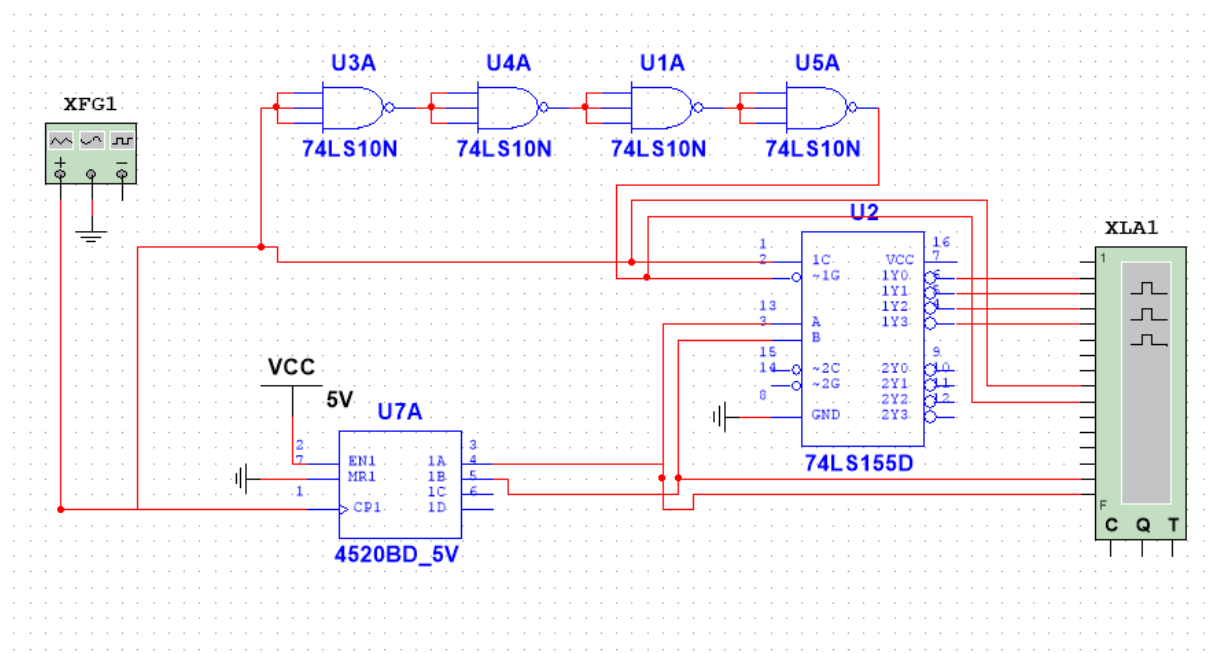


е) опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками: ~60 нс.

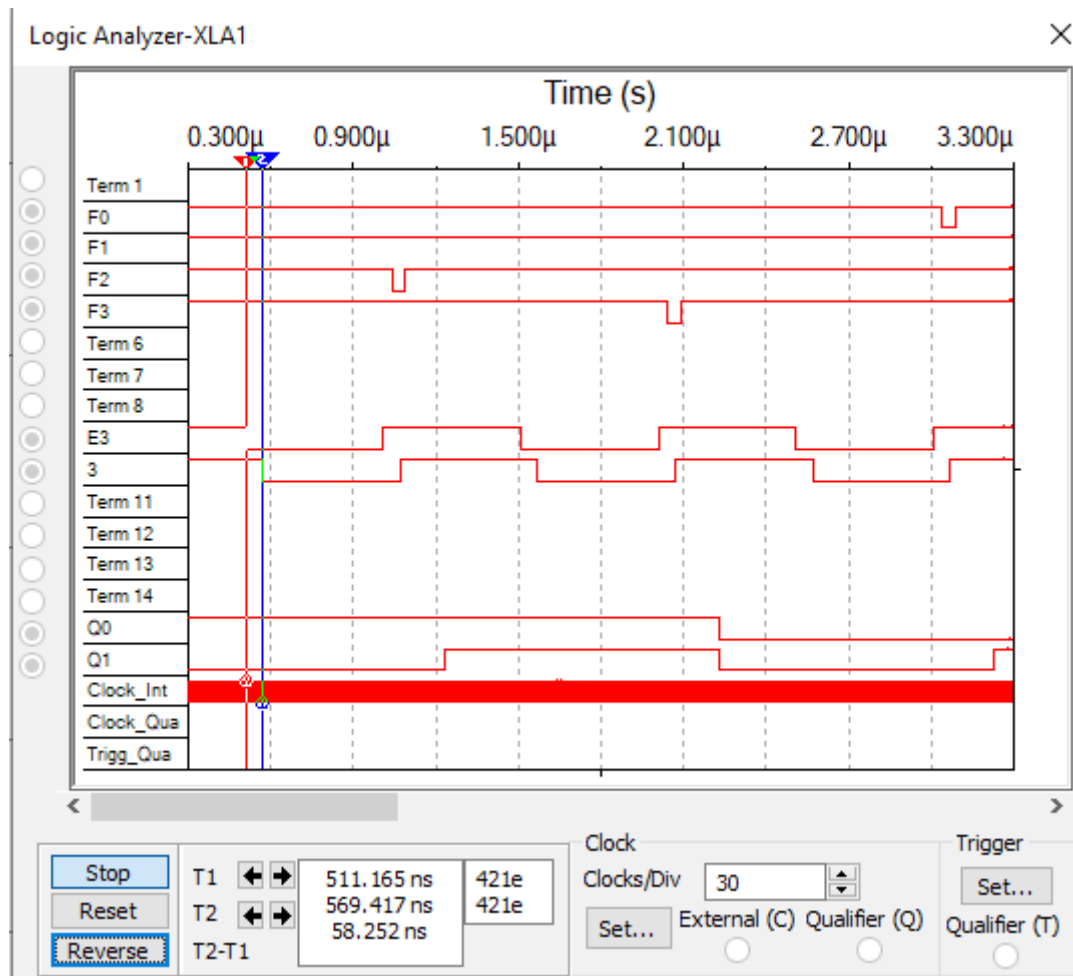
Вывод: линейный дешифратор строится в соответствии с системой, представленной в предыдущем вопросе, и представляет собой 2^n конъюнкторов или логических элементов ИЛИ-НЕ с n - входами каждый при отсутствии стробирования и с $(n+1)$ входами - при его наличии.

2. Исследование дешифраторов ИС К155ИД4 (74LS155)

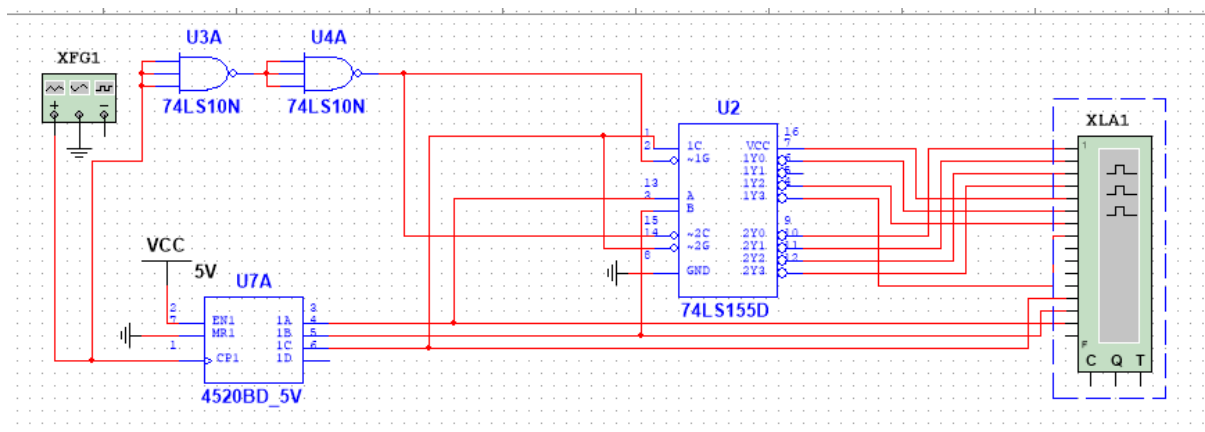
а) снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы Q_0 и Q_1 выходов счетчика, а на стробирующие входы E_3 и E_4 – импульсы генератора, задержанные линией задержки;



б) определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора: время задержки равно 58 нс.



в) собрать схему трехвходового дешифратора на основе дешифратора К155ИД4, задавая входные сигналы A0, A1, A2 с выходов Q0, Q1, Q2 счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.



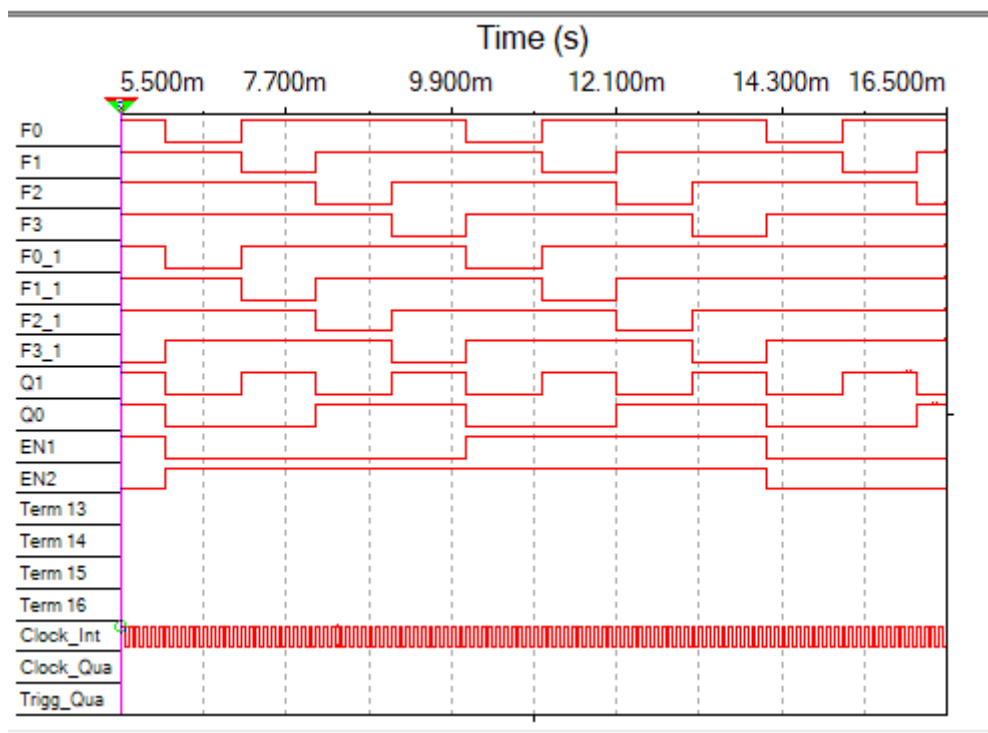
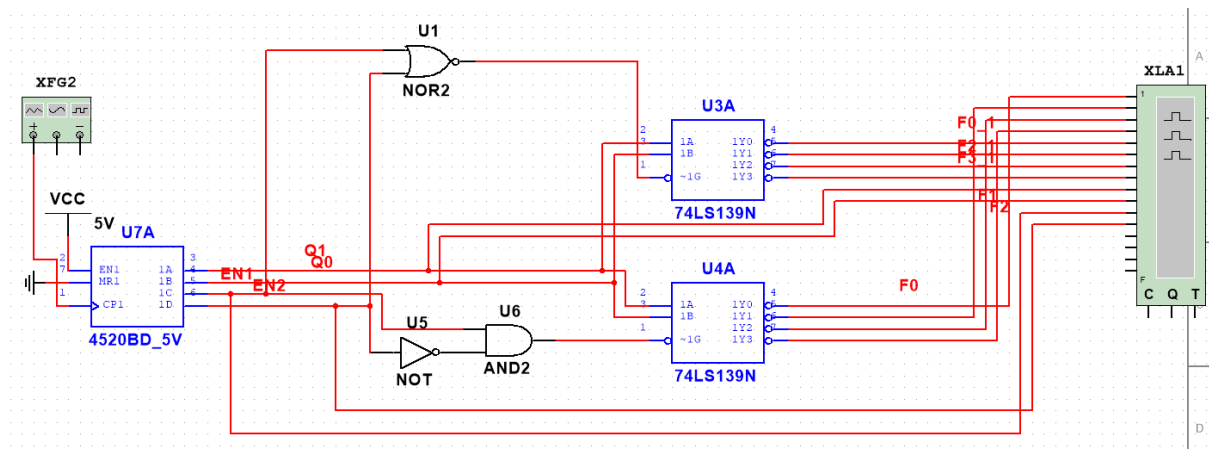
EN	A0	A1	A2	F0	F1	F2	F3
0	?	?	?	1	1	1	1
1	0	0	0	0	1	1	1
1	1	0	0	1	0	1	1
1	0	1	0	1	1	0	1
1	1	1	0	1	1	1	0
?	?	?	1	1	1	1	1

Вывод: ИС К155ИД4 – сдвоенный дешифратор с общими адресными входами 1 и 2. Первый дешифратор имеет прямой EN1 и инверсный EN2 входы разрешения, второй – два инверсных входа EN3 и EN4.

3. Исследование дешифраторов ИС КР531ИД14 (74LS139)

Задание: Исследование дешифраторов ИС КР531ИД14 (74LS139) аналогично п.2. ИС 74LS139 содержит два дешифратора DC 2-4 (U1A и U1B, см. рис. ниже) с отдельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции $\sim(EN1) \& \sim(EN2)$, ЛЭ при наборе 00 входных сигналов должен

формировать выходной сигнал 0, а на остальных наборах входных сигналов – 1.

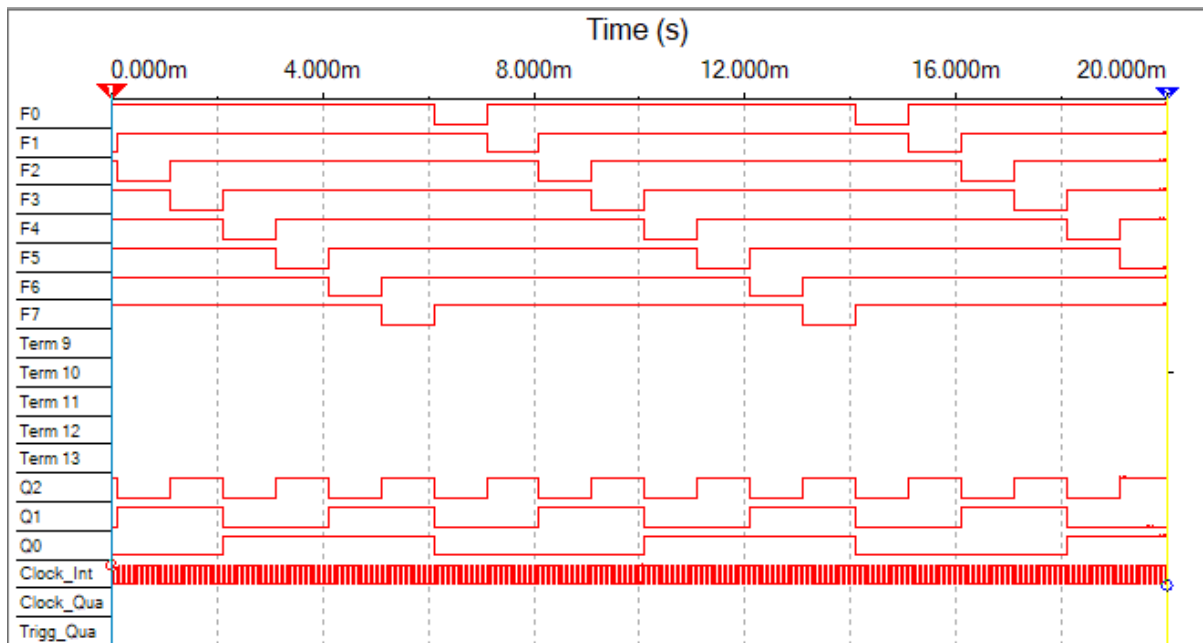
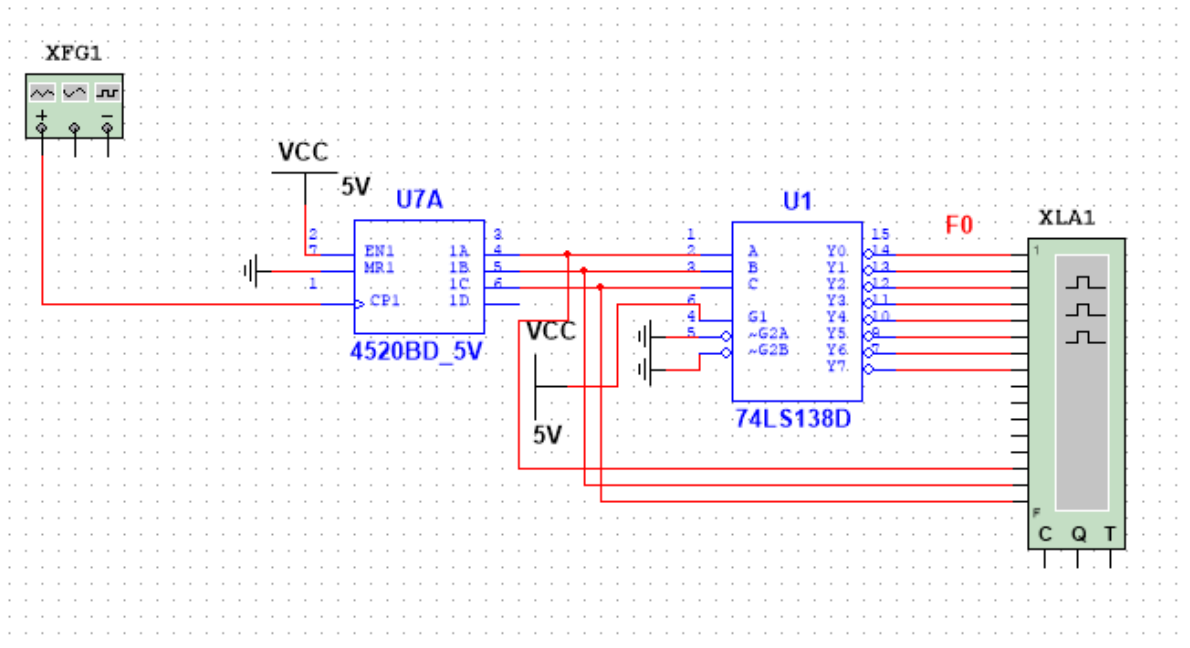


Вывод: ИС КР531ИД14 (74LS139) – сдвоенный дешифратор с раздельными адресными входами и разрешения (EN1, EN2) и даёт на выходе ЛЭ функцию $\sim(EN1) \& \sim(EN2)$.

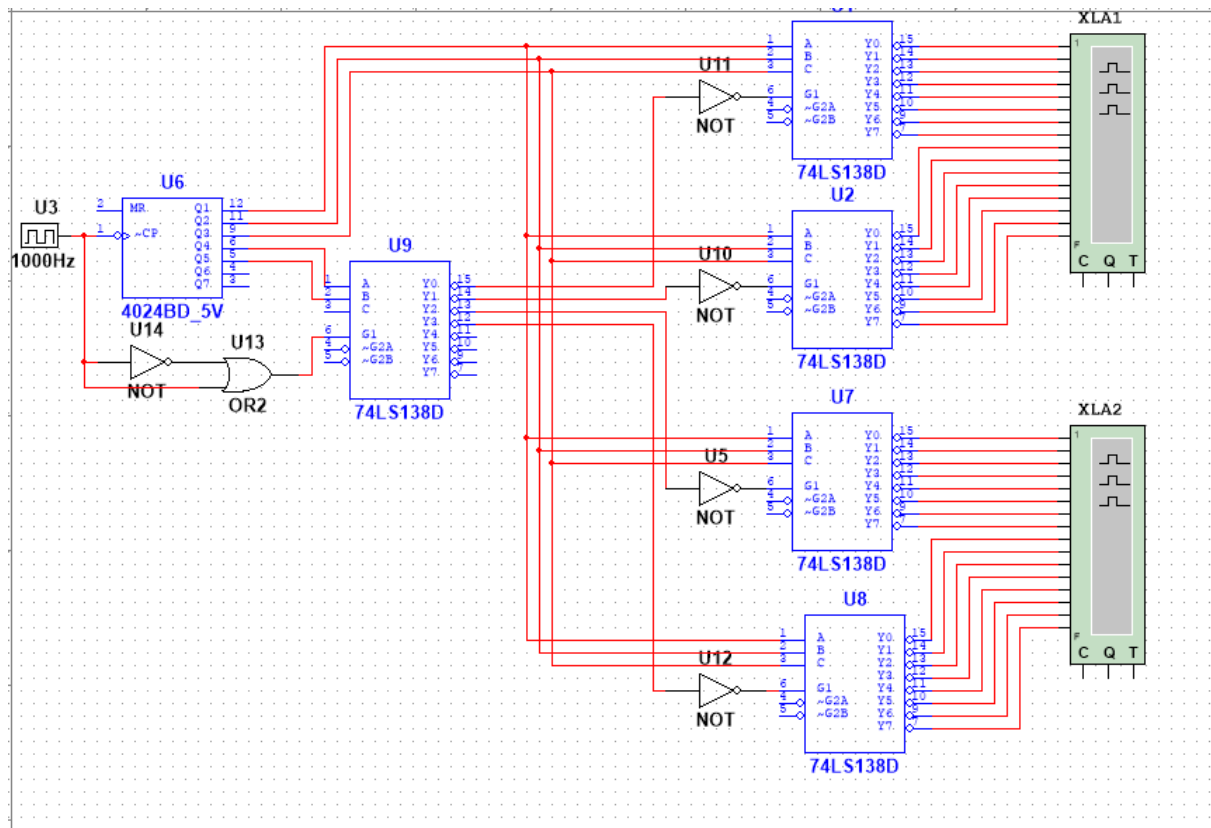
Исследование дешифраторов ИС 533ИД7 (74LS138)

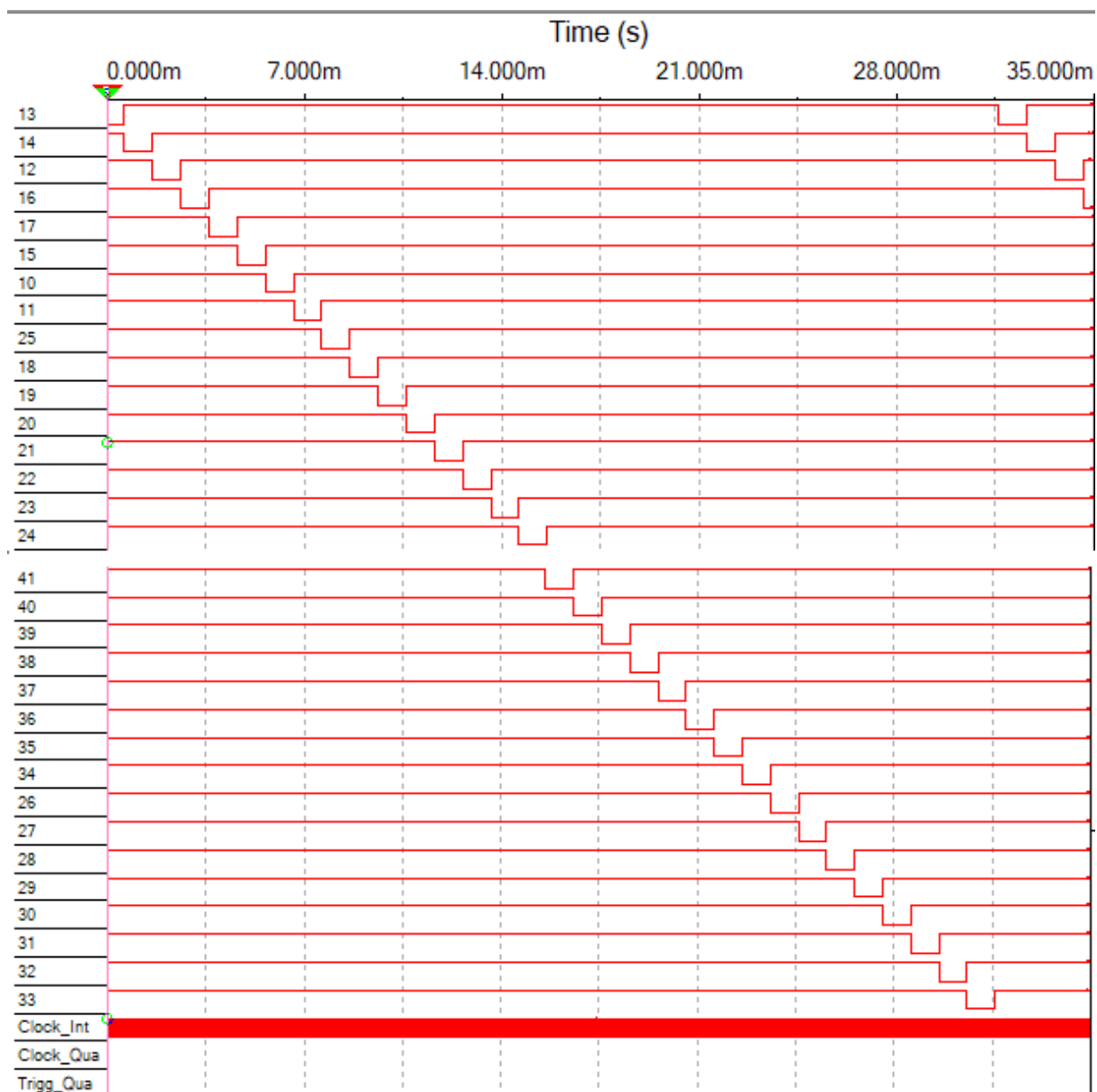
Задание:

а) снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС 53ЗИД7, подавая на его адресные входы 1, 2, 4 сигналы Q0, Q1, Q2 с выходов счетчика, а на входы разрешения E1, E2, E3 – сигналы лог. 1, 0, 0 соответственно;



б) собрать схему дешифратора DC 5-32 согласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы Q0, Q1, Q2, Q3, Q4 с выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора, задержанные линией задержки макета.





Вывод: был исследован дешифратор ИС 533ИД7 (74LS138), снята его временная диаграмма, а также собран дешифратора DC 5-32 согласно методике наращивания числа входов (и сняты временные диаграммы сигналов).

Вывод

Были изучены принципы построения и методы синтеза дешифраторов, произведено моделирование и экспериментальное исследование дешифраторов, линейных и каскадных.

Контрольные вопросы

1. Что называется дешифратором?

Дешифратор – комбинационный узел с n входами и m выходами, преобразующий каждый набор двоичных сигналов в активный сигнал на выходе, соответствующий этому набору.

2. Какой дешифратор называется полным (неполным)?

Дешифратор, имеющий 2^n выходов, называется полным, при меньшем числе выходов – неполным.

3. Определите закон функционирования дешифратора аналитически и таблично.

Функционирование дешифратора $n \times m$ – m определяется таблицей истинности:

Входы							Выходы					
EN	A_{n-1}	A_{n-2}	A_{n-3}	...	A_1	A_0	F_0	F_1	F_2	...	F_{N-2}	F_{N-1}
0	x	x	x	...	x	x	0	0	0	...	0	0
1	0	0	0	...	0	0	1	0	0	...	0	0
1	0	0	0	...	0	1	0	1	0	...	0	0
1	0	0	0	...	1	0	0	0	1	...	0	0
.
.
.
1	1	1	1	...	1	0	0	0	0	...	1	0
1	1	1	1	...	0	1	0	0	0	...	0	1

4. Поясните основные способы построения дешифраторов.

Линейный дешифратор строится в соответствии с системой, представленной в предыдущем вопросе, и представляет собой 2^n конъюнкторов или логических элементов ИЛИ-НЕ с n -входами каждый при отсутствии стробирования и с $(n+1)$ входами - при его наличии. Пирамидальный дешифратор строится на основе последовательной (каскадной) реализации выходных функций. На первом этапе реализуются конъюнкции двух переменных. На втором – все конъюнкции трех переменных путем логического умножения каждой ранее полученной конъюнкции двух переменных на

переменную.. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкции, чем на предыдущем. Пирамидальные дешифраторы независимо от числа их входов строятся на основе только двухвходовых конъюнкторов.

5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками?

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки (состязания), приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками). На рис. 1 показан вход разрешения EN. Стробирующий сигнал на этом входе не должен быть активным во время переходных процессов в дешифраторе.

6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?

Пусть для построения сложного дешифратора DC n - N используются простые дешифраторы DC n_1 - N_1 , причем $n_1 \ll n$, следовательно и $N_1 \ll N$.

1. Число каскадов равно $K = n/n_1$. Если K – целое число, то во всех каскадах используются полные дешифраторы DC n_1 - N_1 . Если K – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор DC n_1 - N_1 . 2. Количество простых дешифраторов DC n_1 - N_1 в выходном каскаде равно N/N_1 , в предвыходном - N/N_1^2 , в предпредвыходном - N/N_1^3 и т.д.; во входном каскаде - N/N_1^K . Если N/N_1^K – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор. 3. В выходном каскаде дешифрируются n_1 младших разрядов адреса сложного дешифратора, в предвыходном – следующие n_1 младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому n_1 младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие n_1 младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора. 4. Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и т.д.

