

# Übung 6

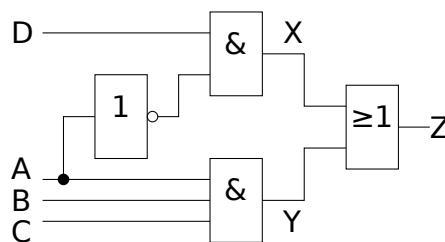
Besprechung: 05.11.2020

Abgabe: 12.11.2020

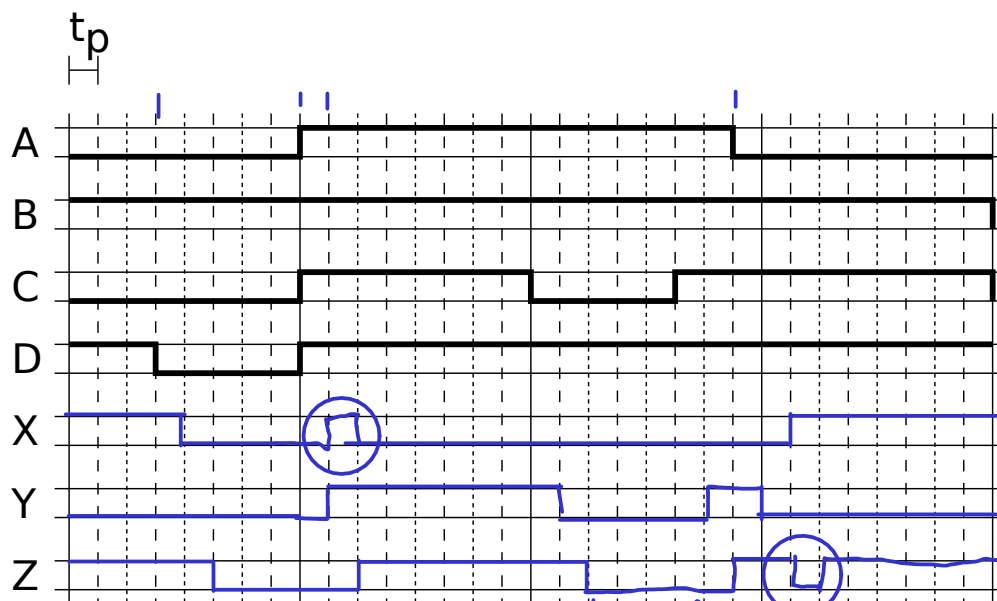
## Aufgabe 1:

### Hazards

Untersuchen Sie folgende Schaltung bezüglich ihres Zeitverhaltens. Beachten Sie, dass jedes Gatter eine Verzögerungszeit  $t_p$  hat.



a) Vervollständigen Sie das folgende Zeitdiagramm. Was fällt Ihnen dabei auf?

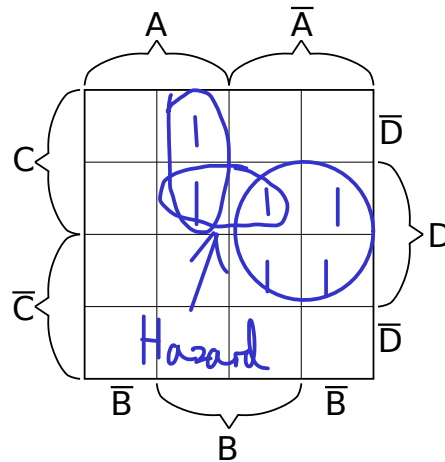


b) Erstellen Sie die disjunktive Normalform.

$$(D \wedge \bar{A}) \vee (A \wedge B \wedge C)$$

Hazards which could disrupt desired functionality

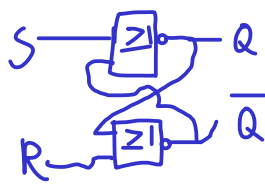
- c) Erstellen Sie das Karnaugh-Diagramm der disjunktiven Normalform. Was ist das Besondere?



- d) Wie lässt sich das in a) erkannte Problem verhindern? Wie muss dann das Schaltbild verändert werden?

$$(A \wedge C \wedge B) \vee (D \wedge \bar{A}) \vee (C \wedge B \wedge D)$$

Extra AND gate to eliminate hazard.



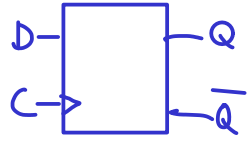
## Aufgabe 2:

Charakteristische Gleichungen von Flipflops

a) SR-Flipflop:

$$Q_{n+1} = S \vee (\overline{Q_n} \vee R) \wedge C$$

Zeichnen Sie das Schaltsymbol auf und geben Sie die charakteristische Gleichung an.



b) D-Flipflop:

Zeichnen Sie das Schaltsymbol auf und geben Sie die charakteristische Gleichung an.

$$Q_{n+1} = D \vee (Q_n \vee \overline{D}) \wedge C$$

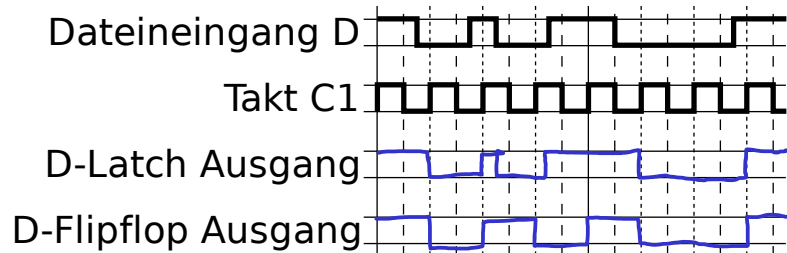
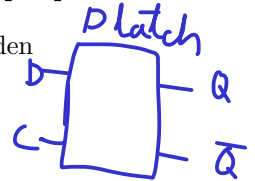
## Aufgabe 3:

Latch/Flipflop

a) Erklären Sie den Unterschied zwischen einem "Latch" und einem "Flipflop". Verwenden Sie dabei die Begriffe "zustandsgesteuert" und "flankengesteuert".

b) Geben Sie die Schaltsymbole für das D-Latch und das D-Flipflop an.

c) Tragen Sie im untenstehenden Diagramm die Signalverläufe für den Latch- und den Flipflop-Ausgang ein. (Die Verzögerungszeiten sind zu vernachlässigen.)



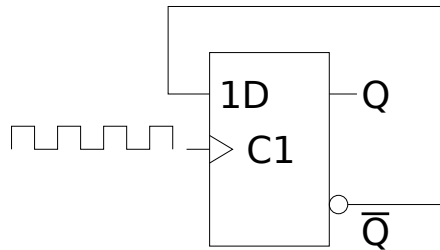
A latch saves the state at any time whilst the clock is high.

A flipflop saves the momentary state as the clock signal rises / falls to prevent allowing voltage spikes through.

## Aufgabe 4:

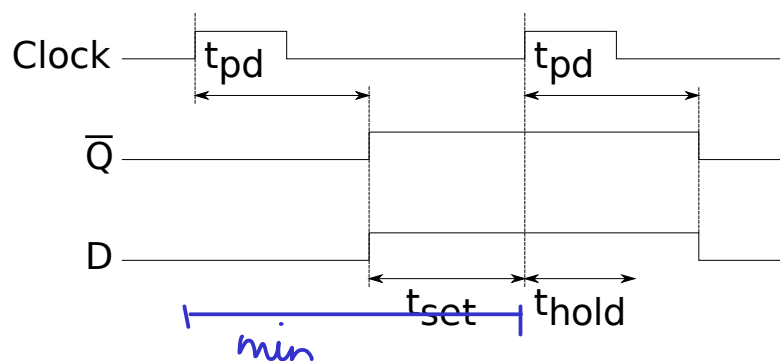
### Timing des D-Flipflops

In dieser Aufgabe untersuchen Sie das Zeitverhalten des flankengesteuerten D-Flipflops.



Das D-Flipflop weist folgende Zeiten auf:

Setup time:	$t_{set}$	=	20ns
Hold time:	$t_{hold}$	=	15ns
Propagation delay:	$t_{pd}$	=	30ns



- a) Auf welcher Flanke ist das Flip-Flop aktiv? *Rising Flanke*
- b) Berechnen Sie die maximale Frequenz, mit welcher die Schaltung noch korrekt funktioniert.

$$\frac{1}{5 \times 10^{-8}} = 20 \text{ MHz}$$

## Aufgabe 5:

### Latches

Das Latch in Abbildung 1 ist aus zwei NAND-Gattern aufgebaut. Es soll überprüft werden, ob es die gleiche Funktionalität vorweist wie das bereits in der Vorlesung besprochene NOR-Latch.

Beide NAND-Gatter weisen eine Verzögerungszeit  $t_{pHL/LH}$  von 5ns auf, Rise- und Fallzeiten sind zu vernachlässigen.

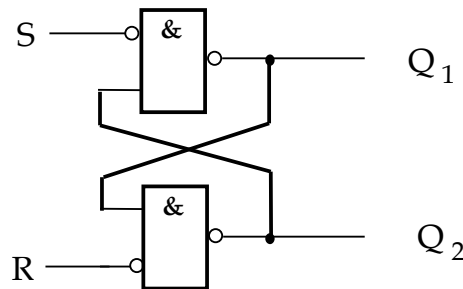
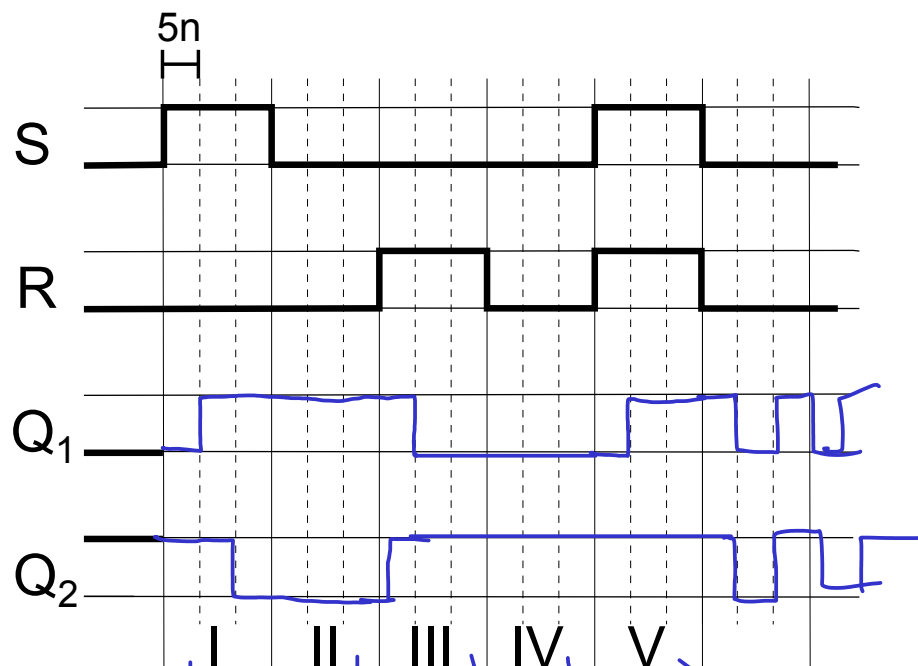


Abbildung 1: NAND-SR-Latch

- a) Vervollständigen Sie das Zeitdiagramm für die Schaltung in Abbildung 1:



- b) Beschreiben Sie die Funktion von Abbildung 1.

Handwritten labels for the regions in the timing diagram:

- I: Set
- II: Save
- III: Reset
- IV: Save
- V: Undefined