

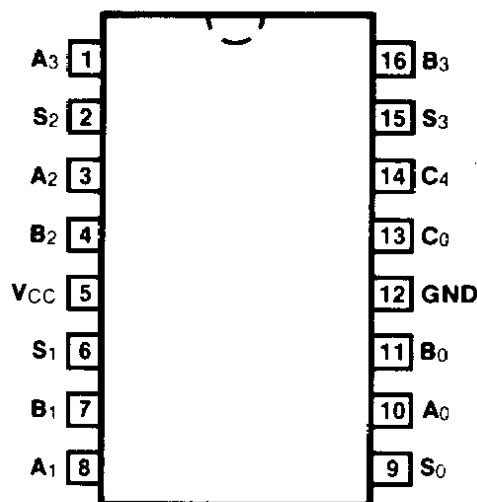
Sumadores

En este documento se describe el funcionamiento del circuito integrado 7483, el cual implementa un sumador binario de 4 bits. Adicionalmente, se muestra la manera de conectarlo con otros dispositivos de manera que se amplíen y complementen sus capacidades.

El sumador binario 7483

El circuito integrado 7483 implementa un sumador binario completo de 2 números de 4 bits. Su configuración es la que se muestra en la figura 1.

Donde:



A3-A0 y **B3-B0** son los dos números a sumar. Siendo A3 y B3 los bits más significativos, mientras que A0 y B0 son los menos significativos.

C0 es el acarreo de entrada.

S3-S0 son las salidas del circuito.

C4 es el acarreo de salida.

En conjunto, **C4:S3:S2:S1:S0** forman el resultado de la operación.

Figura 1. Terminales del circuito integrado 7483.

La operación que realiza este circuito es la que se muestra en la figura 2. Para realizar una suma de dos números utilizando lógica positiva o activo alto, el acarreo de entrada debe tener un valor de 0 lógico. Las conexiones para realizarla se muestran en la figura 3. El circuito de la figura está implementado utilizando el software Quartus II, al igual que los que se muestran en el resto del documento. A partir de los siguientes circuitos, se crean símbolos para facilitar las conexiones y la visualización de los mismos. Los detalles de la creación y edición de símbolos en Quartus II no se presentan en este documento. Además, el etiquetado en Quartus II de las terminales del circuito 7483 difiere un poco de las mostradas en el manual técnico del mismo, sin afectar esto a su funcionamiento.

$$\begin{array}{r} C0 \\ A3\ A2\ A1\ A0 \\ +\ B3\ B2\ B1\ B0 \\ \hline C4\ S3\ S2\ S1\ S0 \end{array}$$

Figura 2. Operación realizada por el circuito 7483.

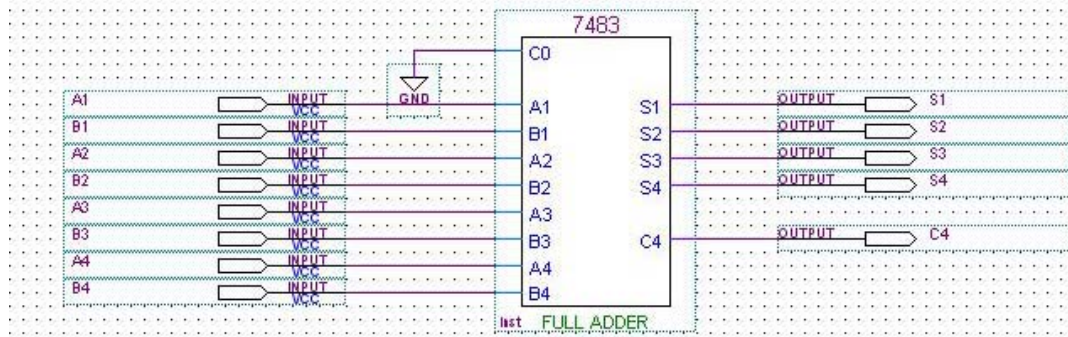


Figura 3. Conexiones recomendadas para el sumador 7483.

Internamente, el sumador está implementado como un circuito combinacional. En otras palabras, no utiliza una señal de reloj que coordine el momento en el que se realiza la operación, por lo que al cambiar cualquiera de los valores de entrada, el resultado se verá afectado de manera casi inmediata. Lo anterior se puede observar en el diagrama de tiempos de la figura 4.

A	4	3	10	1	2	4	9
B	0	6	1	15	0	3	7
Suma	4	10	9	4	11	2	16

Figura 4. Simulación del funcionamiento del sumador 7483.

Sincronizando el funcionamiento del 7483

Si se requiere que la operación de la suma se realice únicamente cuando los dos valores a sumar ya se han introducido al circuito, es necesario agregar un bloque de sincronización al 7483. Se pueden utilizar diversos circuitos síncronos para lograrlo. En este caso, lo ejemplificaremos con el registro 74194. El 74194, al configurarlo en modo de carga paralela, no permite que los datos de entrada se carguen en sus salidas mientras no se proporcione un pulso de reloj. Una propuesta de conexión es la que se muestra en la figura 5.

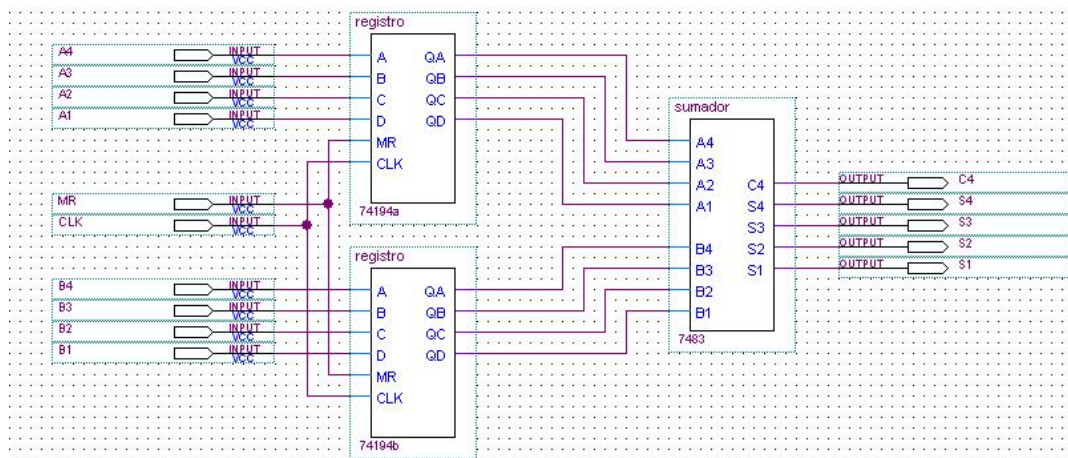


Figura 5. Se agregan registros en las entradas del sumador para sincronizar su operación.

En la figura 5 se utilizan dos símbolos creados a partir de otros circuitos. Se describen a continuación:

- Sumador: Este símbolo comprende el circuito de la figura 3. Sus terminales se agrupan para facilitar la conexión con los otros componentes del circuito.
- Registro: Internamente tiene un registro 74194 configurado en modo de carga paralela. Se deja disponible la terminal de reset (MR) para utilizarla posteriormente.

El comportamiento será ahora distinto al presentado en la sección anterior. En el diagrama de tiempos de la figura 6 se observa que la salida del circuito solamente se modifica al presentarse el pulso de reloj, lo cual se indica en la figura mediante líneas verticales. La terminal de reset se mantiene en un valor de 1 lógico para obtener el comportamiento de carga paralela en los registros.

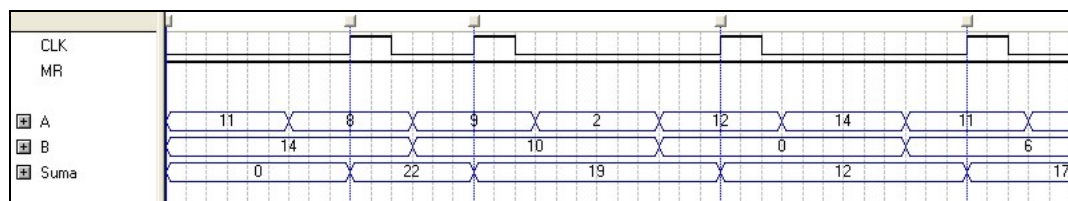


Figura 6. Simulación del sumador sincronizado. El valor de la suma solamente se modifica cuando se presenta un flanco positivo en la entrada de reloj.

Implementando un circuito acumulador

Un acumulador es un sumador que en lugar de sumar dos números proporcionados como entrada, suma un número al resultado anterior. Para construir un acumulador utilizando el 7483, se puede retroalimentar la salida hacia una de sus entradas, tal como se muestra en la figura 7. El símbolo etiquetado como *sumadorRegistros* corresponde al circuito de la figura 5.

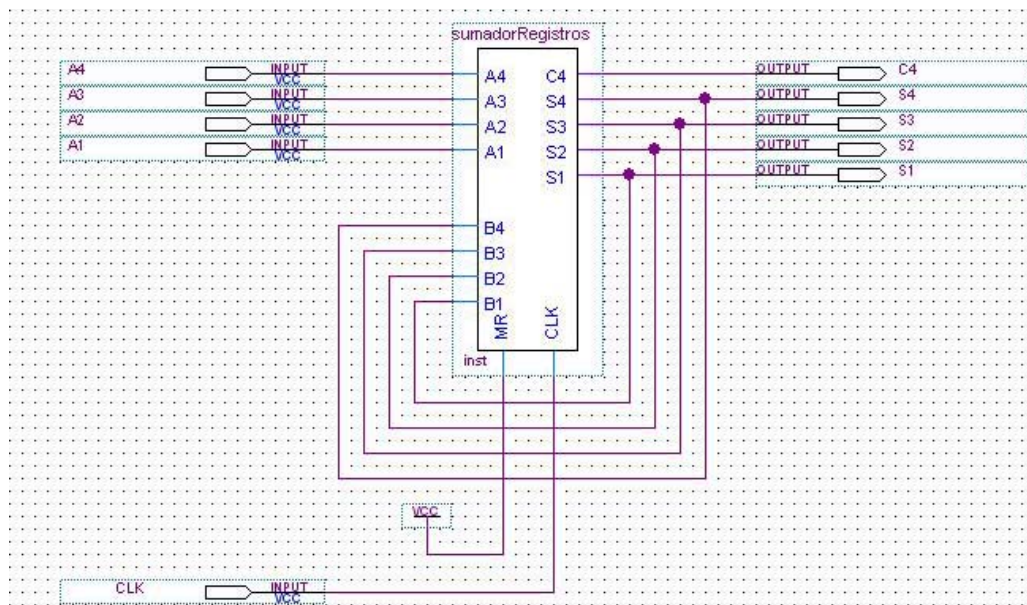


Figura 7. Circuito acumulador implementado a partir de un sumador 7483 y dos registros 74194.

El 7483 entrega un resultado de 5 bits, mientras que sus entradas son únicamente de 4 bits. Para simplificar el diseño, se retroalimentan únicamente los 4 bits menos significativos de la salida, por lo que al obtener un resultado mayor a 15, el número sobre el que se acumula será distinto. Por ejemplo, si el último resultado obtenido es 20 (10100 en binario), el valor retroalimentado será únicamente 4 (0100, que son los 4 bits menos significativos del número. Si queremos acumular el valor 5, el resultado obtenido será 9 y no 25 como sería esperado. Si se quisiera implementar el acumulador sin pérdida de precisión, se pueden conectar sumadores adicionales en cascada utilizando las terminales de acarreo. En el diagrama de tiempos de la figura 8 se muestra el funcionamiento de este circuito.

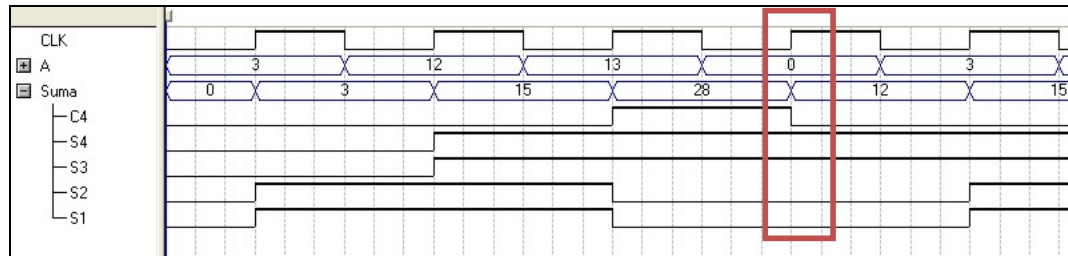


Figura 8. Simulación del circuito acumulador.

El recuadro de la figura 8 resalta una condición en la cual el bit más significativo del resultado (C4) tiene un valor de 1 lógico. En este caso, según se explicó anteriormente, el valor de este bit no es retroalimentado para realizar la acumulación. Por lo tanto, el valor en la entrada A (0) se suma al valor en las terminales S4-S1 (12) y no al resultado completo (28), dando como resultado 12 al activarse la entrada del reloj.

Elaboración de un circuito sumador/acumulador

En este paso, se van a combinar los dos circuitos que se han planteado, para obtener un circuito que pueda realizar tanto la suma de dos números proporcionados como entrada, como la acumulación de un número dado en la entrada al resultado anterior. El problema presenta una selección entre dos posibles operaciones. En otras palabras, se tienen dos orígenes de datos distintos para usar como argumento de la operación, de los cuales se debe seleccionar sólo uno.

Un circuito que nos permite hacer esta selección es el multiplexor. Para el caso específico de este sumador/acumulador, se tienen 2 datos de entrada de 4 bits cada uno:

- al que anteriormente llamamos B, y que es proporcionado por el usuario,
- el resultado de la operación anterior, al que llamaremos C.

Por lo tanto, tenemos dos posibles operaciones:

$$A+B \text{ (sumar) y } A+C \text{ (acumular)}$$

El circuito 74157 nos proporciona 4 multiplexores de 1 bit con 2 entradas y una salida con selector común. Esto nos da la posibilidad de utilizarlo como un multiplexor de 4 bits con 2 entradas y una salida (Figura 9). La entrada GN es un habilitador, que en el símbolo del lado derecho en la figura se encuentra internamente conectado a tierra.

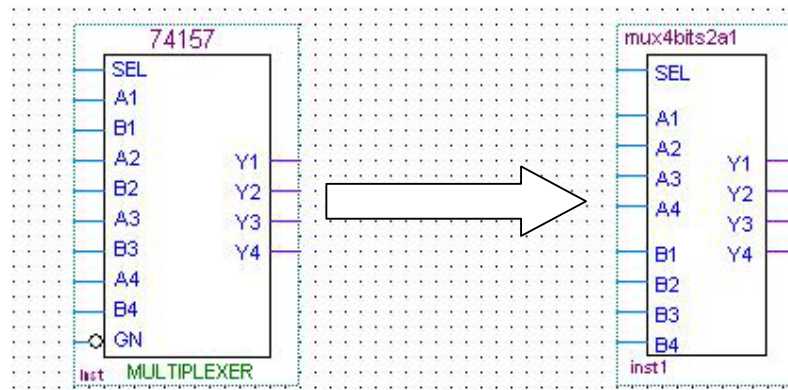


Figura 9. El circuito integrado 74157 puede utilizarse como un multiplexor de dos números de 4 bits.

Al agregar este multiplexor entre la entrada B y el valor retroalimentado del resultado anterior, obtenemos un circuito que puede ser utilizado para sumar 2 números o para acumular un valor al resultado anterior. En la figura 10 se muestra el circuito resultante. Los nombres de las terminales del multiplexor han sido modificados para ajustarse a los utilizados al plantear las operaciones a realizar. De igual manera, el orden de las terminales de salida fue ajustado para realizar la conexión con el sumador de la manera correcta, recordando que los etiquetados con el número 4 corresponden al bit más significativo del dato en cuestión.

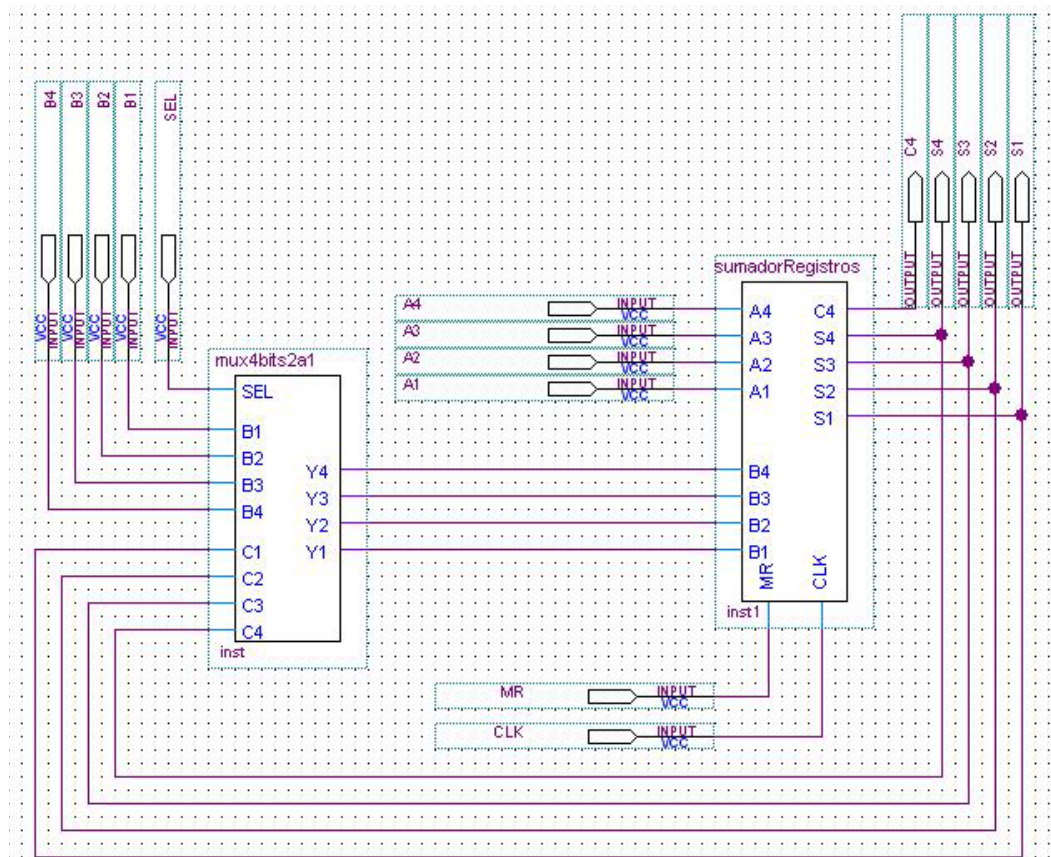


Figura 10. Circuito del sumador/acumulador.

Al colocar un valor de 0 lógico en el selector del multiplexor, se mostrará en su salida el valor de la entrada B. De esta forma, se realiza la operación $A+B$. Si el valor en el selector es un 1 lógico, entonces la operación realizada es $A+C$, que corresponde al funcionamiento como acumulador. Las figuras 11 y 12 muestran la simulación del sumador/acumulador. En ambos casos se resalta el punto en el cual hay una pérdida de precisión al acumular, debido a que solamente se utilizan 4 de los 5 bits del resultado de la suma. En la figura 12 se agrupan los bits de salida de manera que se muestre el valor real sobre el que se está acumulando.

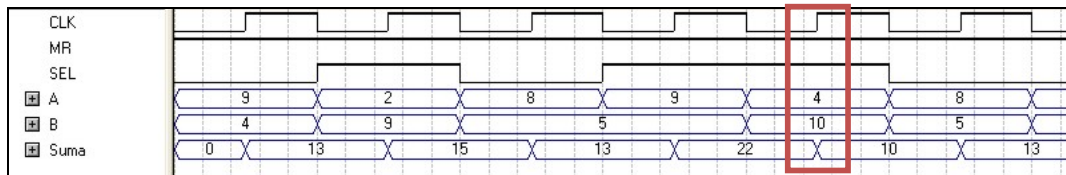


Figura 11. Simulación del sumador/acumulador.

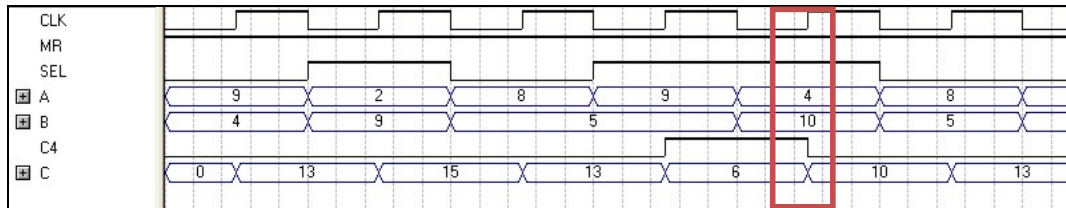


Figura 12. Simulación mostrando el valor que se está acumulando.

Al estar utilizando el registro 74194 en las entradas del sumador, resulta muy sencillo incorporar una señal de reset valiéndonos de la entrada de reset asíncrona de este circuito. En todas las simulaciones anteriores la entrada MR siempre se mantuvo en un valor de 1 lógico. La simulación de la figura 13 muestra el comportamiento del circuito al utilizar la función de reset.



Figura 13. Efectos de la terminal de reset en el funcionamiento del circuito.

Como se puede apreciar en las secciones de la figura que se encuentran resaltadas, la salida del circuito cambia inmediatamente a 0 al colocar un 0 lógico en la terminal MR. Al ser ésta una entrada con funcionamiento asíncrono, no es necesario esperar el cambio en la entrada de reloj para que se realice el cambio en las salidas.