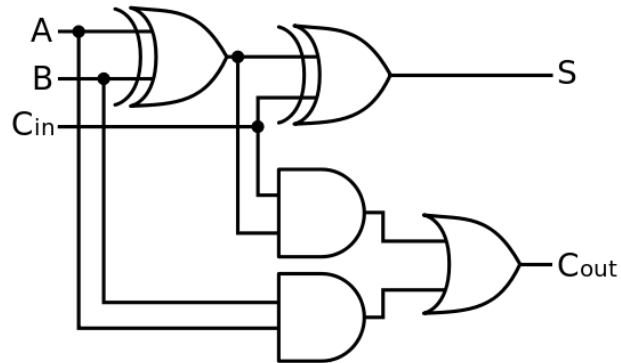
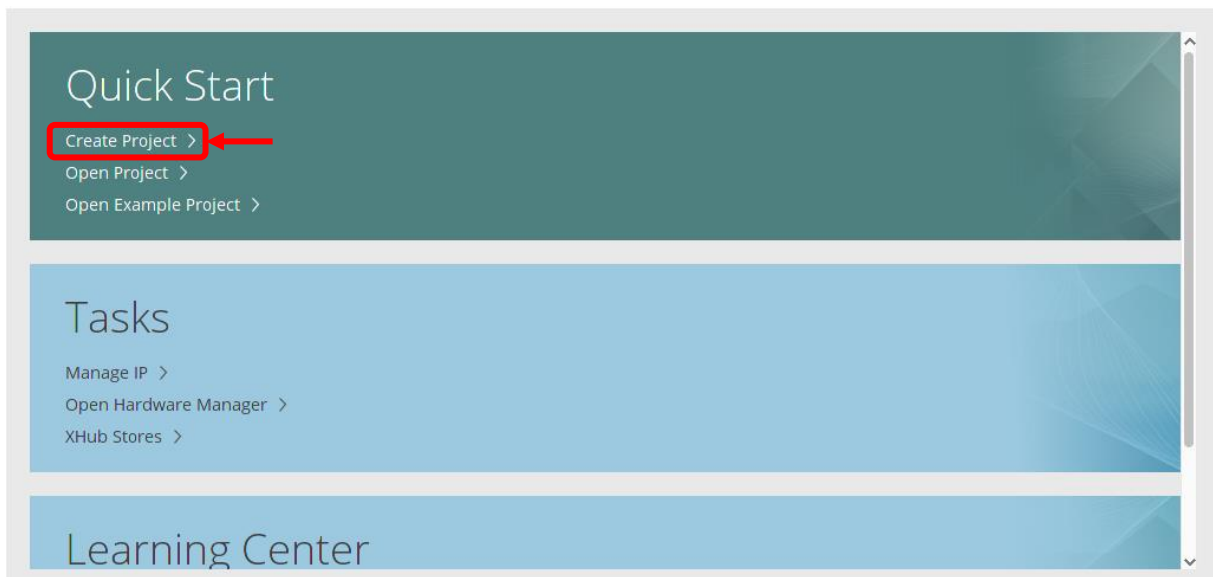


TP1 – Full adder

Pour rappel, l'architecture RTL d'un full adder est la suivante :



1. Ecrivez sous forme d'équation logique le schéma du full adder.
2. Quelles sont les entrées et sorties du full adder ?
3. Complétez le fichier *full_adder.vhd* pour décrire en VHDL le full adder.
4. Ouvrez Vivado et créez un projet



Cliquez sur « Next », nommez votre projet et choisissez son emplacement, puis « Next ».

New Project

Project Name

Enter a name for your project and specify a directory where the project data files will be stored.

Project name: full_adder

Project location: /your/path

☒ Create project subdirectory

Project will be created at: /your/path/full_adder

?

< Back

Next >

Finish

Cancel

Sélectionnez RTL Project, puis « Next »

New Project

Project Type

Specify the type of project to create.

☒ **RTL Project**
You will be able to add sources, create block designs in IP Integrator, generate IP, run RTL analysis, synthesis, implementation, design planning and analysis.
☐ Do not specify sources at this time
☐ Project is an extensible Vitis platform

☐ Post-synthesis Project
You will be able to add sources, view device resources, run design analysis, planning and implementation.
☐ Do not specify sources at this time

☐ I/O Planning Project
Do not specify design sources. You will be able to view part/package resources.

☐ Imported Project
Create a Vivado project from a Synplify, XST or ISE Project File.

☐ Example Project
Create a new Vivado project from a predefined template.

?

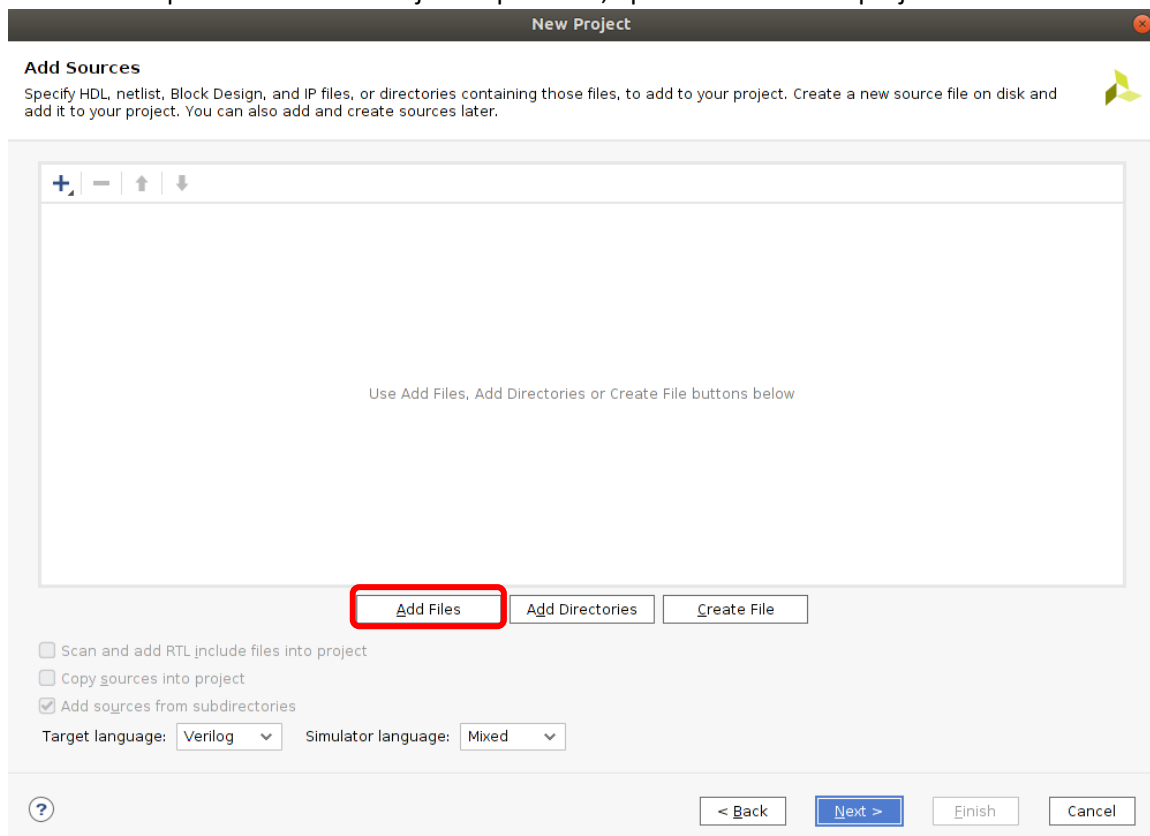
< Back

Next >

Finish

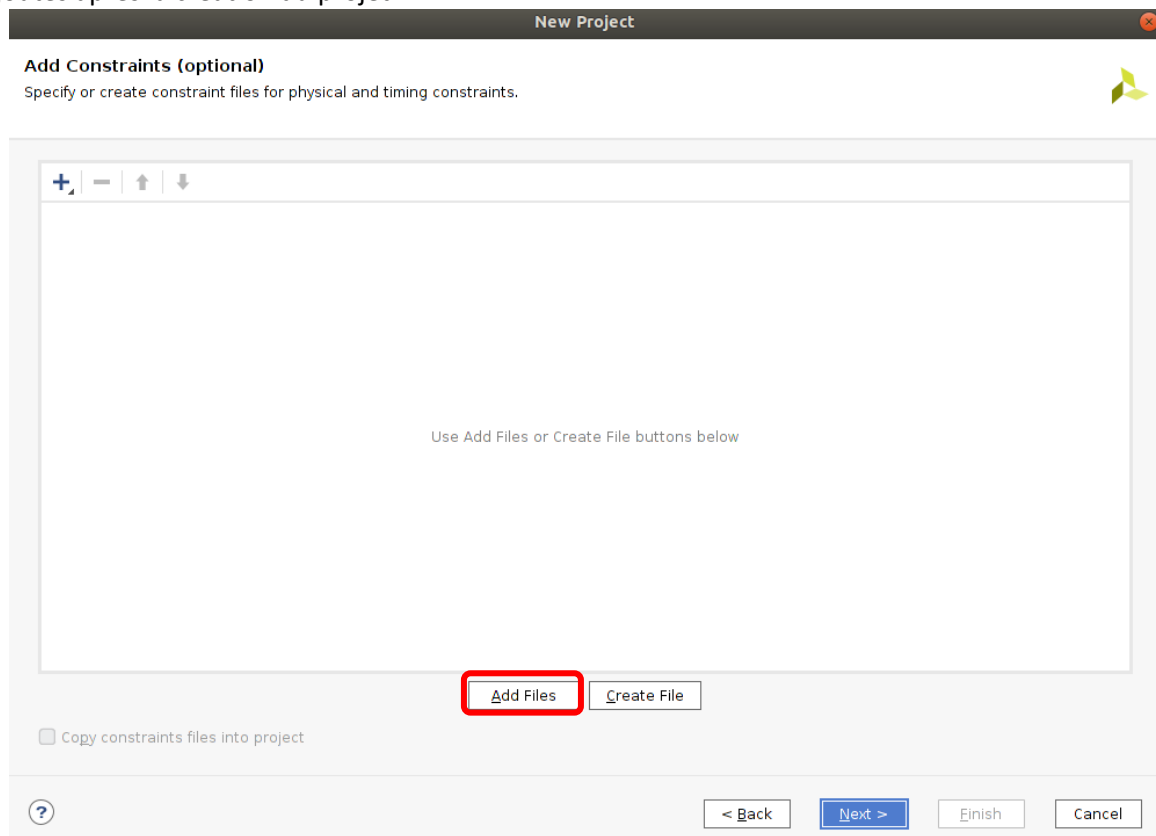
Cancel

Cliquez sur « Add Files » pour ajouter vos fichiers sources, ajoutez votre fichier *full_adder.vhd*. Les fichiers sources pourront aussi être ajoutés plus tard, après la création du projet.



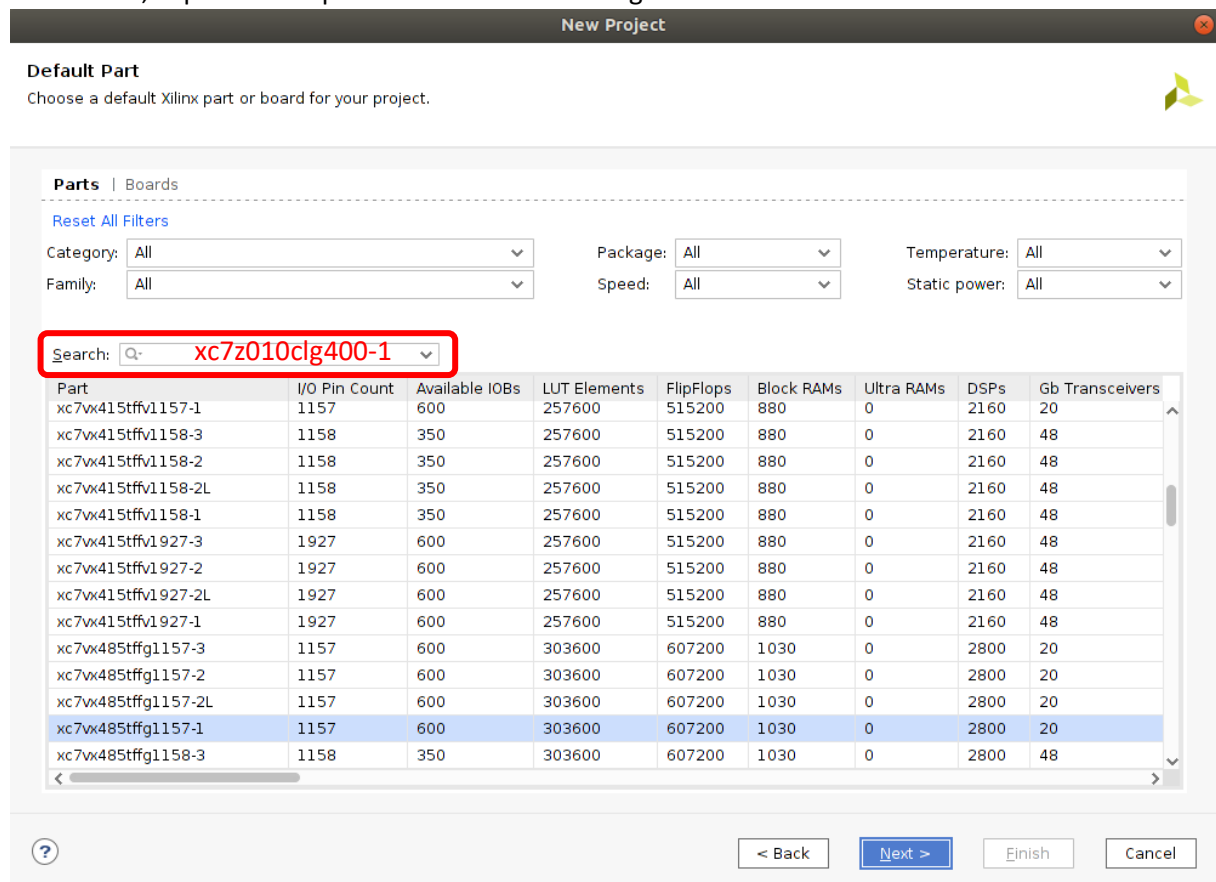
The screenshot shows the 'New Project' dialog box with the 'Add Sources' step selected. The title bar reads 'New Project'. Below the title bar, the text 'Add Sources' is followed by instructions: 'Specify HDL, netlist, Block Design, and IP files, or directories containing those files, to add to your project. Create a new source file on disk and add it to your project. You can also add and create sources later.' To the right of this text is a small green logo. Below the instructions is a large empty rectangular area. At the bottom of this area, the text 'Use Add Files, Add Directories or Create File buttons below' is displayed. Below this area are three buttons: 'Add Files' (highlighted with a red rectangle), 'Add Directories', and 'Create File'. Below these buttons are three checkboxes: 'Scan and add RTL include files into project' (unchecked), 'Copy sources into project' (unchecked), and 'Add sources from subdirectories' (checked). Below the checkboxes are two dropdown menus: 'Target language:' set to 'Verilog' and 'Simulator language:' set to 'Mixed'. At the bottom of the dialog are four buttons: a help button with a question mark, '< Back', 'Next >' (highlighted in blue), 'Finish', and 'Cancel'.

Ajoutez le fichier de contrainte Cora-Z7-10-Master.xdc. Les fichiers de contraintes peuvent aussi être ajoutés après la création du projet.



The screenshot shows the 'New Project' dialog box with the 'Add Constraints (optional)' step selected. The title bar reads 'New Project'. Below the title bar, the text 'Add Constraints (optional)' is followed by instructions: 'Specify or create constraint files for physical and timing constraints.' To the right of this text is a small green logo. Below the instructions is a large empty rectangular area. At the bottom of this area, the text 'Use Add Files or Create File buttons below' is displayed. Below this area are two buttons: 'Add Files' (highlighted with a red rectangle) and 'Create File'. Below these buttons is a checkbox: 'Copy constraints files into project' (unchecked). At the bottom of the dialog are four buttons: a help button with a question mark, '< Back', 'Next >' (highlighted in blue), 'Finish', and 'Cancel'.

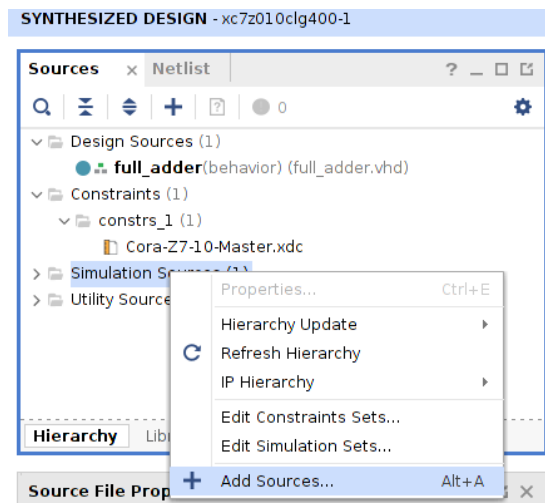
Sélectionnez la carte que vous allez utiliser pour ce projet. Vous avez à votre disposition une carte Cora-Z7-10, la puce correspondante est la xc7z010clg400-1.



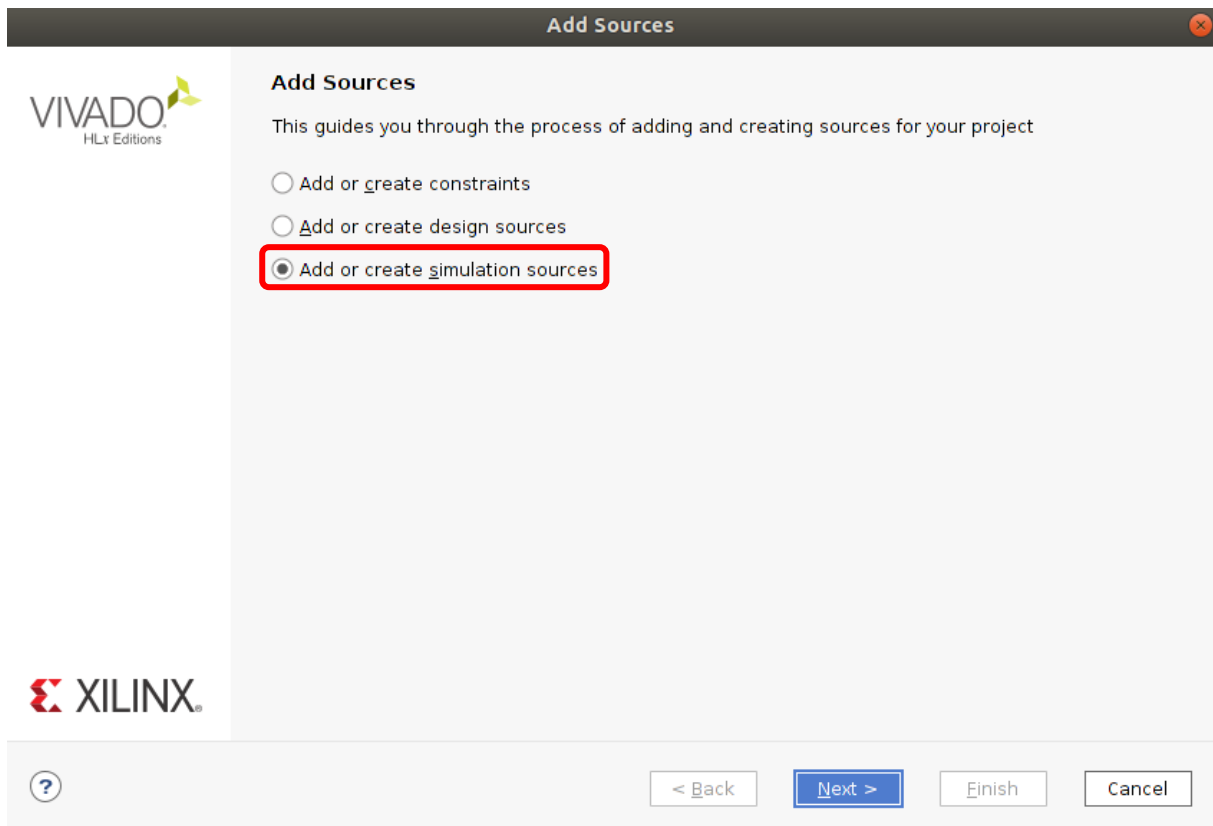
Cliquez sur « Finish » pour terminer la configuration du projet.

5. Complétez les commentaires dans le fichier de testbench *testbench_full_adder.vhd*.

6. Sur Vivado, dans l'onglet « Sources », faites un clic droit sur « Simulation Sources » puis « Add Sources ».



Sélectionnez « Add or create simulation sources », puis « Next ».



Add Sources

This guides you through the process of adding and creating sources for your project

☐ Add or create constraints

☐ Add or create design sources

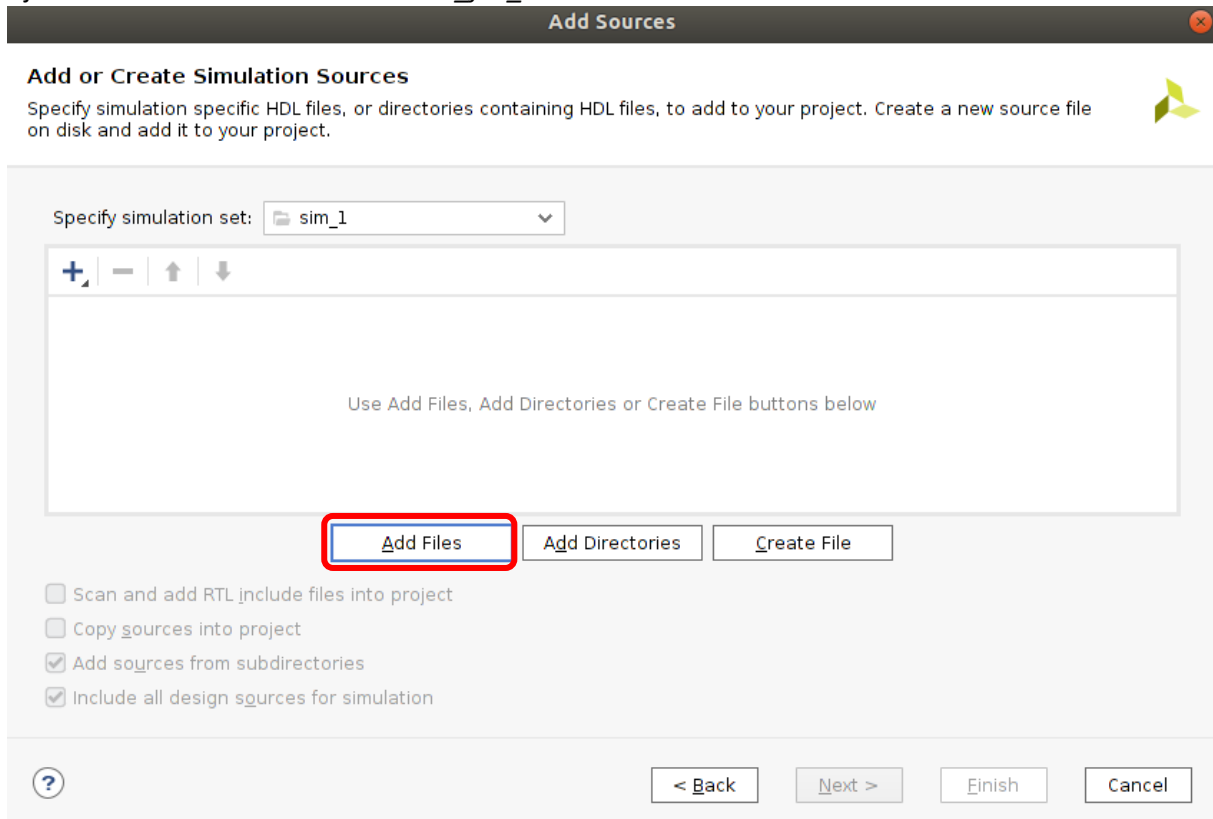
☒ Add or create simulation sources

VIVADO
HLS Editions

XILINX

? < Back Next > Finish Cancel

Ajoutez le fichier testbench *testbench_full_adder.vhd*.



Add or Create Simulation Sources

Specify simulation specific HDL files, or directories containing HDL files, to add to your project. Create a new source file on disk and add it to your project.

Specify simulation set: sim_1

+ - ↑ ↓

Use Add Files, Add Directories or Create File buttons below

Add Files Add Directories Create File

☐ Scan and add RTL include files into project

☐ Copy sources into project

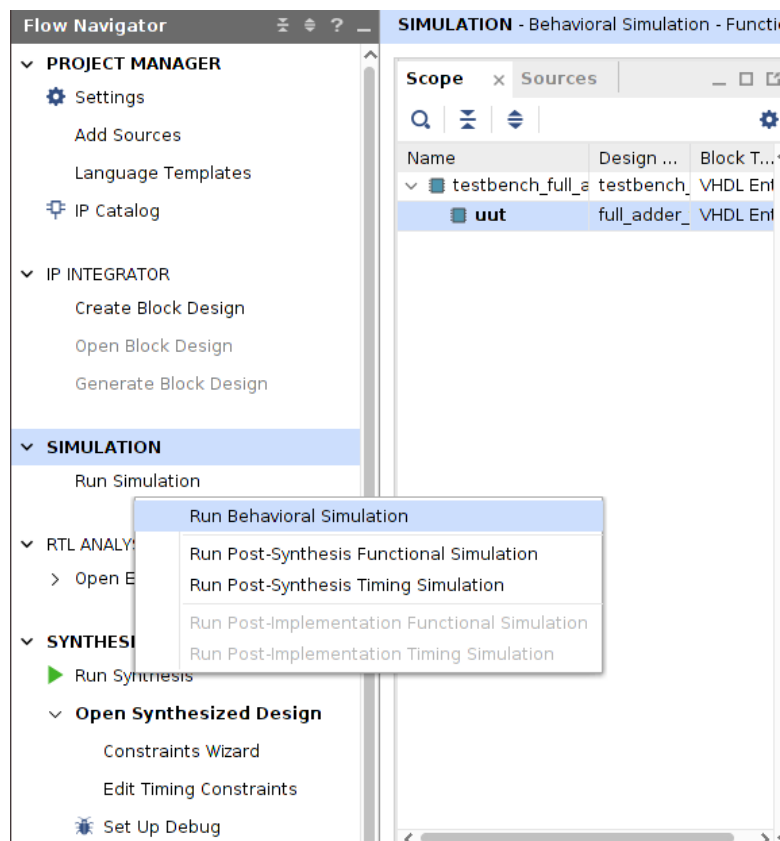
☒ Add sources from subdirectories

☒ Include all design sources for simulation

? < Back Next > Finish Cancel

Cliquez sur « Finish »

7. Dans l'onglet « Flow Navigator », cliquez sur « Run Behavioral Simulation ».



Sur le chronogramme, à l'aide du curseur vérifiez que les valeurs des sorties correspondent aux attentes que vous avez déterminé précédemment.

8. Modifiez le testbench pour ajouter des tests automatiques.

9. Dans l'onglet « Flow Navigator », cliquez « Run Synthesis » pour exécuter une synthèse de votre architecture.

10. Déroulez le menu « Synthesis » et cliquez sur « Schematic » pour ouvrir la schématique. Où sont les portes logiques de l'architecture ? Vous pouvez mettre en surbrillance les fils en cliquant dessus pour mieux suivre leur chemin.