

TP4 – Pilotage de LED et mémoire

Partie 2

Rendu

Votre rapport devra contenir :

- Vos schéma RTL
- Vos résultats de simulation avec vos chronogrammes commentés
- Vos résultats de synthèse (analyse de vos ressources)
- Vos résultats de STA (analyse du rapport de timing)
- Une démonstration de votre design

Vous fournirez également vos codes source commentés.

Objectif

L'objectif de cette partie est de réaliser un design permettant de faire clignoter une LED RGB avec une séquence de couleurs entrées à l'aide des boutons. Dans cette partie, vous utiliserez le module `LED_driver` de la partie 1 et vous ajouterez l'utilisation d'un composant mémoire : la FIFO.

Questions

1. Sur l'architecture RTL, modifiez le module `LED_driver` en ajoutant une sortie `end_cycle`. Cette sortie vaudra 1 à la fin d'un cycle allumé/éteint de la LED RGB.

2. Modifiez la logique en entrée du module pour ajouter une FIFO. Cette FIFO doit prendre en entrée le code couleur « vert » ou « bleu » suivant l'état du bouton_1 et est connectée en sortie à l'entrée `color_code` du module `LED_driver`. La donnée est écrite dans la FIFO lorsqu'il y a un front montant du bouton_0. La donnée de la FIFO est lue lorsque le signal `end_cycle` du module `LED_driver` vaut 1.

Pour ajouter une FIFO, ouvrez le catalog d'IP de Vivado (onglet *Project Manager* -> *IP Catalog*) et recherchez l'IP qui vous semble la plus pertinente. Les documentations des IPs de Xilinx sont disponibles en ligne, cela peut faciliter vos recherches.

Une fois que vous avez choisi une IP dans le catalogue, double cliquez dessus et choisissez les paramètres. Cliquez ensuite sur *OK*. Pour vous aider pour l'implémentation de cette IP, vous pouvez ouvrir un design d'exemple. Pour cela, faites un clic droit sur l'IP dans l'onglet *Sources*, puis *Open IP Example Design*.

3. Modifiez vos codes de la partie 1 pour y ajouter les nouveaux éléments de votre architecture.
4. Mettez à jour le testbench et réalisez une simulation pour vérifier votre design.
5. Réalisez une synthèse et étudiez le rapport de synthèse, les ressources utilisées doivent correspondre à votre schéma RTL.
6. Effectuez le placement routage et étudiez les rapports.
7. Générez le bitstream et vérifiez que vous avez le comportement attendu sur carte.