Санкт-Петербургский Национальный Исследовательский Университет

Информационных Технологий, Механики и Оптики

Факультет ПИиКТ

Лабораторная работа 2

по дисциплине

«Функциональная схемотехника»

Вариант 3

Выполнил: студент группы Р33111

Киселёв Сергей Владимирович

г. Санкт-Петербург

2021 г.

**Задание**

1. Разработайте и опишите на Verlog HDL схему, вычисляющую значение функции **.**
2. Определите область допустимых значений функции.
3. Разработайте тестовое окружение для разработанной схемы. Тестовое окружение должно проверять работу схему не менее, чем на 10 различных тестовых векторах.
4. Проведите моделирование работы схемы и пределите время вычисления результата. Схема должна тактироваться с частотой 100 МГц.
5. Составьте отчет по результатам выполнения работы.

**Git**

https://github.com/kamikadze328/Circuit-Design/tree/main/lab1

**Выводы**

Я научился описывать арфиметические блоки на RTL-уровне с использованием языка описания аппаратуры Verilog HDL.