

**Sprawozdanie z Laboratorium**  
**Modułowe systemy cyfrowe**

Wykonujący ćwiczenie: Kamil Kubajewski, Bartosz Orłowski, Jakub Matusiewicz

Studia dzienne I stopnia  
Kierunek: Informatyka  
Semestr: II

Grupa zajęciowa: LAb 8

Prowadzący ćwiczenie: ...

.....  
OCENA

Data wykonania ćwiczenia  
15 października 2025 r.

.....  
Data i podpis prowadzącego

Wydział Informatyki Politechniki Białostockiej Przedmiot: Modułowe systemy cyfrowe	Data: 15.10.2025
Zajęcia nr 2 Temat: Parametry statyczne i dynamiczne bramek oraz przerzutników  Grupa: Lab 8 Imię i nazwisko: Kamil Kubajewski, Bartosz Orłowski, Jakub Matusiewicz	Prowadzący: ...

## 1 Cel ćwiczeń

Zapoznanie z podstawowymi parametrami wybranych układów cyfrowych TTL, konkretnie z przerzutnikami **D**, **T**, **RS** oraz **JK**.

## 2 Podstawa teoretyczna

Na zajęciach będziemy zajmować się bramkami logicznymi i przerzutnikami, które stanowią elementy elektroniki cyfrowej. Bramki logiczne odpowiadają za operacje logiczne, natomiast przerzutniki umożliwiają przechowywanie i przełączanie stanów logicznych w odpowiedzi na sygnały zegarowe.

### 2.1 Bramki TTL

Bramki logiczne TTL (Transistor Transistor Logic) stanowią rezultat ewolucji oraz doskonalenia bipolarnych technologii przewodnikowych. Pierwsza bramka TTL powstała dzięki pracy Jamesa L. Buie'a z TRW Inc. w 1961 roku, a już w 1963 roku trafiły one do sprzedaży za pomocy firmy Sylvania, które były początkowo wykorzystywane do celów militarnych[1, 2].

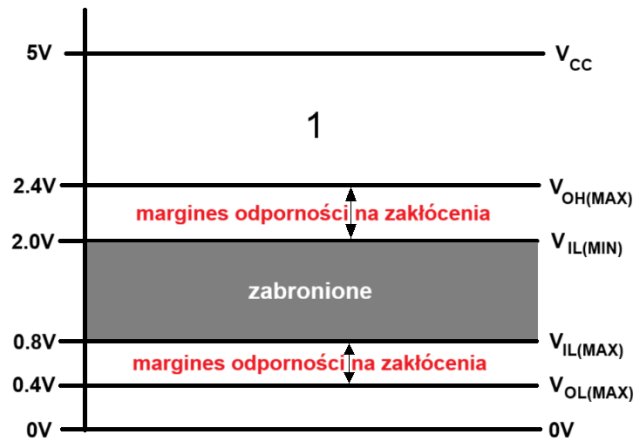
Największa popularność zyskały wśród projektantów urządzeń elektronicznych TTL w amerykańskim przedsiębiorstwie Texas Instruments. To oni są odpowiedzialni za rodzinę układów 7400 wprowadzoną w 1964 roku do masowej produkcji cyfrowych układów scalonych i jest ona wykorzystywana do dzisiaj[1, 2, 3].

Układy typu TTL zbudowane są z tranzystorów bipolarnych i są one zasilane napięciem stałym 5V. Działają one w logice dodatniej, czyli stan niski (logiczne "0"), czyli 0V oraz stan wysoki (logiczne "1") odpowiadające 5V. W rzeczywistych warunkach napięcia te mogą jednak odbiegać od wartości idealnych z powodu niedoskonałości elementów i ograniczeń technologicznych[1, 2, 3].

Bramki konstruowane są w taki sposób, aby stan logiczny na wyjściu posiadał

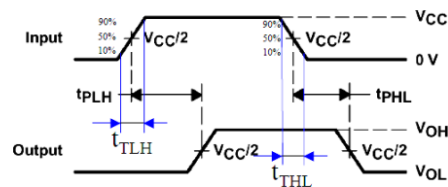
pewien zapas w stosunku do wymaganych napięć na wejściu[3]. Dzięki temu zapewniona jest poprawna praca układu i odporność na zakłócenia, dlatego:

- Logiczna 1 to stan wysoki, w którym napięcie ma wartość od 2.4V do 5V.
- Logiczna 0 to stan niski, w którym napięcie wynosi 0V, ale może wahać się między 0V do 0.4V.
- Dodatkowo bramka TTL posiada tzw. margines odporności na zakłócenia, wynoszący około 0.4V zarówno na wejściu i wyjściu bramki.



Rysunek 1: Wykres napięć bramki TTL wraz z marginesami zakłóceń

- Czasy  $t_{pHL}$ ,  $t_{pLH}$ : są to czasy potrzebne do zmiany stanu logicznego na wyjściu bramki:
  - $t_{pHL}$  – czas, w którym sygnał logiczny zmienia się z poziomu wysokiego na niski stan,
  - $t_{pLH}$  – czas, w którym sygnał logiczny zmienia się z poziomu niskiego na wysoki stan.



$t_{pLH}$  – Czas propagacji zmiany stanu z niskiego na wysoki;

$t_{pHL}$  – Czas propagacji zmiany stanu z wysokiego na niski;

$t_{TLH}$ ,  $t_r$  – Czas narastania zbocza sygnału;

$t_{THL}$ ,  $t_f$  – Czas opadania zbocza sygnału.

Rysunek 2: Wykres czasowy dynamicznej zmiany stanu bramki( Maciak, 2021 [1])

## 2.2 Przerzutniki

Przerzutniki to układy, które pozwalają na przechowywanie jednego bitu informacji. Używane są w licznikach, rejestrach, pamięciach oraz innych układach wymagających przechowywania stanów logicznych.

### Przerzutnik typu JK

#### Przerzutnik typu D

$Q_i$	$D$	$Q_{i+1}$
0	0	0
0	1	1
1	0	0
1	1	1

Tabela 1: Tabela wzbudzeń przerzutnika typu D

$Q_i$	$J$	$K$	$Q_{i+1}$
0	0	X	0
0	1	X	1
1	0	X	1
1	1	X	0

Tabela 2: Tabela wzbudzeń przerzutnika typu JK (1 i 1 działa w trybie **TOGGLE**)

#### Przerzutnik typu T

$Q_i$	$T$	$Q_{i+1}$
0	0	0
0	1	1
1	0	1
1	1	0

Tabela 3: Tabela wzbudzeń przerzutnika typu T (Gdy na **T** jest 1 działa w trybie **TOGGLE**)

#### Przerzutnik typu SR (Set-Reset)

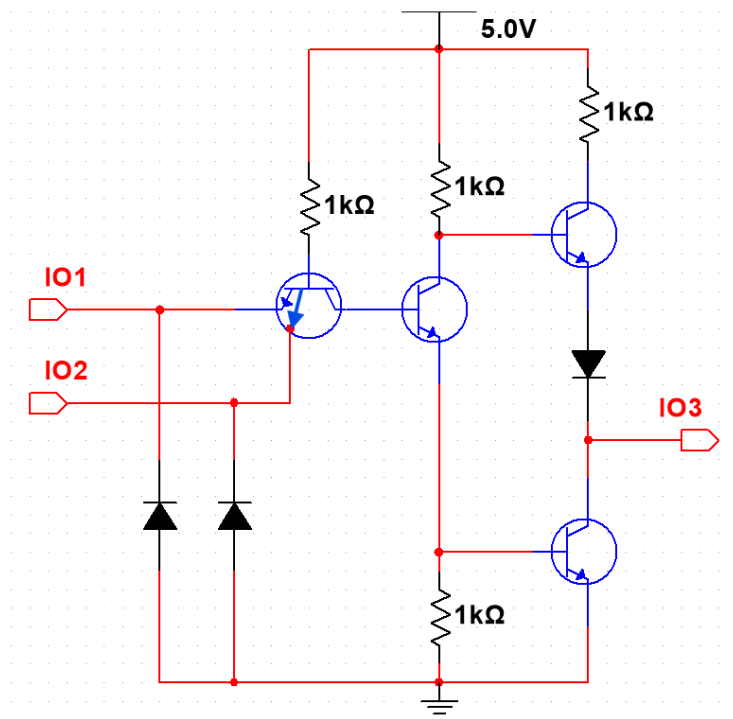
$R$	$S$	$Q_n$
0	0	$Q_{n-1}$
0	1	1
1	0	0
1	1	N

Tabela 4: Tabela wzbudzeń przerzutnika typu SR

### 3 Przebieg ćwiczeń

#### 3.1 Zadanie 1

W układzie jak na rysunku zdjąć powierzchnię charakterystyczną bramki 7400. Układ scalony 7400 umieścić w podstawie modułu DB26.

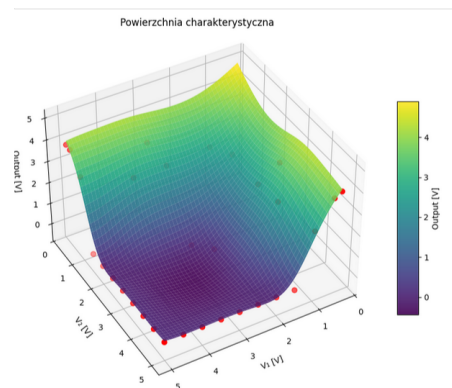


Rysunek 3: Bramka NAND

Do przetestowania i dokonania pomiarów użyto **modułu DB26** do którego wpięto **układ scalony 7400**, czyli bramka **NAND**. Do pomiarów dla wejść podłączono zasilanie (5 V jako jedynka logiczna i 0 V jako zero logiczne), które było regulowane, sprawdzić otrzymane napięcie na wyjściu. Daje to poniższe pomiary(tabela 1):

Tabela 5: Pomiary dla różnych danych wejść

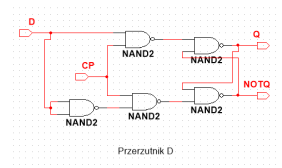
V_1 [V]	V_2 [V]	Output[V]
5,00	5,00	0,0645
4,50	5,00	0,0645
4,00	5,00	0,0645
3,50	5,00	0,0645
3,00	5,00	0,0645
2,50	5,00	0,0645
2,00	5,00	0,0645
1,50	5,00	0,0645
1,00	5,00	2,5410
0,50	5,00	3,7430
0,30	5,00	3,9290
5,00	4,50	0,0645
5,00	4,00	0,0645
5,00	3,50	0,0645
5,00	3,00	0,0645
5,00	2,50	0,0645
5,00	2,00	0,0645
5,00	1,50	0,0645
5,00	1,00	3,1890
5,00	0,50	3,9060
5,00	0,30	3,9320
1,20	3,70	2,5800
3,70	1,20	2,5500
3,10	0,80	3,4050
0,80	3,10	3,5010
1,20	2,80	2,4110
2,80	1,20	2,5620
2,80	2,40	0,0647
2,40	2,80	0,0647
1,60	1,20	2,7020
1,20	1,60	2,5330



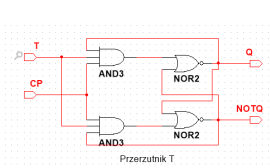
Rysunek 4: Wykres powierzchni charakterystycznej

### 3.2 Zadanie 3

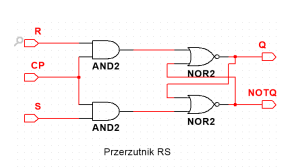
W zadaniu 3 przetestowano działanie przerzutników **T**, **RS**, **JK**, **D** za pomocą modułu **DB11**. Poniżej zamieszczone są schematy poszczególnych przerzutników.



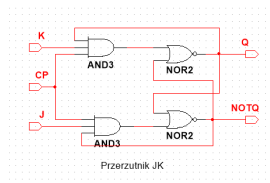
(a) Schemat przerzutnika D



(b) Schemat przerzutnika T



(c) Schemat przerzutnika RS



(d) Schemat przerzutnika JK

Rysunek 5: Schematy przerzutników JK, RS, T, D

## 4 Dyskusja błędów

W zadaniu pierwszym badano powierzchnie charakteryzującą bramki 7400. Podawane napięcia na wejścia bramki NAND wynosiły od 0V do 5V. W zależności od podanych napięć na wejściach otrzymywano różne napięcia na wyjściu. Dla stanu niskiego ( logiczne "0") napięcie wyjściowe zawierało się w przedziale od 0,0645 V do 0,0647 V. Aby obliczyć procentowe odchylenie wartości rzeczywistej od wartości teoretycznej, trzeba przyjąć maksymalne napięcie dla stanu wysokiego( 0,4V) oraz średnią wartość wszystkich napięć dla stanu niskiego odjętą o maksymalne napięcie wyjściowe dla stanu wysokiego:

$$\frac{|0,0646V-0,4V|}{0,4V} * 100\% \approx 83,85\%$$

Napięcie stanu wysokiego ( logiczne "1") wahał się od 2,4110V do 3,9320V. Aby obliczyć procentowe odchylenie rzeczywistej od wartości teoretycznej, trzeba przyjąć minimalne napięcie dla stanu wysokiego( 2,4V) oraz średnią wartość wszystkich napięć dla stanu wysokiego odjętą o minimalne napięcie wyjściowe dla stanu wysokiego:

$$\frac{|3,106V-2,4V|}{2,4V} * 100\% \approx 29,42\%$$

Uzyskane wartości napięć różnią się od teoretycznych o ok. 84% dla stanu niskiego oraz 29% dla stanu wysokiego. Mimo dużej różnicy procentowej, obie wartości mieszczą się w dopuszczalnych granicach teoretycznych, co oznacza, że bramka 7400 pracuje poprawnie i zachowuje właściwą logikę stanów.

Różnice te mogą wynikać z następujących przyczyn:

- Dokładność użytego przyrządu pomiarowego, którego błąd pomiarowy przyjęto na potrzeby tych pomiarów jako 0.7V.
- Spadki napięć na tranzystorach wewnętrznych układu, które wynikają z ich charakterystyki półprzewodnikowej.
- Tolerancja elementów wewnętrznych.

W zadaniu trzecim wyniki rzeczywiste nie różnią się od wartości teoretycznych. Pomiary wykazane na rzeczywistych układach odpowiadają tym w tablicach wzbudzeń dla konkretnych przerzutników.



## 5 Wnioski

W naszych zadaniach można było zaobserwować zachowanie bramek TTL, przerzutników D, T, RS oraz JK. W zadaniu pierwszym zbadano powierzchnie charakterystyczną bramki 7400 poprzez zmianę napięć na wejścia oraz pomiar napięcia na wyjściu. Otrzymane wyniki potwierdziły, że stany napięć logicznych nie są idealnie równe 0V( logiczne "0") oraz 5V( logiczne "1"), co jest zgodne z teorią działania bramek TTL. Dodatkowo zaobserwowano również margines odporności na zakłócenia, które zapewniają interpretację stanów logicznych pomimo niewielkich odchyłeń napięć. Dzięki temu można było zaobserwować rzeczywistą, nieliniową charakterystykę przejścia pomiędzy stanami logicznymi.

W zadaniu trzecim zaobserwowano rzeczywiste działanie przerzutników. Pozwoliło na zweryfikowanie tablic wzbudzeń przerzutników D, T, JK oraz RS, co jest zgodne z teorią działania układów sekwencyjnych.

## 6 Literatura

- [1] T. Maciak, *Skrypt do laboratorium Elektroniki cyfrowej*, Wydział Informatyki Politechniki Białostockiej, Białystok, 2021.
- [2] *Transistor-transistor logic*, Wikipedia, dostęp online: [https://en.wikipedia.org/wiki/Transistor-transistor\\_logic](https://en.wikipedia.org/wiki/Transistor-transistor_logic), data dostępu: październik 2025.
- [3] Texas Instruments, *SN7400 NAND Gate Datasheet*, dostęp online: <https://www.ti.com/lit/ds/symlink/sn7400.pdf>, data dostępu: 2017.

## 7 Protokół

KAMIL KUBAŁEWSKI BARTOSZ ORŁOWSKI  
JAKUB MATUSIEWICZ 15.10.2025

ZADANIE 3

$Q_1$	$Q_2$	D	T	J	K	S	D	drain
0	0	0	0	0	0	0	0	T drain
0	1	1	1	1	1	1	1	T drain
1	0	0	1	1	1	1	0	T drain
1	1	1	0	0	1	1	1	K drain

R	S	$Q_1$
0	0	$Q_1$
0	1	1
1	0	0
1	1	N

ZADANIE 1

$V_1$	$V_2$	output	$V_1$	$V_2$	output	$V_1$	$V_2$	output
5	5	64.5 mV	5	5	64.6 mV	1.2	1.2	2.58 V
4.5	5	64.5 mV	5	4.5	64.6 mV	1.7	1.2	2.65 V
4	5	64.5 mV	5	4	64.6 mV	3.1	0.8	3.405 V
3.5	5	64.5 mV	5	3.5	64.6 mV	0.8	1.2	3.507 V
3	5	64.5 mV	5	3	64.6 mV	1.2	2.8	2.499 V
2.5	5	64.6 mV	5	2.5	64.6 mV	2.8	1.2	2.562 V
2	5	64.5 mV	5	2	64.6 mV	2.8	2.4	64.7 mV
1.5	5	64.5 mV	5	1.5	64.6 mV	2.4	2.8	64.7 mV
1	5	2.549 V	5	1	3.788 mV	1.6	1.2	2.702 V
0.5	5	3.743 V	5	0.5	3.306 mV	1.2	1.6	2.533 V
0.3	5	3.929	5	0.3	3.432 mV			

Rysunek 6: Protokół