

Wydział Informatyki Politechniki Białostockiej Przedmiot: Modułowe systemy cyfrowe	Data: 12.11.2025
Zajęcia nr 3 Temat: Bloki arytmetyczno-logiczne Grupa: Lab 8 Imię i nazwisko: Kamil Kubajewski, Jakub Matusiewicz, Bartosz Orłowski	Prowadzący: dr hab. inż. Sławomir Zieliński

1 Cel ćwiczeń

Celem ćwiczenia jest zapoznanie się z budową i działaniem scalonych układów realizujących funkcje arytmetyczne.

2 Podstawa teoretyczna

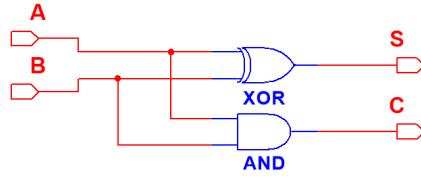
W układach cyfrowych realizującym operacje arytmetyczno-logiczne, istotnymi komponentami są sumatory, subtraktory oraz komparatory. Każdy z tych bloków pełni określoną funkcję w obliczeniach.

2.1 Sumator

- Półsumator – dodaje dwa bity i generuje sumę oraz przeniesienie. Jest to podstawowy układ wykorzystywany w tworzeniu bardziej złożonych sumatorów [1, 2, 3, 4].

Wejścia		Wyjścia	
A	B	C_{out}	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Tabela 1: Tabela prawdy półsumatora

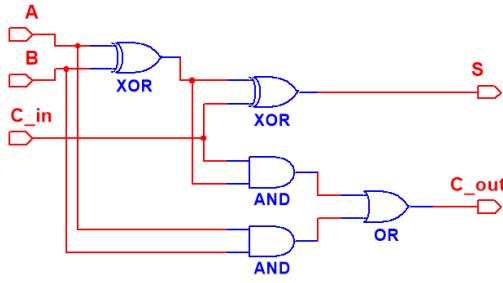


Rysunek 1: Schemat półsumatora

- Sumator pełny – dodaje trzy bity (dwa bity z liczb oraz bit przeniesienia) i generuje sumę oraz przeniesienie, które może być przekazywane do kolejnego bitu. Działanie półsumatora i sumatora pełnego opiera się na zastosowaniu bramek logicznych takich jak AND, OR oraz XOR. Półsumator realizuje podstawową operację XOR do generowania sumy i AND do przeniesienia. Natomiast sumator pełny wymaga dwóch półsumatorów oraz dodatkowego przeniesienia z poprzedniego bitu[1, 2, 3, 4].

Wejścia			Wyjścia	
A	B	C_{in}	C_{out}	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Tabela 2: Tabela prawdy pełnego sumatora



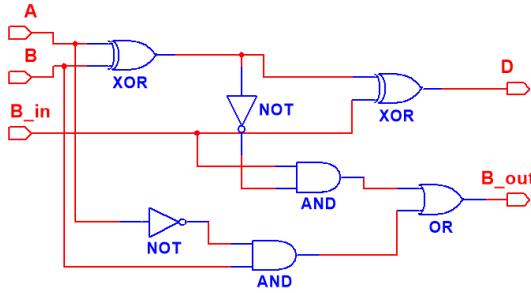
Rysunek 2: Schemat pełnego sumatora

2.2 Subtraktor

Subtraktor to układ odpowiedzialny za odejmowanie liczb binarnych. Można go zbudować na podstawie sumatora, wykorzystując zasadę dodawania w kózidle U2 (operacja dodawania ujemnej liczby). Subtraktor przyjmuje dwie liczby binarne jako dane wejściowe i generuje wynik ich różnicę na wyjściu, gdzie operacja odejmowania jest realizowana przez dodanie liczby pierwszej i dopełnienia liczby drugiej[1, 2, 5].

Wejścia			Wyjścia	
A	B	B_{in}	D	B_{out}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

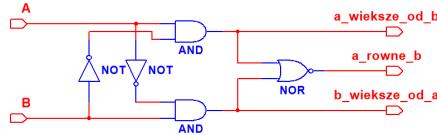
Tabela 3: Tabela prawdy pełnego subtraktora



Rysunek 3: Schemat subtraktora

2.3 Komparator

Komparator to układ, którego zadaniem jest porównanie dwóch liczb binarnych. Na podstawie tego porównania, komparator zwraca wynik, który wskazuje, czy jedna liczba jest większa, mniejsza lub równa drugiej. Działa na zasadzie analizy poszczególnych bitów liczb, a następnie generuje odpowiedni sygnał, który wskazuje wynik porównania[1, 2, 6].



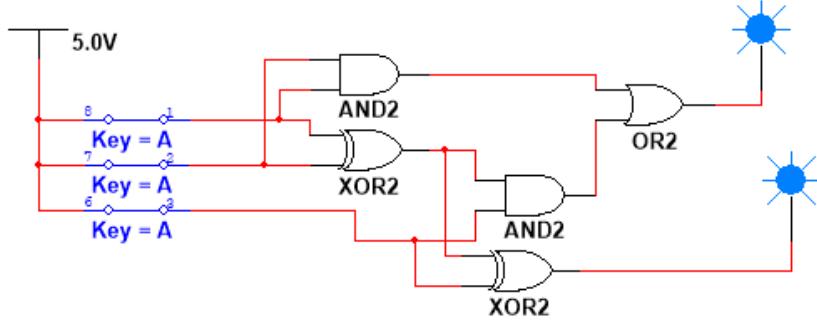
Rysunek 4: Schemat komparatora 1-bitowego

3 Przebieg ćwiczeń

3.1 Zadanie 1

Zrealizować półsumator i sumator wykorzystując moduł laboratoryjny DB08.

Realizując **pełny sumator** (full adder), realizujemy również **półsumator** (half adder), gdyż pełny sumator składa się z dwóch półsumatorów. Aby przetestować działanie sumatora, sprawdzimy słowa z tablicy prawdy dla pełnego sumatora i porównamy otrzymywane wyniki z tabelą prawdy.



Rysunek 5: Obwód do zadania 1

Wejścia			Wyjścia	
A	B	C_{in}	C_{out}	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

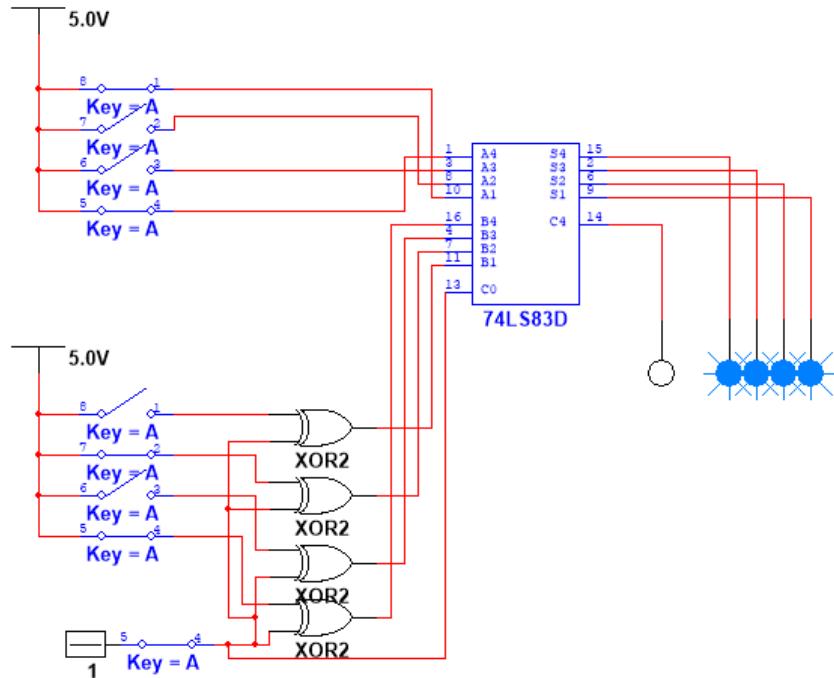
Tabela 4: Tabela prawdy pełnego sumatora

3.2 Zadanie 2

Zrealizować subtraktor dwóch liczb 2 i 4 bitowych (DB30).

W ramach zadania zrealizowany został **subtraktor 4-bitowy**. Kluczowe jest, że w implementacji subtraktora operacja odejmowania ($A - B$) jest realizowana jako dodawanie w kodzie uzupełnień do dwóch (U2), tj. $A + (\text{NOT } B) + 1$. Pozwala to na poprawną obsługę i reprezentację liczb ujemnych.

Do weryfikacji działania układu użyto przykładowego odejmowania $9 - 10 = -1$. W 4-bitowej reprezentacji binarnej odpowiada to działaniu: 1001_2 (9) – 1010_2 (10) = 1111_2 (-1 w U2).



Rysunek 6: Obwód do zadania 2

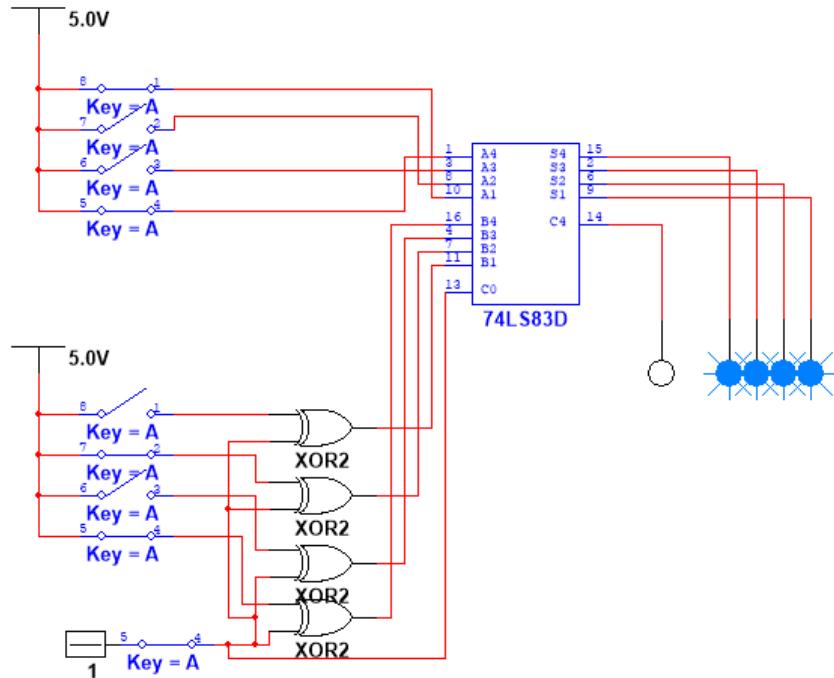
3.3 Zadanie 3

Zapoznać się z kartą katalogową układu sumatora/subtraktora 4 bitowego 7483. Sprawdzić działanie układu wykorzystując moduł DB19.

Do przetestowania 4-bitowego sumatora/subtraktora użyto modułu **DB19**. Moduł ten jest wyposażony w przełączniki do wprowadzania 4-bitowych liczb A (A_4-A_1) i B (B_4-B_1) oraz przełącznik trybu pracy **Add/Sub**.

W pierwszej kolejności przetestowano działanie **sumatora**. Przełącznik trybu ustawiono w pozycję **Add** (stan 0). Następnie podano na wejścia przykładowe liczby, np. $A = 0011_2$ (3) i $B = 0010_2$ (2). Sprawdzono, że na wyjściach S_4-S_1 pojawił się poprawny wynik 0101_2 (5), a wyjście **Carry** (przeniesienie) było w stanie niskim.

Następnie przetestowano tryb **subtraktora**, ustawiając przełącznik **Add/Sub** w pozycję **Sub** (stan 1). Spowodowało to, że układ zaczął wykonywać operację odejmowania $A - B$ poprzez dodawanie w kodzie U2 (realizowane jako $A + (\text{NOT } B) + 1$). Do weryfikacji podano na wejścia liczby $A = 1001_2$ (9) oraz $B = 1010_2$ (10). Zaobserwowano, że wyjścia S_4-S_1 poprawnie pokazały wynik 1111_2 , co jest reprezentacją liczby -1 w kodzie U2.



Rysunek 7: Obwód do zadania 3

3.4 Zadanie 4

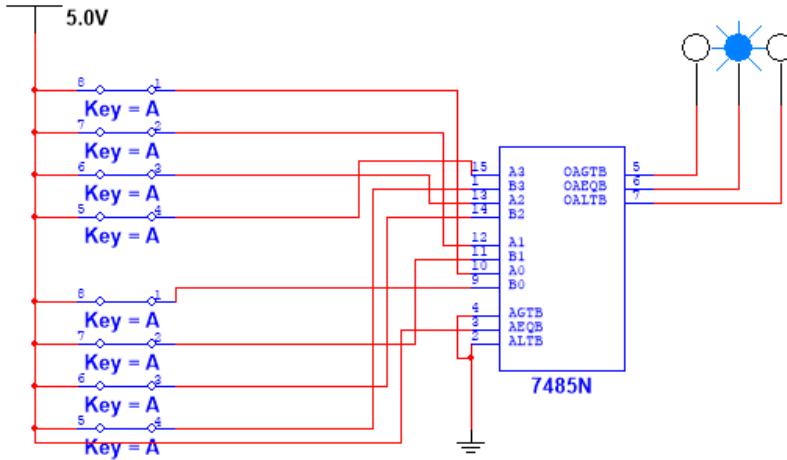
Zapoznać się z budową i sprawdzić działanie układu komparatora dwóch liczb czterobitowych 7485 wykorzystując moduł laboratoryjny DB34.

Do przetestowania 4-bitowego komparatora użyto układu scalonego **7485N** (jak pokazano na schemacie). Za pomocą przełączników podawano na wejścia układu dwie 4-bitowe liczby: A (A_3-A_0) oraz B (B_3-B_0). Test polegał na weryfikacji trzech stanów logicznych na wyjściach układu.

Najpierw sprawdzono warunek równości ($A = B$), podając na oba wejścia tę samą wartość, np. $A = 1010_2$ i $B = 1010_2$. Zaobserwowano, że stan wysoki pojawił się na wyjściu $A = B$ (pin OAEQB).

Następnie przetestowano warunek $A > B$, podając np. $A = 1011_2$ i $B = 1010_2$. Sprawdzono, że stan wysoki aktywował wyjście $A > B$ (pin OAGTB).

Na koniec zweryfikowano warunek $A < B$, podając np. $A = 1001_2$ i $B = 1010_2$. W tym przypadku zaobserwowano stan wysoki na wyjściu $A < B$ (pin OALTB).



Rysunek 8: Obwód do zadania 4

4 Dyskusja błędów

W przeprowadzonych zadaniach badano działanie układów realizujących funkcje arytmetyczne. Pomiary te miały charakter czysto funkcjonalny, czyli sprawdzenie czy dany układ działa według założeń teoretycznych. Podczas obserwacji nie zaobserwowano istotnych błędów w działaniu układów kombinacyjnych. Wszystkie układy, czyli półsumatory, sumatory, subtraktory czy komparatory działały zgodnie z teorią oraz z tabelami prawdy. Wyniki praktyczne odpowiadały wartościom oczekiwanych, a wyniki dodawania, odejmowania bądź porównywania liczb na wyjściach były zgodne z przewidywaniami dla poszczególnych liczb na wejściach.

W zadaniu pierwszym najczęstszym źródłem błędów było niepoprawne ustawienie przełączników wejściowych A, B oraz Cin, co prowadziło do wyników niezgodnych z tablicą prawdy. W kilku przypadkach początkowo błędnie odczytywano wyjście Cout i S, ponieważ moduł DB08 posiada oddzielne diody dla obu wartości, a ich interpretacja wymagała uwagi. Mogły również wystąpić błędy wynikające z niepełnego wyzerowania stanu wejść przed kolejnymi testami. Gdyby układ zbudowano z kilku sumatorów mogłyby również wystąpić opóźnienie czasowe wynikające z czasu propagacji bramek oraz z powodu przenoszenia wartości Carry, która musiała przejść przez taki cały układ.

W zadaniu drugim najczęstszym źródłem błędów było niepoprawne ustawienie przełączników wejściowych oraz błędne odczytanie wyniku na wyjściu w kodzie U2, szczególnie przy liczbach ujemnych (np. -1 jako 1111).

W zadaniu trzecim pojawiały się błędy związane z ustawieniem przełącznika Add/Sub, co powodowało niezamierzone przełączanie między dodawaniem a odejmowaniem, a w konsekwencji błędne odczytanie wyniku na wyjściu. Mogły również wystąpić błędy wynikające z niepełnego wyzerowania stanu wejść przed kolejnymi testami.

W zadaniu czwartym wprowadzając liczby A i B, zdarzyły się pomyłki w ustawieniu odpowiedniej kolejności bitowej, co przekładało się na niepoprawny rezultat porównania. Błąd występował również wtedy, gdy nie wyzerowano sygnałów z poprzedniego testu, co mogło spowodować złe wnioskowanie. Dodatkowo sam moduł DB34 miał źle oznaczone wejścia na układzie, co początkowo mogło prowadzić do złego wprowadzania liczb na wejściu.

5 Wnioski

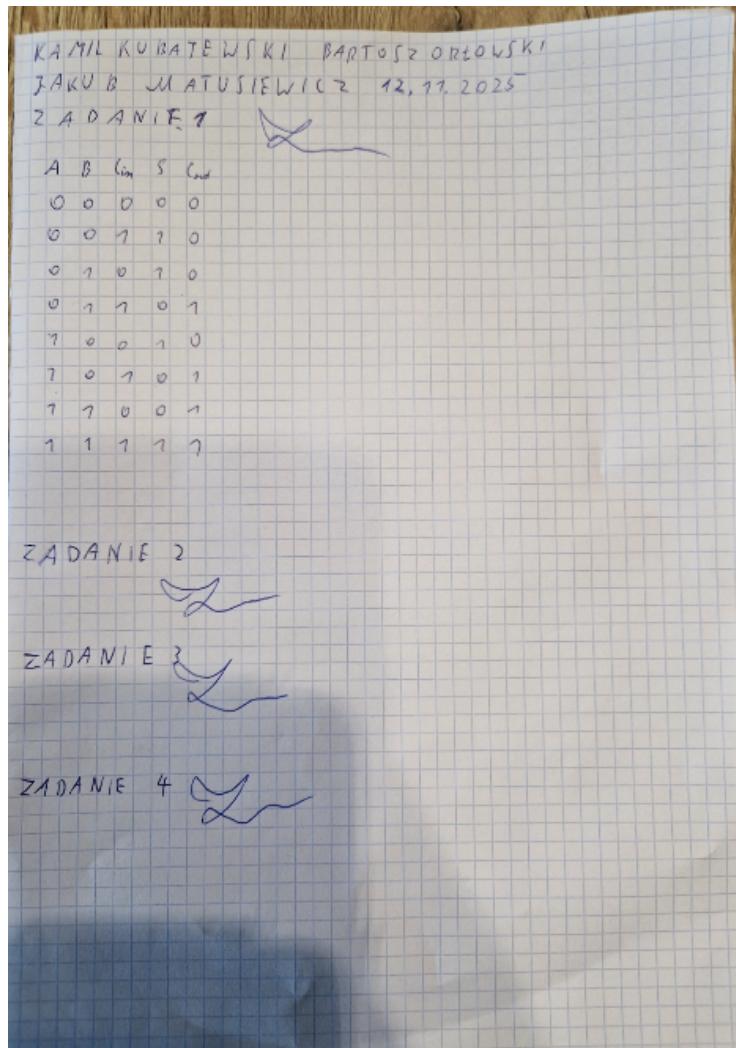
W trakcie laboratoriów dotyczących bloków arytmetyczno-logicznych w układach cyfrowych, uzyskaliśmy wiedzę na temat budowy oraz działania kluczowych komponentów, takich jak sumatory, subtraktory i komparatory. Na zajęciach zapoznaliśmy się z różnymi układami scalonymi oraz odpowiednimi modułami laboratoryjnymi. Zrealizowaliśmy pełny sumator, który w praktyce składał się z dwóch półsumatorów. Dzięki temu dokładnie zrozumieliśmy proces dodawania liczb binarnych oraz generowania przeniesienia. Zastosowanie tablicy prawdy dla pełnego sumatora umożliwiło sprawdzenie poprawności działania układu, potwierdzając, że sumator działa zgodnie z oczekiwaniemi. Implementacja subtraktora, który realizuje operację odejmowania za pomocą kodu U2, pokazała, jak ważne jest poprawne zarządzanie liczbami ujemnymi w układach cyfrowych. Realizacja układu komparatora pozwoliła na porównywanie dwóch liczb binarnych, co jest istotną operacją w wielu układach cyfrowych. Korzystaliśmy również z układów scalonych takich jak 7483 (sumator/subtraktor) oraz 7485 (komparator). Dzięki temu mogliśmy lepiej zrozumieć ich działania.

6 Literatura

- [1] T. Maciąk, *Skrypt do laboratorium Elektroniki cyfrowej*, Wydział Informatyki Politechniki Białostockiej, Białystok, 2021.
- [2] M. Morris Mano, Michael D. Ciletti, *Digital Design: With an Introduction to the Verilog HDL*, dostęp online: <https://bida.uclv.edu.cu/bitstream/handle/123456789/10679/Digital%20design%20%20with%20an%20introduction%20to%20the%20verilog%20hdl.pdf?sequence=1&isAllowed=y>, data dostępu: 2013

- [3] Weinberger, A.; Smith, J.L., *A Logic for High-Speed Addition (1958)*, dostęp online: <https://nvlpubs.nist.gov/nistpubs/Legacy/circ/nbscircular591.pdf>, data dostępu: Listopad 2025
- [4] *Adder (electronics)*, Wikipedia, dostęp online: [en.wikipedia.org/wiki/Adder_\(electronics\)](https://en.wikipedia.org/wiki/Adder_(electronics)), data dostępu: Listopad 2025.
- [5] *Subtractor*, Wikipedia, dostęp online: en.wikipedia.org/wiki/Subtractor, data dostępu: Marzec 2025
- [6] *Comparator*, Wikipedia, dostęp online: en.wikipedia.org/wiki/Comparator, data dostępu: Lipiec 2025

7 Protokół



Rysunek 9: Protokół