

Wydział Informatyki Politechniki Białostockiej Przedmiot: Modułowe systemy cyfrowe	Data: 10.12.2025
Zajęcia nr 6 Temat: Bloki sekwencyjne-liczniki  Grupa: Lab 8 Imię i nazwisko: Kamil Kubajewski, Jakub Matusiewicz, Bartosz Orłowski	Prowadzący: dr hab. inż. Sławomir Zieliński

## 1 Cel ćwiczeń

Zapoznanie z sekwencyjnymi układami cyfrowymi.

## 2 Podstawa teoretyczna

## 3 Przebieg ćwiczeń

### 3.1 Zadanie 1

Zaprojektuj i zrealizuj dwójkę liczącą na przerzutniku typu D i JK wykorzystując moduł laboratoryjny DB11. Zaobserwuj sygnały wyjściowe obu przerzutników.

#### 3.1.1 Realizacja na przerzutniku typu D

Przerzutnik typu D przepisuje stan wejścia  $D$  na wyjście  $Q$  po wystąpieniu aktywnego zbocza zegara. Aby układ działał jako dwójkę liczącą, należy na wejście podać stan przeciwny do aktualnego. Równanie charakterystyczne licznika MOD 2 dla przerzutnika D przyjmuje postać:

$$D = \overline{Q_n} \quad (1)$$

Poniższa tabela przedstawia zmianę stanu licznika ( $Q_n \rightarrow Q_{n+1}$ ) oraz wymagany stan wejścia  $D$ .

Tabela 1: Tabela przejść i wzbudzeń przerzutnika D

Stan obecny ( $Q_n$ )	Stan następny ( $Q_{n+1}$ )	Wymagane $D$	Opis
0	1	1	Zmiana $0 \rightarrow 1$ (bo $D = \overline{Q}$ )
1	0	0	Zmiana $1 \rightarrow 0$ (bo $D = \overline{Q}$ )

### 3.1.2 Realizacja na przerzutniku typu JK

Przerzutnik JK jest przerzutnikiem uniwersalnym. Jego działanie zależy od konfiguracji wejść  $J$  i  $K$ . Aby uzyskać zmianę stanu na przeciwny przy każdym takcie zegara (tryb **Toggle**), czyli  $Q_{n+1} = \overline{Q_n}$ , należy ustawić oba wejścia w stan wysoki:

$$J = 1, \quad K = 1 \quad (2)$$

Tabela przedstawia wymagane stany na wejściach  $J$  i  $K$ , aby uzyskać zmianę stanu wyjścia.

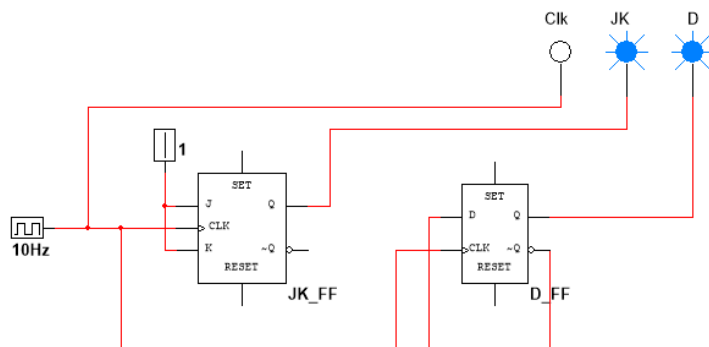
Tabela 2: Tabela przejść i wzbudzeń przerzutnika JK

Stan ( $Q_n$ )	Stan nast. ( $Q_{n+1}$ )	Wymagane $J$	Wymagane $K$	Tryb
0	1	1	X	Toggle
1	0	X	1	Toggle

(Gdzie  $X$  oznacza stan dowolny. Dla uproszczenia konstrukcji przyjęto  $J = 1$  i  $K = 1$  dla obu przypadków).

### 3.1.3 Zrealizowany układ

Na podstawie powyższych analiz teoretycznych zaprojektowano i zmontowano układ. Schemat połączeń oraz wynik weryfikacji przedstawiono na poniższym rysunku.



Rysunek 1: Zrealizowany licznik modulo 2 na przerzutnikach

### 3.2 Zadanie 2

Zaprojektować i wykonać 4-bitowy licznik liczący w górę i w dół (ang. Ripple counter) wykorzystując moduł laboratoryjny DB14.

### 3.2.1 Projekt połączeń – Licznik w górę (UP)

W celu realizacji zliczania narastającego (0, 1, 2...), zaprojektowano układ, w którym wyjście proste  $Q$  poprzedniego przerzutnika steruje wejściem zegarowym  $C_P$  następnego przerzutnika.

Zrealizowane połączenia:

1. Źródło zegara  $\rightarrow$  wejście  $C_P$  bitu  $Q_0$ .
2. Wyjście  $Q_0 \rightarrow$  wejście  $C_P$  bitu  $Q_1$ .
3. Wyjście  $Q_1 \rightarrow$  wejście  $C_P$  bitu  $Q_2$ .
4. Wyjście  $Q_2 \rightarrow$  wejście  $C_P$  bitu  $Q_3$ .

Uzyskane stany wyjść przedstawiono w tabeli poniżej.

Tabela 3: Zarejestrowana sekwencja liczenia w górę

Takt	$Q_3$	$Q_2$	$Q_1$	$Q_0$	Stan (DEC)
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
...	...	...	...	...	...
15	1	1	1	1	15

### 3.2.2 Projekt połączeń – Licznik w dół (DOWN)

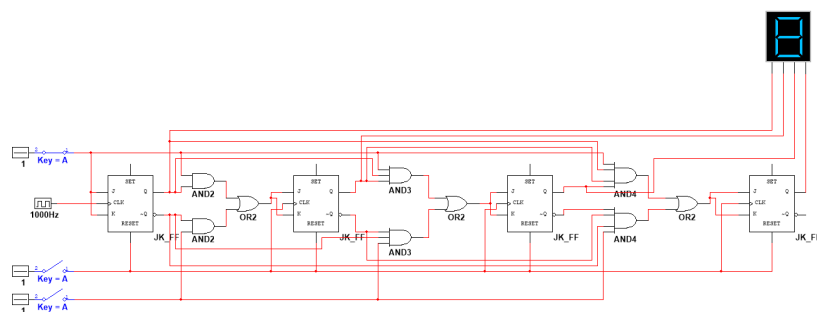
W celu realizacji zliczania malejącego (15, 14, 13...), zmodyfikowano projekt, wykorzystując wyjścia zanegowane  $\overline{Q}$  do sterowania kolejnymi stopniami licznika.

Zrealizowane połączenia:

1. Źródło zegara  $\rightarrow$  wejście  $C_P$  bitu  $Q_0$  (bez zmian).
2. Wyjście  $\overline{Q_0} \rightarrow$  wejście  $C_P$  bitu  $Q_1$ .
3. Wyjście  $\overline{Q_1} \rightarrow$  wejście  $C_P$  bitu  $Q_2$ .
4. Wyjście  $\overline{Q_2} \rightarrow$  wejście  $C_P$  bitu  $Q_3$ .

### 3.2.3 Realizacja w środowisku symulacyjnym

Układ został zaprojektowany i uruchomiony w programie Multisim. Poprawność połączeń zweryfikowano poprzez obserwację stanów na wyświetlaczu szesnastkowym oraz diodach próbników logicznych.



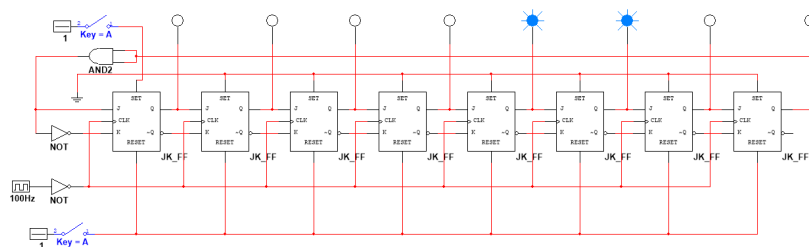
Rysunek 2: Realizacja 4-bitowego licznika w Multisim

### 3.3 Zadanie 3

Przebadac działanie 8-bitowego licznika cyklicznego (ang. Ring Counter) wykorzystując moduł laboratoryjny DB37.

Weryfikacja działania układu polegała na ręcznym sterowaniu sygnałem zegarowym za pomocą przycisku **S3**. Obserwacja diod LED (**L1–L8**) pozwoliła potwierdzić poprawność logiczną układu: każde wciśnięcie przycisku powodowało cykliczne przemieszczanie się stanu aktywnego (zapalona dioda) na kolejną pozycję. Po osiągnięciu ostatniego bitu, cykl rozpoczynał się od nowa.

Dodatkowo przetestowano funkcję resetowania za pomocą przycisku **S1**, którego wciśnięcie powodowało natychmiastowe wyzerowanie licznika (zgaszenie wszystkich diod).

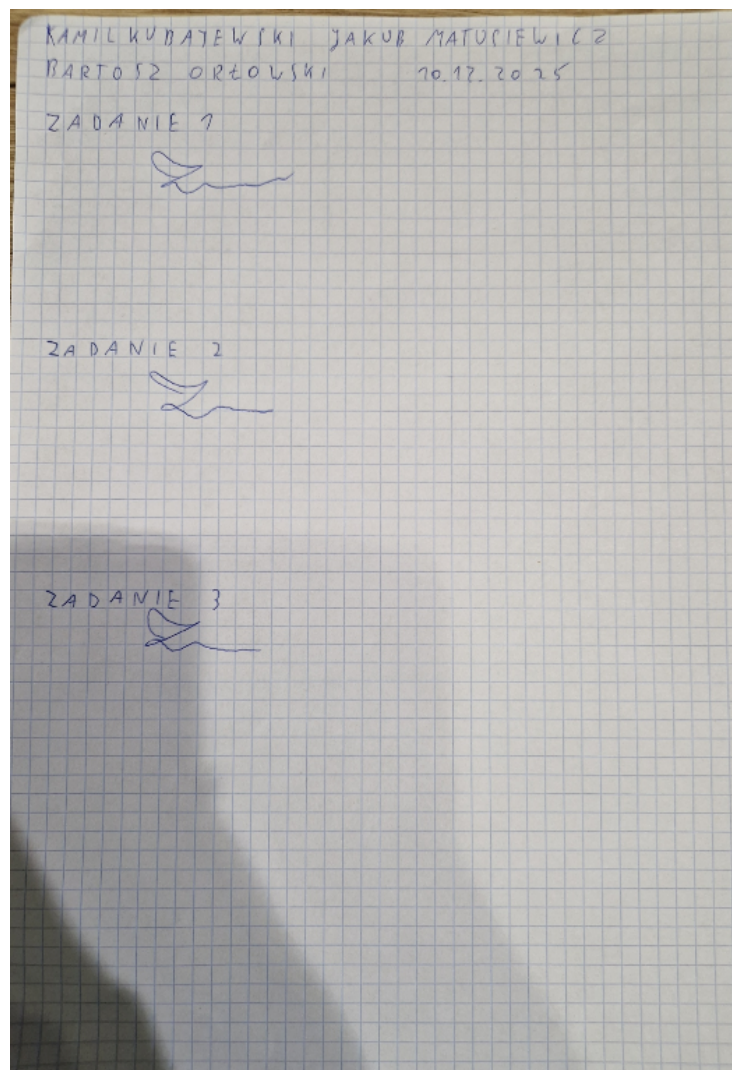


Rysunek 3: Realizacja 8-bitowego licznika cyklicznego

4 Wnioski

5 Literatura

6 Protokół



Rysunek 4: Protokół