

Contexto

Um campeonato de robôs está ocorrendo na UFV-Florestal, e os alunos de ISL foram convocados para desenvolverem uma máquina para controlar o movimento de um dos robôs que percorre uma pista numérica. A pista é composta por uma sequência de números de 0 e 9, que indicam o caminho que o robô deve seguir. A pista será personalizada com base nas matrículas dos integrantes do grupo.

O objetivo será verificar se o robô percorre a corrida com sucesso, atendendo às condições exigidas, e identificar falhas caso ele saia do trajeto ou chegue ao destino com desvios.

Definição da pista:

A pista é composta por 6 números, sendo esses:

- Os 3 primeiros dígitos da matrícula de um integrante;
- Os 2 últimos dígitos da matrícula de outro integrante;
- O último dígito é calculado como a soma dos dos 5 números acima, módulo 10.

Exemplo:

- **Matrículas dos integrantes:** 3891 e 3883;
- **5 primeiros dígitos:** 38983
- **6º dígito:** $(3 + 8 + 9 + 8 + 3) \% 10 = 1$

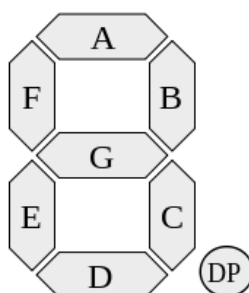
Regras da Corrida:

O robô percorre a pista número a número. Ele é controlado pela Máquina de Estados Finito, que verifica se ele percorre o caminho correto.

- **Condição de Sucesso Total:** O robô deve seguir EXATAMENTE a sequência de 5 números da pista, sem erros.
- **Condição de Sucesso Parcial:** O robô pode cometer UM erro (Um número fora da sequência), mas deve corrigir o trajeto (Inserir o número que foi errado corretamente) e completar o restante do trajeto de forma correta.
- **Falha:** O robô comete dois ou mais erros.

Visualização:

Durante a execução do trajeto, um display de Sete Segmentos deverá mostrar em qual casa o robô está (0-1-2-3-4-5-etc, basicamente, o último dígito inserido), e um LED deve mostrar se um erro foi cometido ou não. Em caso de estado de falha, o Display deverá mostrar F, em Sucesso Total mostrar um S, e em Sucesso Parcial mostrar um P.



Entradas:

Nome	Tamanho	E/S	Descrição
Clock	1 bit	Entrada	Pulso de clock do sistema.
Número	4 bits	Entrada	Número entre 0 e 9 que compõem o número da pista.
Reset	1 bit	Entrada	O sinal <i>reset</i> é responsável por colocar a máquina de estado de volta ao seu estado inicial.
Inserir	1 bit	Entrada	Sinal de controle que sincroniza a entrada de um número na máquina de estados. Deve ser acionado mediante a inserção de cada novo número.
LED de Erro	1 bit	Saída	Deve representar se o robô cometeu um erro ou não. Importante para o usuário corrigir a rota do robô.
Display de Estado	2 bits	Saída	Deve indicar a casa que o robô está, ou o estado atual do jogo. Em caso de estado de falha, o Display deverá mostrar F, em Sucesso Total, mostrar um S, e em Sucesso Parcial, mostrar um P.

Tabela 1. Descrição dos sinais do módulo Controlador

Exemplo de Funcionamento:

Pista: 389831

Estado atual	Display de 7 segmentos	LED
Controlador inicia	0	Desligado
Inserir: 3	3	Desligado
Inserir: 8	8	Desligado
Inserir: 9	9	Desligado
Inserir: 5	5	Ligado
Inserir 8	8	Ligado
Inserir 3	3	Ligado
Inserir 1	P	Ligado

Tabela 2. Exemplo de um estado de Sucesso Parcial

Estado atual	Display de 7 segmentos	LED
Controlador inicia	0	Desligado
Inserir: 3	3	Desligado
Inserir: 5	5	Ligado
Inserir: 7	F	Ligado

Tabela 3. Exemplo de um estado de falha.

Etapas do desenvolvimento

O texto abaixo apresenta as etapas a serem consideradas no processo de desenvolvimento do trabalho prático:

1. Elaboração de um diagrama de transição de estados que apresente o comportamento do circuito utilizando a ferramenta [JFlap](#) ou similar;
2. Implementar em Verilog a máquina de estados finita;
3. (Opcional) Implementar em Verilog um módulo de simulação para sua máquina;
4. (Opcional) Visualizar as formas de onda da simulação;
5. Implementação do design criado no Kit de FPGA DE2-115 da Altera, utilizando os switches como elementos de entrada e os displays de 7 segmentos e/ou os LEDs como elementos de saída. Todos os passos descritos acima deverão ser documentados em um único relatório. O texto

deverá conter **introdução, desenvolvimento, resultados, conclusão e as referências bibliográficas utilizadas.**

Observações Gerais

- Note que os passos 3 e 4 são opcionais, mas servem de grande ajuda para verificar se o módulo está funcionando corretamente antes de passar para o FPGA;
- Ao modelar o diagrama da máquina de estados finita, você pode omitir os estados de erro - estados nos quais a máquina fica “presa”, apenas informando que a palavra é inválida - com o objetivo de deixar o diagrama mais claro/limpo. Se isso for feito, o grupo deve documentar essa omissão;
- Todos os passos da elaboração devem ser documentados no relatório, de forma sucinta e significativa, usando ilustrações significativas sempre que possível. Além disso, qualquer decisão extra tomada pelo grupo também deve ser documentada, assim como se itens opcionais foram implementados ou não;
- As entradas e saídas do módulo descrevem um mínimo a ser implementado. Dessa forma, é possível que os grupos adicionem algum novo elemento se acharem necessário, desde que esteja devidamente documentado e não fuja do foco do trabalho.
- Cada grupo pode decidir como lidar com entradas inválidas, ou seja, números fora do intervalo 0 e 9. Documentem também esta decisão.

Entrega do Trabalho

O trabalho deve ser entregue via moodle, sendo necessário que apenas um aluno do grupo o faça. Deverá ser submetido um arquivo compactado (.zip) contendo:.

- A documentação detalhada em formato .pdf com o desenho da máquina de estados;
- Os arquivos em Verilog dos módulos implementados;
- Arquivo de simulação de ondas (.vcd) (se houver);
- Um vídeo de até 5 ou 7 minutos explicando o código e demonstrando o funcionamento. Mostrem o resultado para pelo menos 3 exemplos similares aos apresentados na Figura 1, de preferência mostrando jogos que ganham os prêmios 1, 2 e nenhum prêmio na sua FSM.