

# **THIẾT KẾ HỆ THỐNG SỐ VỚI HDL**

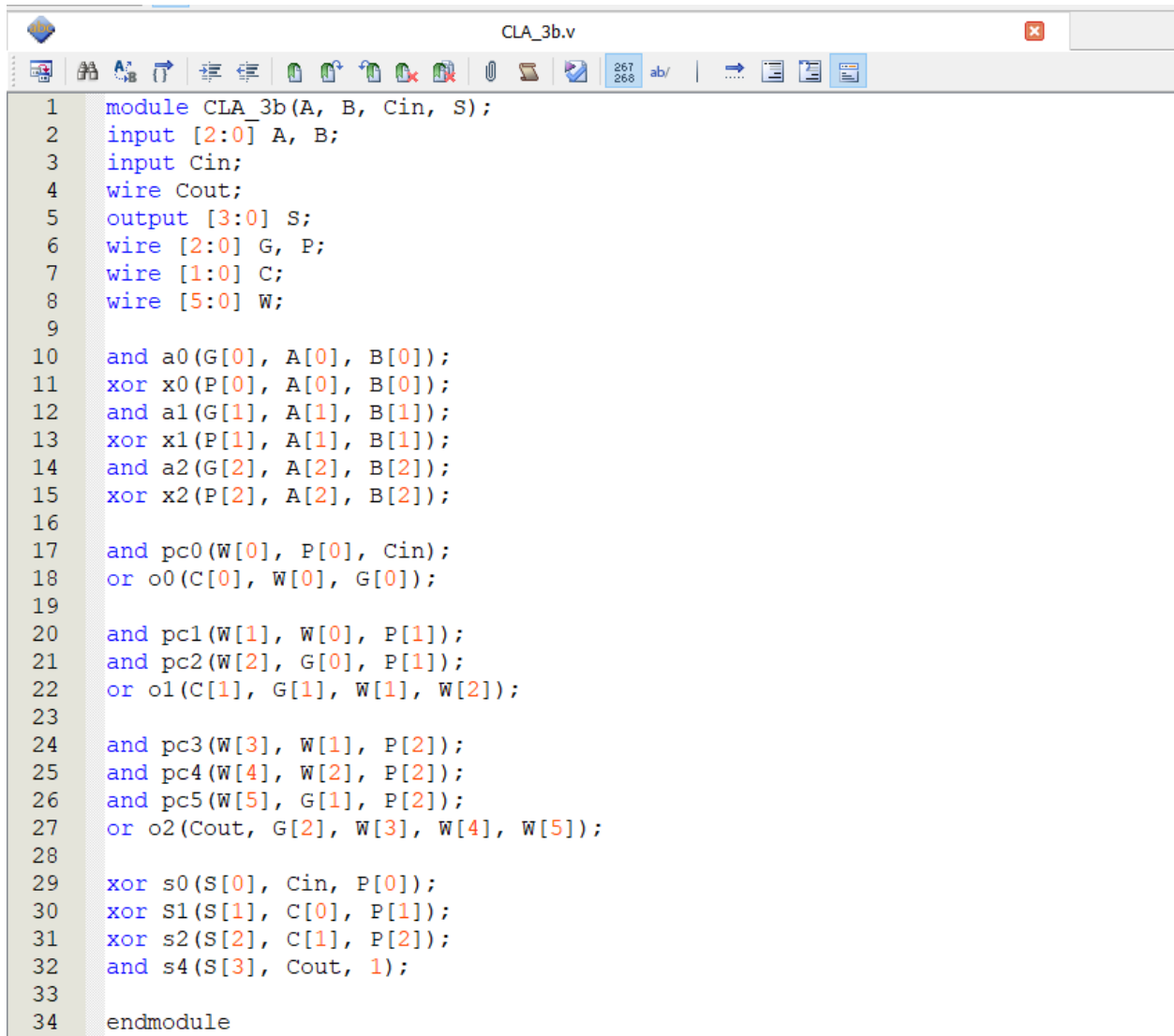
## **BÀI THỰC HÀNH 1**

**GVHD:** Tạ Trí Đức

**Sinh viên thực hiện:** Phạm Quốc Tiến – 22521472

Trình tự thực hiện:

Tạo file verilog mới và mô tả module adder 3 bit trên file đó.



```
1 module CLA_3b(A, B, Cin, S);
2   input [2:0] A, B;
3   input Cin;
4   wire Cout;
5   output [3:0] S;
6   wire [2:0] G, P;
7   wire [1:0] C;
8   wire [5:0] W;
9
10  and a0(G[0], A[0], B[0]);
11  xor x0(P[0], A[0], B[0]);
12  and a1(G[1], A[1], B[1]);
13  xor x1(P[1], A[1], B[1]);
14  and a2(G[2], A[2], B[2]);
15  xor x2(P[2], A[2], B[2]);
16
17  and pc0(W[0], P[0], Cin);
18  or o0(C[0], W[0], G[0]);
19
20  and pc1(W[1], W[0], P[1]);
21  and pc2(W[2], G[0], P[1]);
22  or o1(C[1], G[1], W[1], W[2]);
23
24  and pc3(W[3], W[1], P[2]);
25  and pc4(W[4], W[2], P[2]);
26  and pc5(W[5], G[1], P[2]);
27  or o2(Cout, G[2], W[3], W[4], W[5]);
28
29  xor s0(S[0], Cin, P[0]);
30  xor s1(S[1], C[0], P[1]);
31  xor s2(S[2], C[1], P[2]);
32  and s4(S[3], Cout, 1);
33
34  endmodule
```

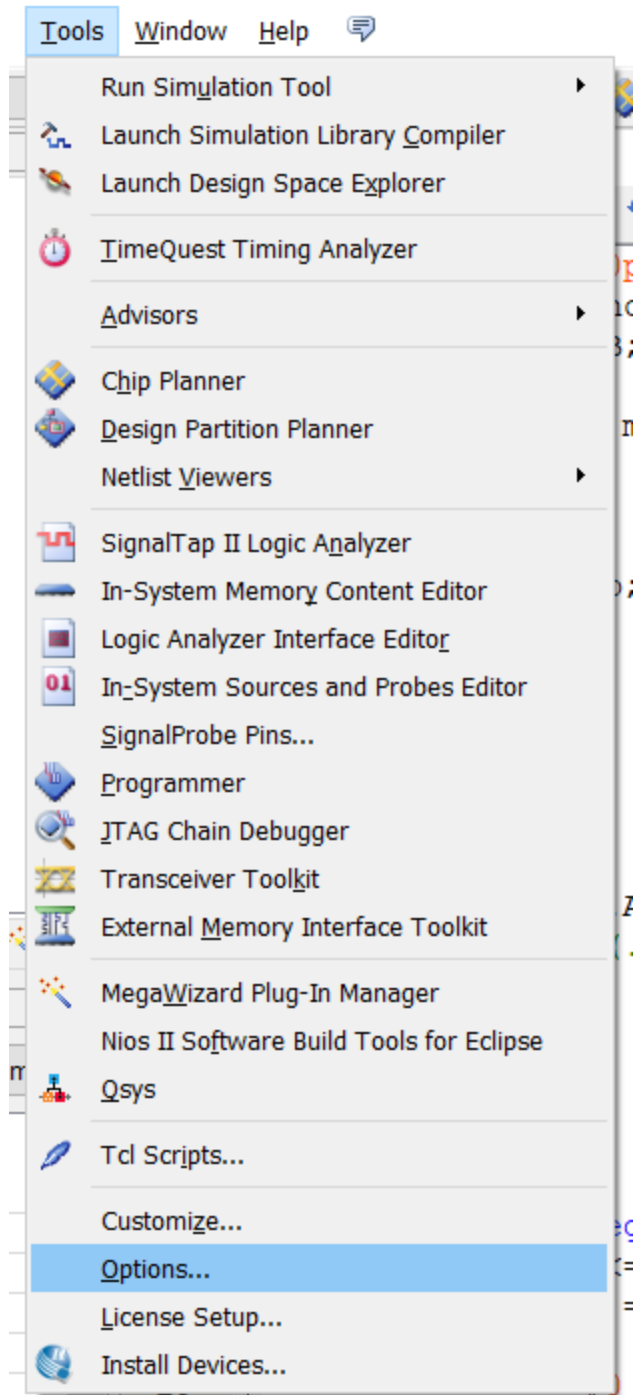
Sau đó lưu file lại với tên trùng với module (cái này do quartus yêu cầu).

Tiếp theo đó lại tạo một file verilog mới và thực hiện mô tả testbench.

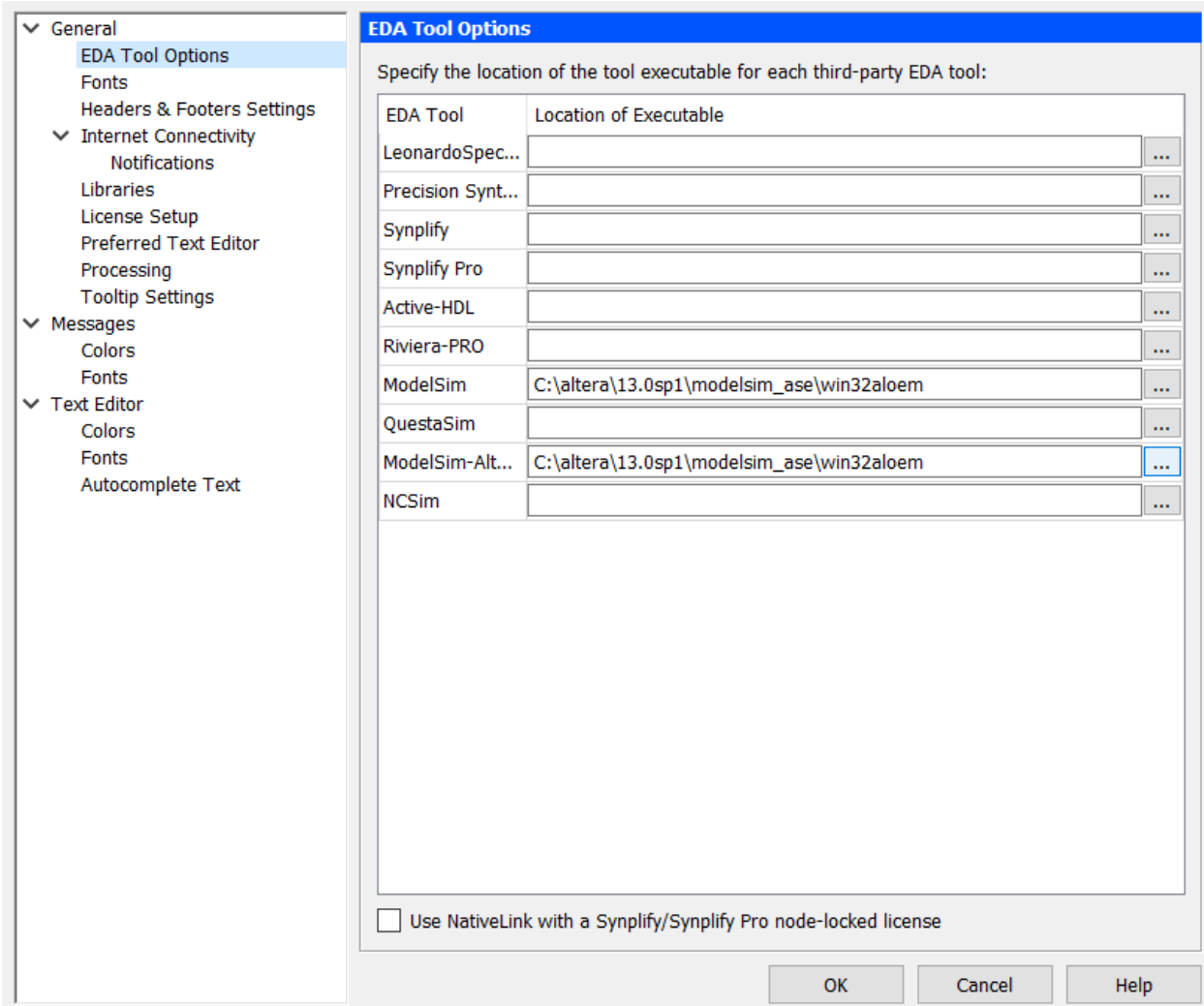
```
CLA_testbench.v
1 `timescale 1ns/100ps
2 module CLA_testbench();
3     reg [2:0] A, B;
4     reg Cin;
5     wire [3:0] S, mS;
6
7     initial
8     begin
9         #640 $stop;
10    end
11
12    initial
13    begin
14        Gen();
15    end
16
17    CLA_3b Inst1(.A(A), .B(B), .Cin(Cin), .S(S));
18    //CLA_M Inst2(.A(A), .B(B), .Cin(Cin), .S(mS));
19
20    task Gen;
21    begin
22        A = 0;
23        B = 0;
24        Cin = 0;
25        forever begin
26            #5 A <= (A + 1);
27            if (A == 3'b111)
28            begin
29                #0 B <= (B + 1);
30                if (B == 3'b111)
31                begin
32                    #0 Cin <= (Cin + 1);
33                end
34            end
35        end
36        if ((S == mS))
37            #0 $display("Expected result: %d .Simulation result: %d -->PASS", S, mS);
38        else
39            #0 $display("Expected result: %d .Simulation result: %d -->FAIL", S, mS);
40        end
41    end
42    endtask
43 endmodule
44
```

Do trong testbench cho sẵn có mô tả để test hai module cùng lúc nhưng trên quartus chỉ thực hiện testbench một module một lúc mà thôi, nên ta thực hiện comment module CLA\_M đi. Sau đó lưu file lại với tên trùng với testbench.

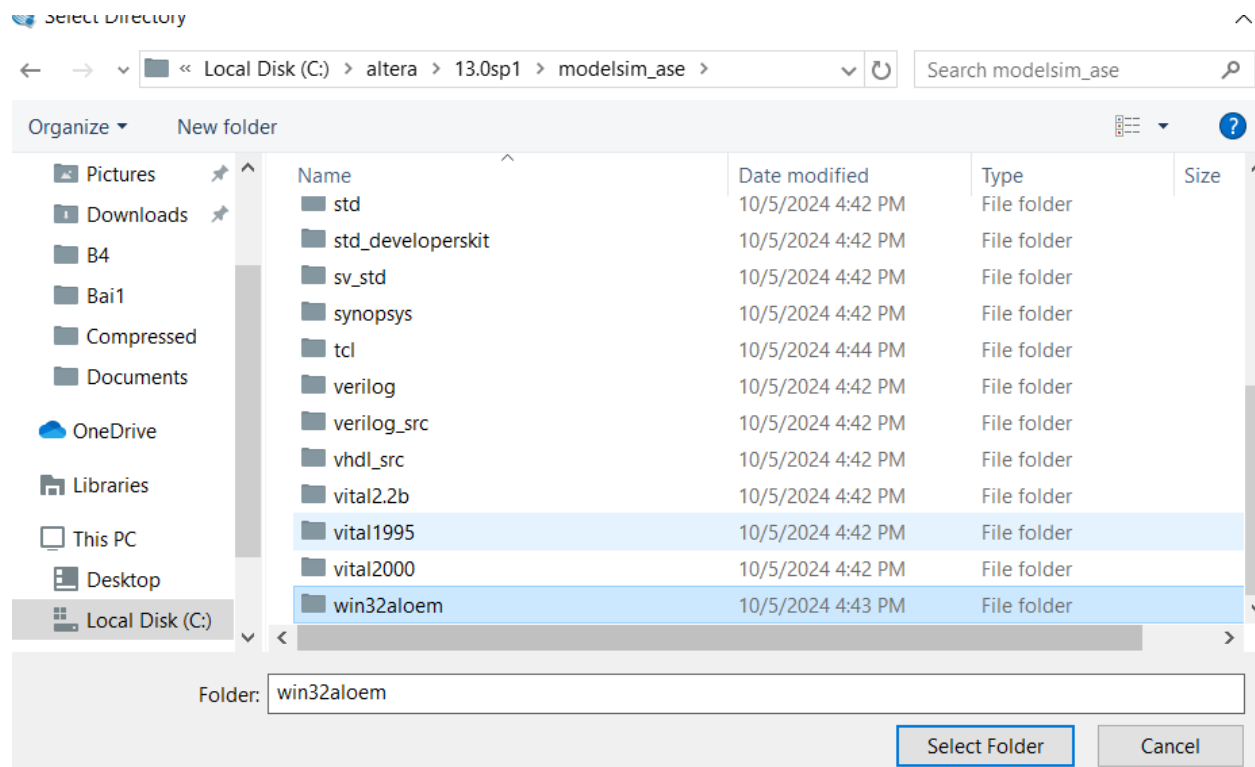
Tiếp đến chọn Tools -> Options...



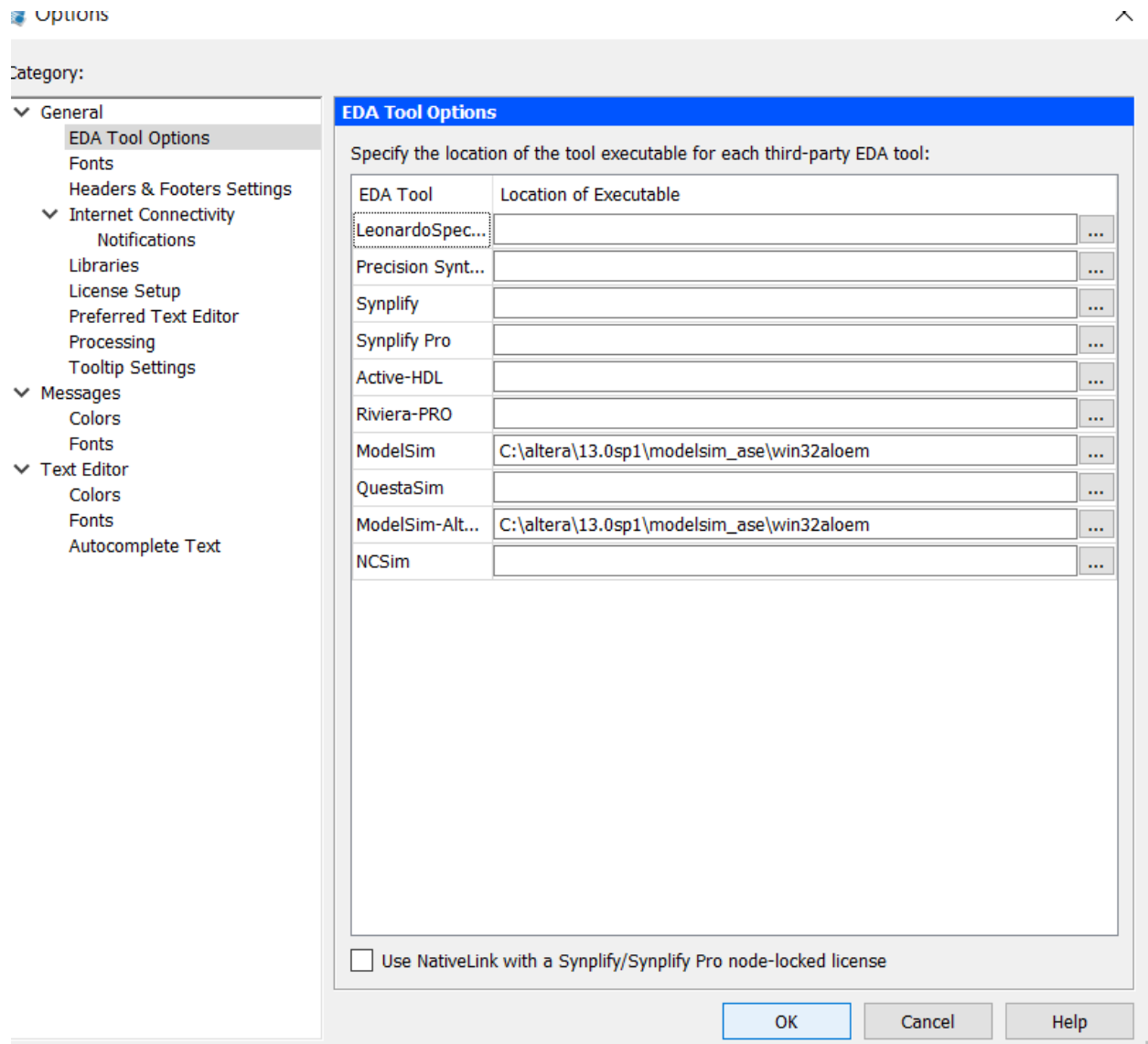
Chọn EDA Tool Options và chọn ... ở phần ModelSim – Alt...



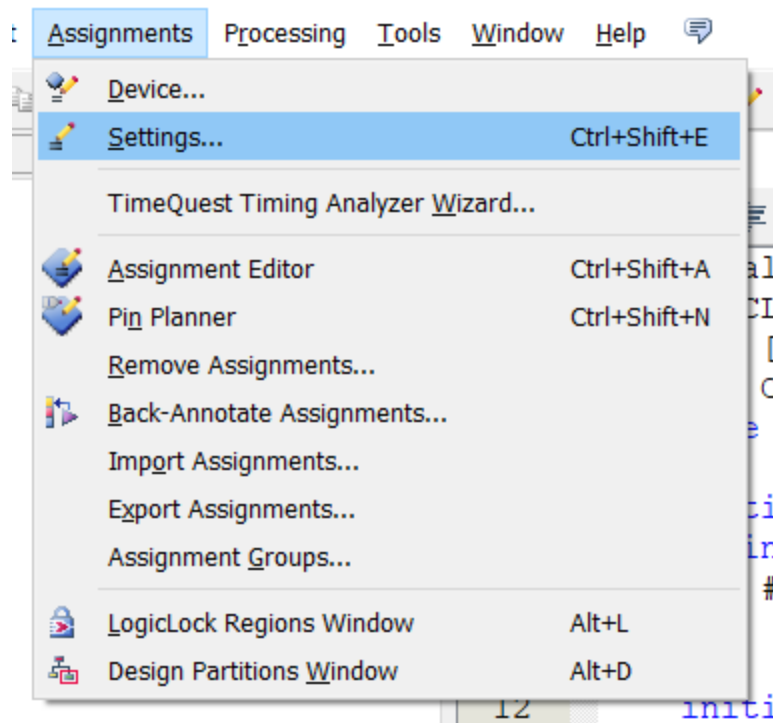
Chỉ đường dẫn đến folder win32aloem (nằm trong folder cài đặt quartus) và chọn Open.



Rồi chọn Ok

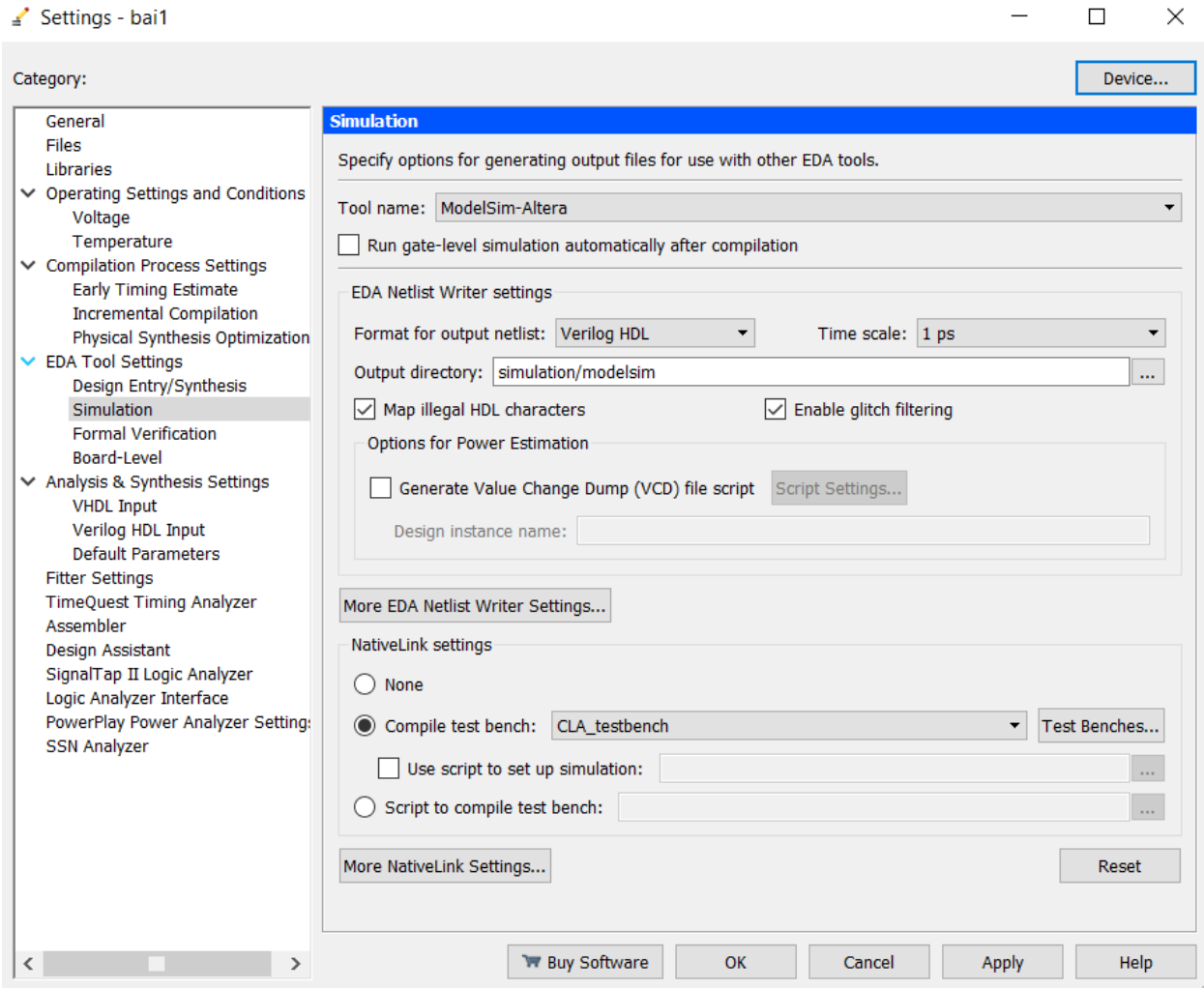


Tiếp theo thực hiện bấm Assignments -> Settings...

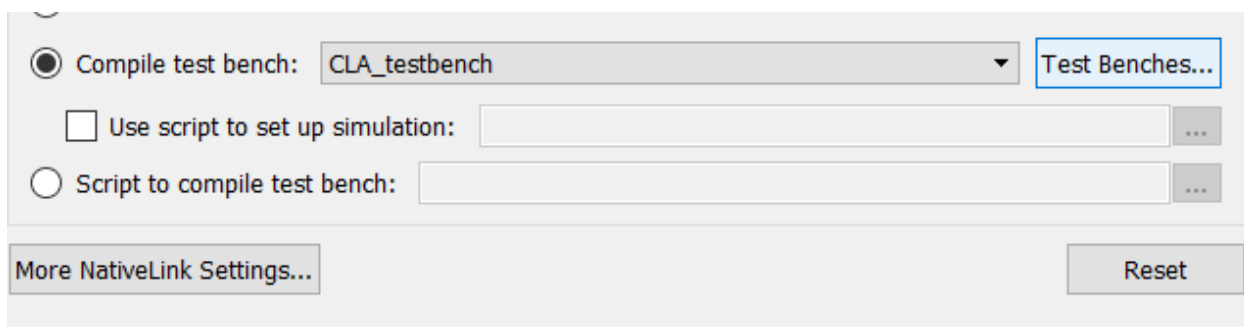


Nó sẽ ra một cái tab, chọn mục simulation để thiết lập. Chọn Tool name là ModelSim-Altera, sau đó chọn format là Verilog HDL và rồi chọn Compile test bench.

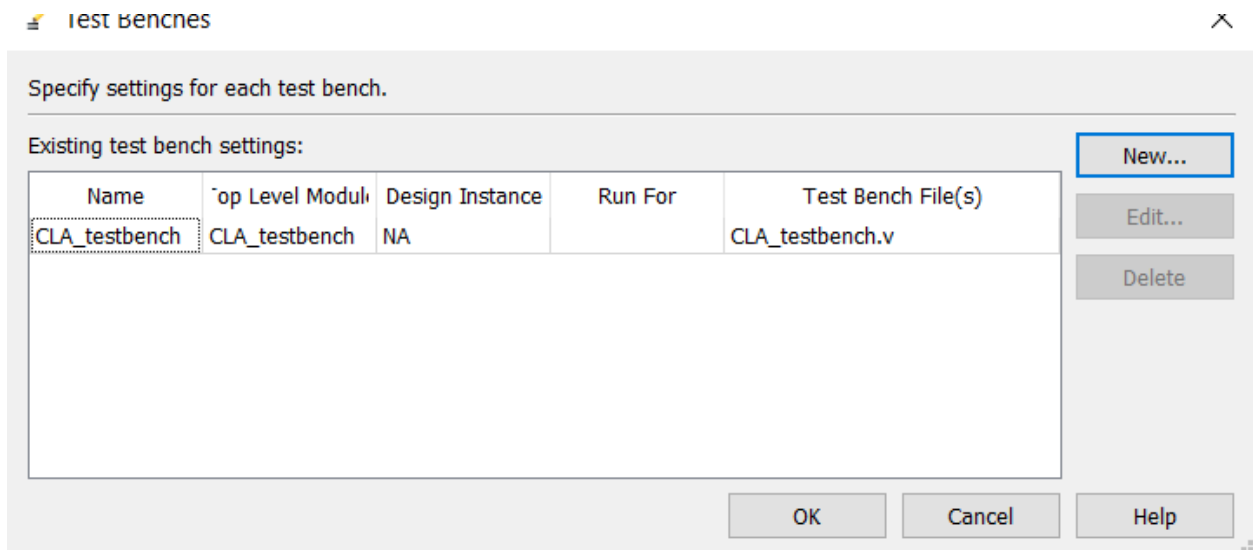




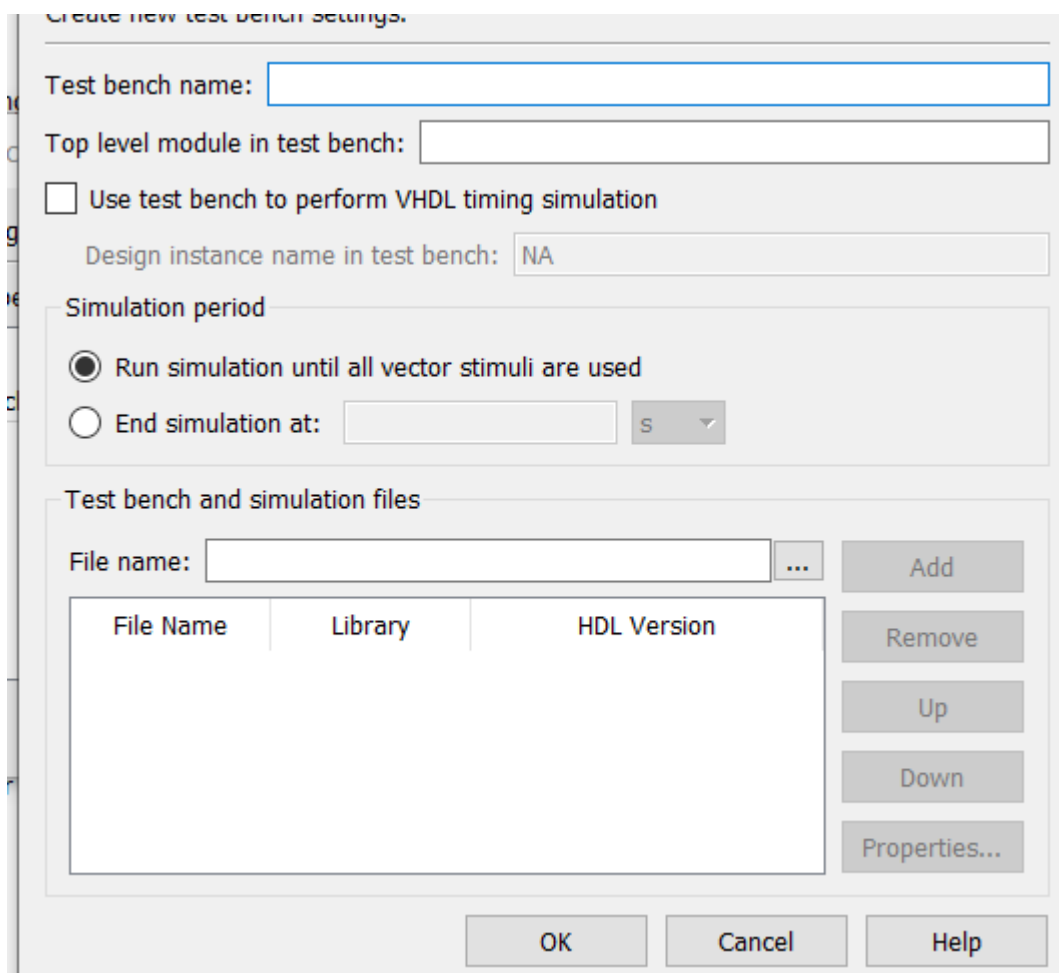
Bấm chọn Test Benches...



Nó sẽ một tab mới. Lúc này chọn New...



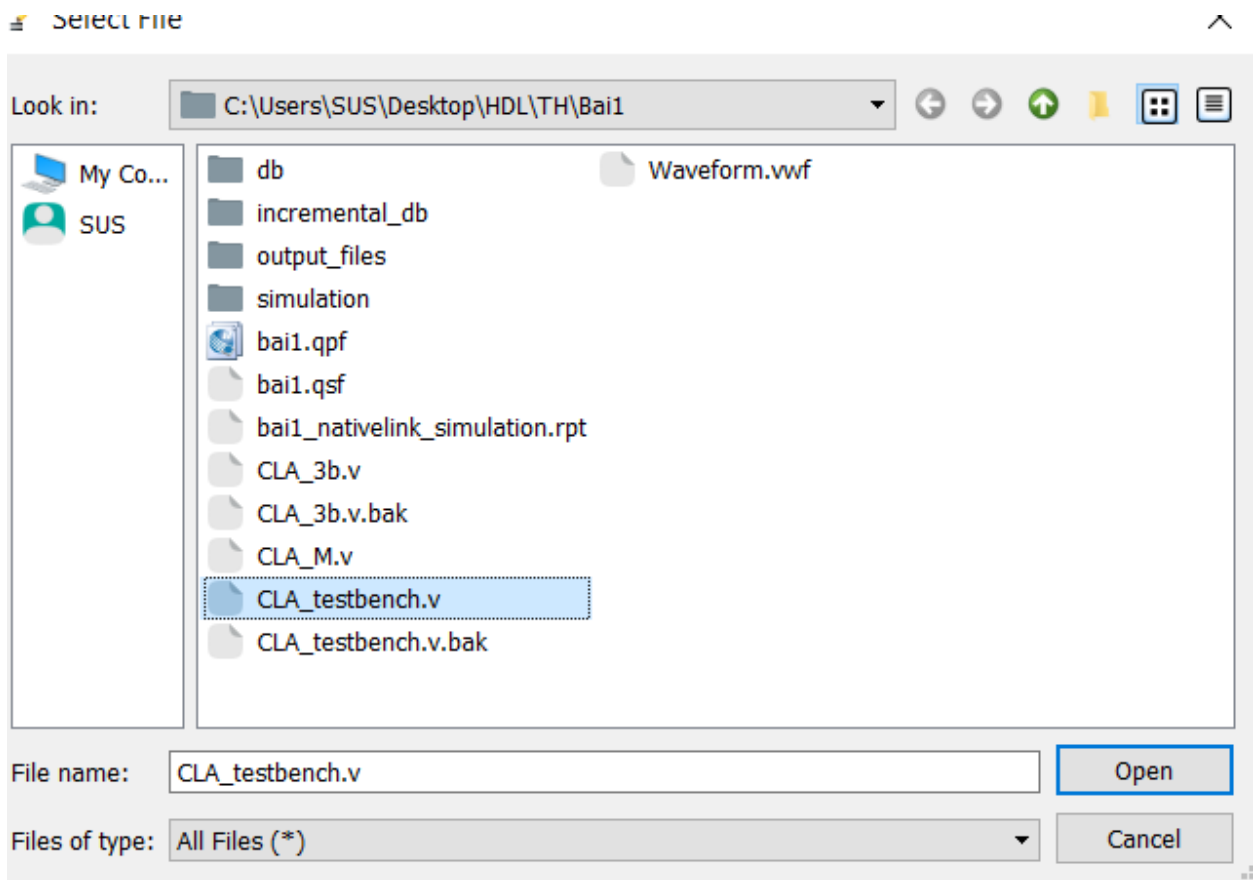
Nó sẽ ra một tab, đặt test bench name trùng tên với module test bench đã đặt trước đó.



Sau đó chọn ...

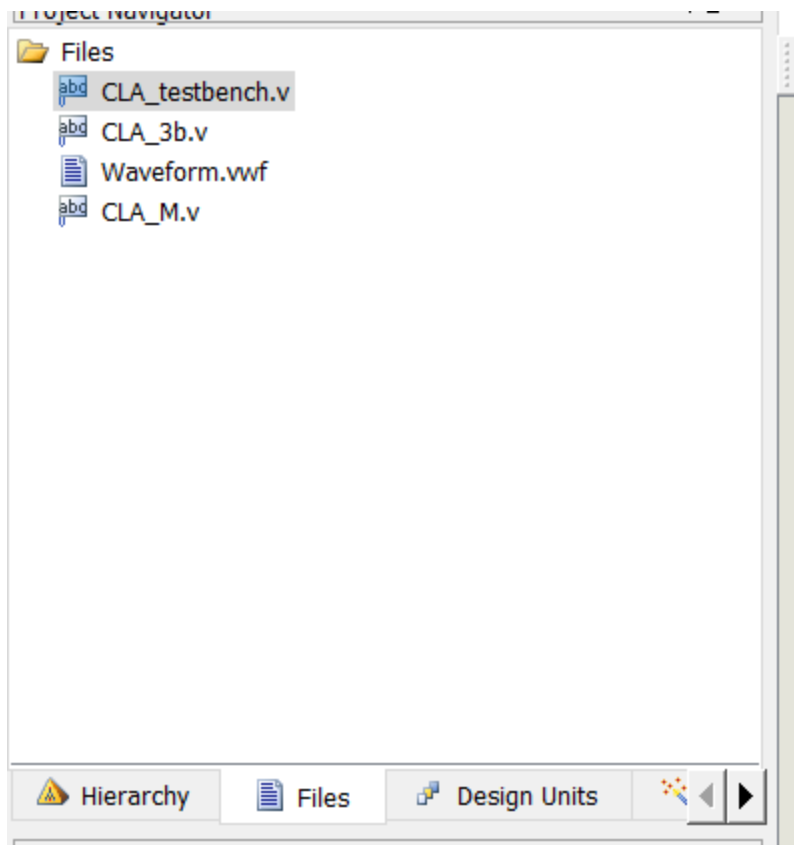
File name:  ...

Và chọn đường dẫn tới file verilog testbench đã lưu và chọn Open.

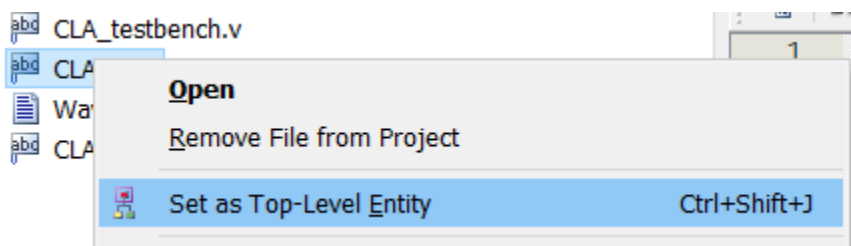


Sau đó nhấn Add và click hết Ok để hoàn thành.

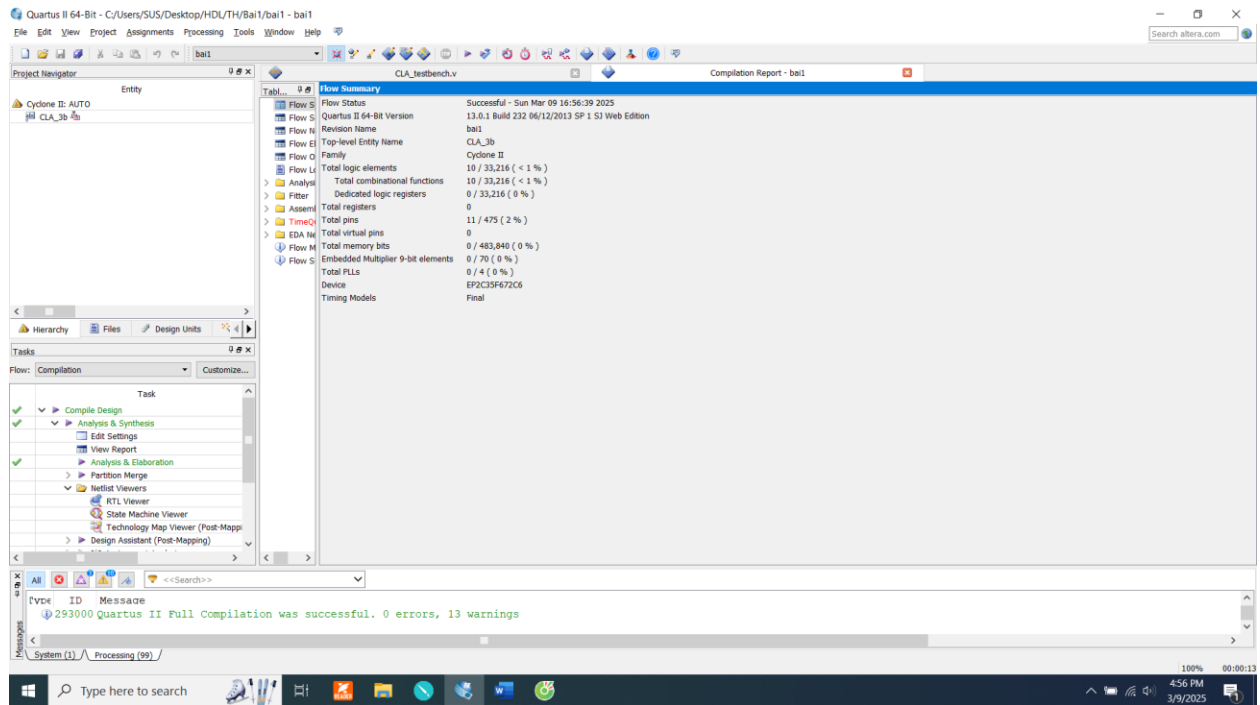
Lúc này chọn Files.



Set module muốn testbench lên top level.



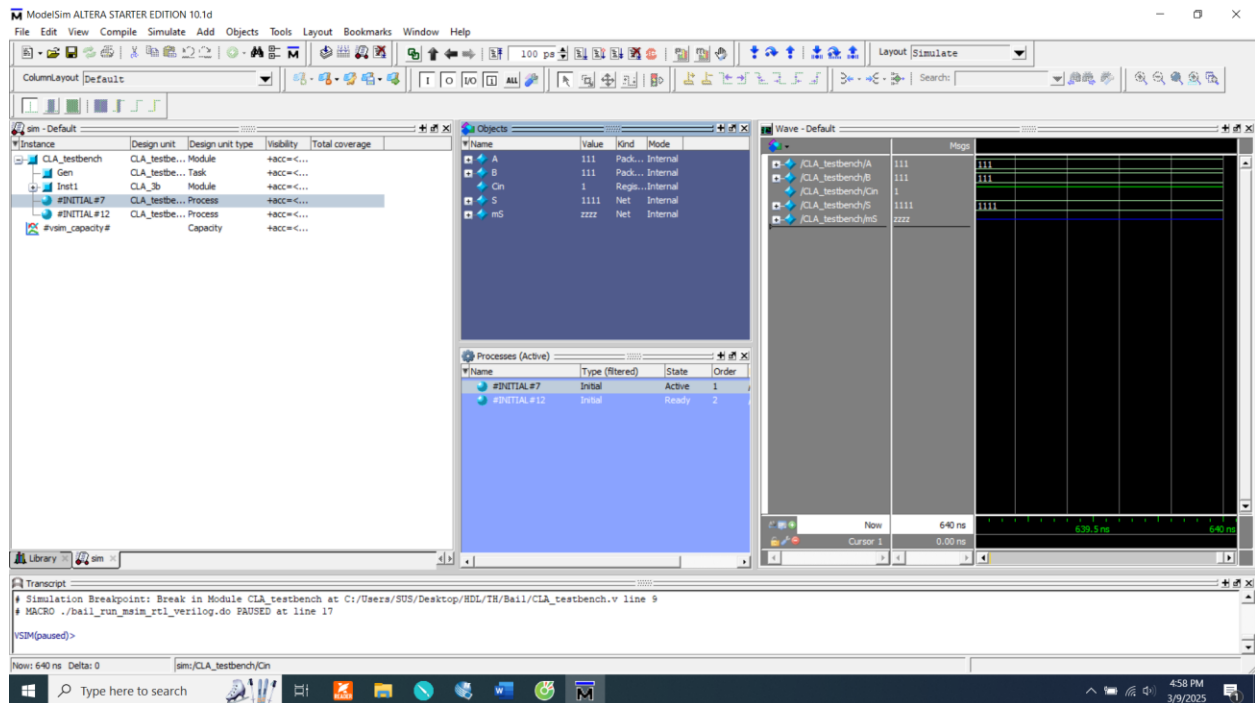
Sau đó thực hiện Start Compilation (Ctrl + L) và đợi quartus chạy xong.



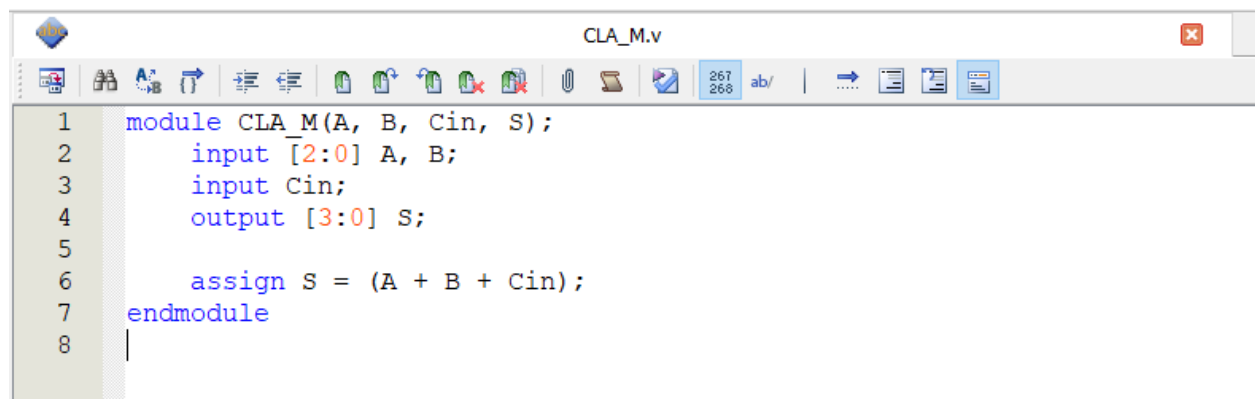
Rồi chọn Tools -> Run Simulation Tools -> RTL Simulation.



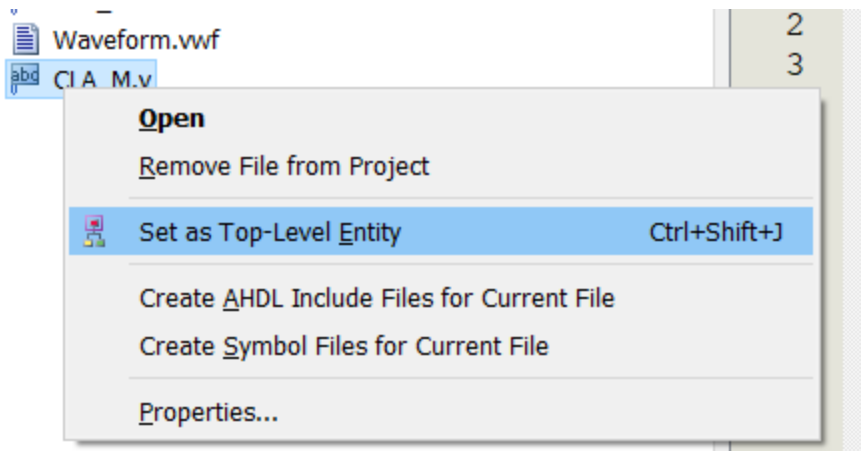
Nó sẽ ra cái tab có dạng sóng là thành công.



Tiếp tục test module khác là module CLA\_M. Ta thực hiện tạo một file verilog mới (do quartus chỉ chấp nhận một module trong một file verilog).



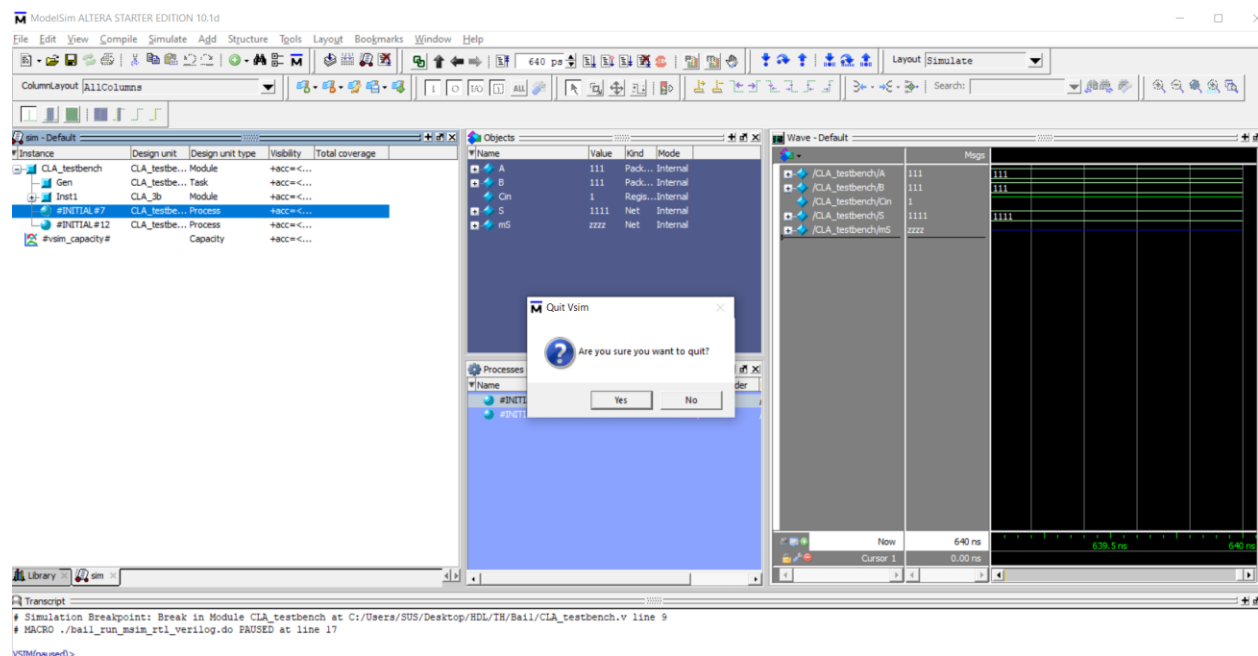
Set top level cho module.



Chỉnh lại file testbench.

```
17 //CLA_3b Inst1(.A(A), .B(B), .Cin(Cin), .S(S));
18 CLA_M Inst2(.A(A), .B(B), .Cin(Cin), .S(mS));
19
```

Rồi Start Compilation -> RTL Simulation. Tuy nhiên trước khi chạy simulation thì phải tắt tab simulation trước đó.



Và thế là xong.

