

Opis magistrali I²C cz. 1

W poprzednich numerach PE opublikowaliśmy cykl artykułów poświęconych przedwzmacniaczowi Hi-Fi. W układzie zastosowano nowoczesne układy scalone sterowane z mikroprocesora za pośrednictwem magistrali I²C. Poniższy artykuł zawiera opis magistrali I²C, która jest szeroko stosowana do przesyłania sygnałów sterujących w sprzęcie powszechnego użytku, dlatego też warto zapoznać się z nią bliżej. Artykuł opracowano w oparciu o publikację: "Single-chip 8-bit microcontrollers user manual 1988", za zgodą firmy PHILIPS.

1.0. Wprowadzenie

Do mikrosterowników jednoukładowych w zastosowaniach 8-bitowych można wprowadzić pewne kryteria projektowe:

- pełny system składa się zazwyczaj z co najmniej jednego mikrosterownika, oraz innych urządzeń periferyjnych, takich jak pamięci i ekspandery WE/WY,
- koszt połączeń różnych urządzeń wewnętrz systemu musi być utrzymany na minimalnym poziomie,
- system taki wykonuje zazwyczaj funkcje kontrolne i nie wymaga przesyłania danych z dużą prędkością,
- ogólna sprawność zależy od wybranych urządzeń, oraz struktury magistrali połączeń wzajemnych.

Aby stworzyć system spełniający powyższe kryteria wymagana jest magistrala o strukturze szeregowej. Chociaż magistrale szeregowe nie posiadają takiej przepustowości informatycznej, jaką mają magistrale równoległe, to jednak potrzebują mniej połączeń przewodowych, oraz mniej złącz do połączenia. Magistrala nie jest jednak tylko wewnętrznym okablowaniem, zawiera

ona wszystkie postacie, formaty i procedury dla komunikacji wewnętrz systemu.

Urządzenia komunikujące się ze sobą za pośrednictwem magistrali szeregowej muszą zachować pewien format protokołu, który zapobiegnie wszelkim możliwościom bałaganu, utracie danych, oraz blokadzie informacji. Urządzenia szybkie muszą mieć możliwości komunikowania się z urządzeniami wolnymi. System nie może być uzależniony od urządzeń do niego podłączonych, gdyż uniemożliwiony to modyfikację i usprawnienie. Procedura powinna też być zdolna do decydowania, które urządzenie i kiedy ma być sterowane przez magistralę. A gdy do magistrali zostaną podłączone różne urządzenia, o różnych częstotliwościach zegara (różnych szybkościach), to musi zostać określone źródło zegara do wybranego urządzenia. Wszystkie te kryteria włączone są do specyfikacji magistrali I²C.

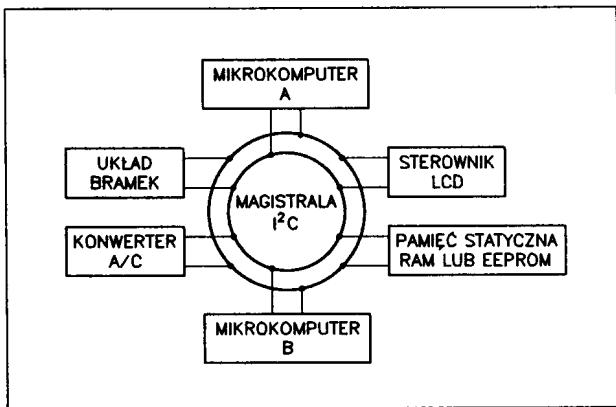
2.0. Specyfikacja Magistrali I²C

Przez magistralę I²C może być wspomagany każdy proces przetwarzania (NMOS, CMOS, I²L). Pomiędzy urządzeniami przyłączonymi do magistrali informacje przenoszą dwie szyny:

- SDA – dane szeregowe,
- SCL – zegar szeregowy.

Każde urządzenie jest rozpoznawane dzięki unikalnowi adresowi – czy jest to mikrosterownik, sterownik LCD, pamięć, czy zespół klawiatury – i pracować może bądź jako nadajnik, bądź jako odbiornik, w zależności od funkcji jaką urządzeniu przyporządkowaliśmy. Oczywiście sterownik LCD jest tylko odbiornikiem, ale pamięć może już zarówno wysyłać jak i odbierać dane. Dodatkowo do funkcji nadawczej i odbiorczej urządze-

nie może być również uznane za nadzędne, lub podzędne (niezależne i uzależnione) w trakcie wykonywania transmisji danych (patrz tabela 1). Urządzeniem nadzędnym jest to, które inicjuje przesyłanie danych w magistrali i wytwarza sygnały zegarowe zezwalające na ten transfer. W tym samym czasie każde każde urządzenie adresowane uznawane jest jako podzędne (zależne).



Rys. 1 Typowa konfiguracja I²C

Magistrala I²C jest magistralą o wielu urządzeniach nadzędnych. Oznacza to, że do magistrali może zostać podłączone więcej niż jedno urządzenie zdolne do sterowania nią. Ponieważ urządzeniami nadzędnymi są zwykłe mikrosterowniki, to spróbujmy rozważyć przypadek przesyłania (transferu) danych pomiędzy dwoma mikrosterownikami podłączonymi do magistrali I²C (rys. 1). Przypadek ten wyjaśnia zależności występujące w magistrali I²C pomiędzy urządzeniem nadzędnym i podzędnym, oraz nadajnikiem i odbiornikiem. Należy zauważać, że zależności te nie występują ciągle, ale zależą jedynie od kierunku transmisji danych w danym momencie. Transfer danych będzie następował w poniższy sposób:

1. Założymy, że mikrosterownik A potrzebuje wysłać informacje do mikrosterownika B
 - mikrosterownik A (nadzędny) adresuje mikrosterownika B (podzędny),
 - mikrosterownik A (nadajnik nadzędny) wysyła dane do mikrosterownika B (odbiornik podporządkowany),

- mikrosterownik A kończy transfer.
- 2. Jeżeli mikrosterownik A chce otrzymać dane od mikrosterownika B
 - mikrosterownik A (nadzędny) adresuje mikrosterownika B (podzędny),
 - mikrosterownik A (odbiornik nadzędny) otrzymuje dane od mikrosterownika B (nadajnik podporządkowany),
 - mikrosterownik A zakańcza transfer.

Nawet w drugim przypadku urządzenie nadzędne (mikrokontroler A) wytwarza synchronizację i zakańcza transfer.

Możliwość podłączenia do magistrali I²C więcej niż jednego mikrokontrolera oznacza, że więcej niż jedno urządzenie nadzędne może próbować zainicjować transfer danych w tym samym czasie. Aby uniknąć chaosu, który mógłby wyniknąć w takim przypadku, zaprojektowano procedurę obsługi zgłoszeń konfliktowych. Procedura ta polega na przyłączeniu wszystkich urządzeń do magistrali I²C poprzez iloczyn galwaniczny (łączone AND).

Jeżeli dwa lub więcej urządzeń nadzędnych próbuje wprowadzić informację do magistrali, to pierwsze, które wytworzy "jeden", gdy inne wytwarzają "zero" utraci obsługę zgłoszenia konfliktowego. Sygnały zegarowe podczas obsługi zgłoszenia konfliktowego są zynchronizowaną kombinacją przebiegów zegarowych wytwarzanych przez urządzenia nadzędne, wykorzystujące połączenie do szyny SCL poprzez iloczyn galwaniczny (więcej szczegółowych informacji dotyczących obsługi zgłoszeń konfliktowych znajduje się w rozdziale 6.0.).

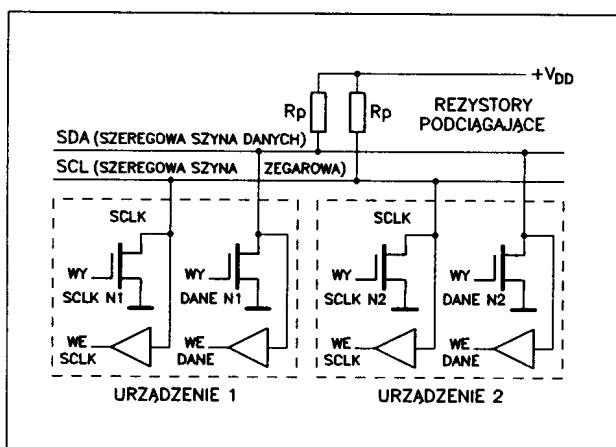
Dla magistrali I²C wytwarzanie sygnałów zegarowych należy zawsze do powinności urządzeń nadzędnych; każde urządzenie nadzędne wytwarza swoje własne sygnały zegarowe, gdy przesyła dane do magistrali. Sygnały zegarowe z magistrali z urządzenia nadzędnego mogą być zmieniane tylko wtedy, gdy są one wyciągnięte przez powolne urządzenie podzędne utrzymujące linię zegarową na niskim poziomie, lub też przez inne urządzenie nadzędne, gdy następuje obsługa zgłoszenia konfliktowego.

Tabela 1. Terminologia magistrali I²C

Nadajnik	– urządzenie, które wysyła dane do magistrali
Odbiornik	– urządzenie, które odbiera dane z magistrali
Urządzenie nadzędne	– urządzenie, które inicjuje transfer, wytwarza sygnały zegarowe i zakańcza transfer
Urządzenie podzędne	– urządzenie adresowane przez urządzenie nadzędne
Wielonadzędność	– więcej niż jedno urządzenie nadzędne może próbować sterować magistralą w tym samym czasie bez zakłócania informacji
Obsługa zgłoszeń konfliktowych	– procedura pozwalająca na to, że jeśli więcej niż jedno urządzenie nadzędne ciągle próbuje sterować magistralą, to tylko jedno może to robić i wiadomość nie jest zakłócona
Synchronizacja	– procedura do synchronizacji sygnałów zegarowych dwu lub więcej urządzeń

3.0. Własności ogólne

Obie szyny SDA i SCL są szynami dwukierunkowymi; są one podłączone do napięcia dodatniego poprzez rezystory podciągające (rys. 2). Gdy magistrala jest wolna, obie linie są na potencjale wysokim (HIGH). Aby uzyskać realizację iloczynu galwanicznego, stopnie wyjściowe urządzeń podłączonych do magistrali muszą mieć otwarty kolektor lub dren. W magistrali I²C dane mogą być przesyłane z szybkością do 100 kbitów/sek. Liczba urządzeń podłączonych do magistrali zależy jedynie od limitującej magistralę pojemności, która wynosi 400 pF.

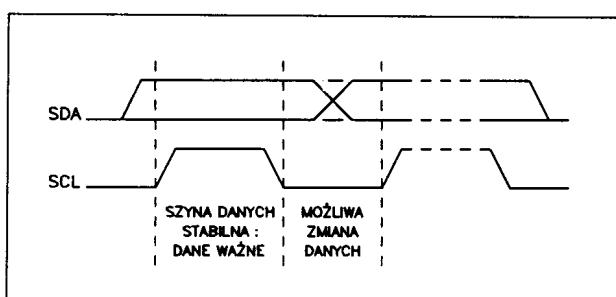


Rys. 2 Podłączenie urządzeń do magistrali I²C

4.0. Przesyłanie bitów

Wskutek rozmaitości urządzeń wykonanych różnymi technologiami (CMOS, NMOS, I²L), które mogą być podłączone do magistrali I²C, poziomy logiczne "0" (LOW), oraz "1" (HIGH) nie są stałe i zależą od stosowanego poziomu V_{DD} (rozdz. 9.0. specyfikacja elektryczna). Dla każdego przesyłanego bitu generowany jest jeden impuls zegarowy.

4.1. Ważność danych



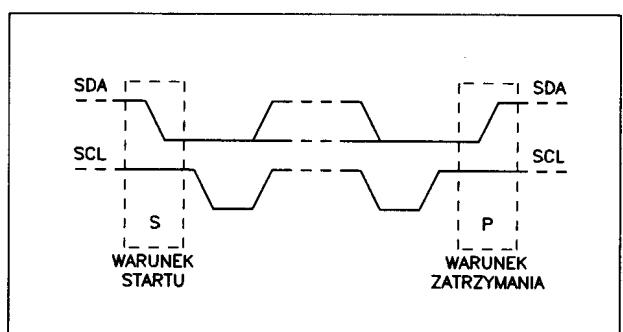
Rys. 3 Transfer bitów w magistrali I²C

Dane na szynie SDA muszą być stabilne w okresie, gdy zegar ma poziom HIGH. Poziom szyny danych może zmieniać się z poziomu HIGH na LOW, lub odwrotnie tylko wówczas, gdy poziom sygnału zegarowego na szynie SCL jest LOW (rys. 3).

4.2. Warunki startu i zatrzymania

W obrębie procedury magistrali I²C pojawiają się specyficzne sytuacje, które zostały zdefiniowane jako warunki startu i zatrzymania (rys. 4).

Jedną z tych sytuacji jest przejście szyny danych SDA z HIGH do LOW w czasie, gdy szyna SCL ma poziom HIGH – jest to warunek startu. Warunek zatrzymania jest zdefiniowany przejściem szyny SDA z poziomu LOW do HIGH, gdy szyna SCL ma poziom HIGH.



Rys. 4 Warunki startu i zatrzymania

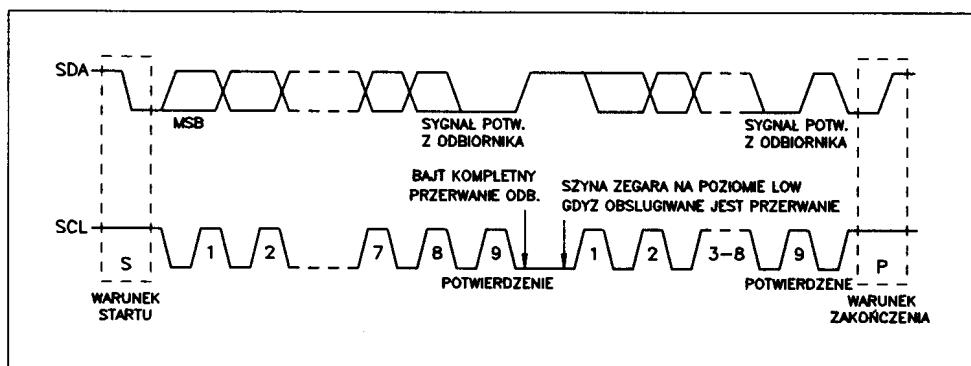
Warunki startu i zatrzymania są zawsze generowane przez urządzenie nadzadane. Magistralę uważa się za zajętą po zaistnieniu warunku startu. Magistralę uważa się za ponownie wolną po pewnym czasie po zaistnieniu warunku zatrzymania. Stan gdy magistrala jest wolna zostanie później szczegółowo opisany.

Wykrywanie przez urządzenia przyłączone do magistrali warunków startu i zatrzymania jest proste, gdy posiadają one niezbędną wyposażenie sprzętowe. Tym niemniej mikrosterowniki bez takiego sprzętu muszą próbować szynę SDA co najmniej dwukrotnie w okresie zegarowym dla dokonania odczytu przejścia.

5.0. Przesyłanie danych

5.1. Format bajtu

Każdy bajt wprowadzony do szyny SDA musi mieć 8 bitów. Liczba bajtów, która może być wysyłana w czasie transferu jest nieograniczona. Po każdym bajcie powinien następować bit potwierdzenia. Dane przesyłane są w ten sposób, że najbardziej znaczący bit (MSB) przesyłany jest jako pierwszy (rys. 5).

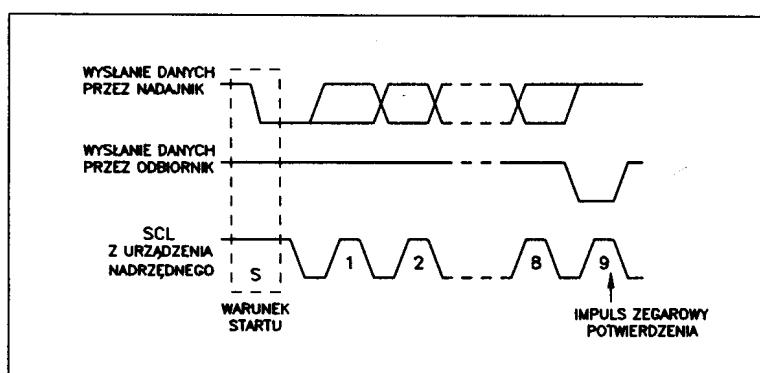
Rys. 5 Transfer danych w magistrali I²C

Jeśli urządzenie odbiorcze nie może do czasu wykonania jakiejś innej funkcji, np. obsługi przerwania wewnętrznego, odebrać dalszego kompletnego bajtu danych, to może ono przetrzymać szynę zegara w stanie LOW zmuszając w ten sposób nadajnik do pozostawiania w stanie oczekiwania. Transfer danych jest wówczas kontynuowany od momentu, gdy odbiornik jest gotowy do odebrania dalszego bajtu danych i zwolni szynę zegara SCL.

W niektórych przypadkach dopuszcza się do używania innego formatu niż format magistrali I²C (np. dla urządzeń kompatybilnych z CBUS). Informacja, która rozpoczyna się takim adresem, może być zakończona przez wytworzenie warunku zakończenia nawet podczas przesyłania bajtu, w takim przypadku potwierdzenie nie jest generowane.

5.2. Potwierdzenie przyjęcia

Przy przesyłaniu danych potwierdzenie przyjęcia jest obligatoryjne. Impuls zegarowy odpowiadający potwierdzeniu wytwarzany jest przez urządzenie nadzadne. Urządzenie nadawcze zwolni szynę SDA (HIGH) podczas impulsu zegarowego potwierdzenia. Urządzenie odbiorcze musi ściągnąć w dół szynę SDA podczas impulsu zegarowego potwierdzenia, tak aby szyna SDA miała stabilny poziom LOW podczas stanu wysokiego tego impulsu (rys. 6). Oczywiście, pod uwagę muszą też być brane czasy przygotowawcze i czasy utrzymania. Czyszc te będą opisane w rozdziale 10.0.

Rys. 6 Potwierdzenie przyjęcia w magistrali I²C

Zazwyczaj adresowany odbiornik jest zobowiązany do wygenerowania potwierdzenia po odebraniu każdego bajtu (za wyjątkiem przypadku gdy informacja rozpoczyna się bajtem startowym, lub adresem CBUS – rozdz. 8.1.2. i 8.1.3.). Jeśli odbiornik podporządkowany nie może dokonać potwierdzenia na podporządkowanym adresie,

np. wskutek niemożności odbioru ze względu na wykonywanie jakiejś funkcji w czasie rzeczywistym, to szyna danych musi być utrzymywana w stanie HIGH przez urządzenie podporządkowane. Urządzenie nadzadne może wówczas wygenerować warunek zatrzymania i przerwać transfer.

Jeśli odbiornik podporządkowany potwierdza podporządkowany adres, ale trochę później w czasie nie może więcej odbierać bajtów danych, to urządzenie nadzadne musi powtórnie przerwać transfer. Jest to wykazywane przez urządzenie podporządkowane w ten sposób, że nie generuje ono potwierdzenia po pierwszym następnym bajcie. Urządzenie podporządkowane ustawia szynę danych w stan HIGH podczas impulsu zegarowego przeznaczonego na potwierdzenie, a urządzenie nadzadne musi zaraz po tem wygenerować warunek zatrzymania.

W przypadku gdy nadzadny odbiornik zangażowany jest w transfer, to musi on zasygnalizować koniec danych do podporządkowanego nadajnika poprzez brak wygenerowania potwierdzenia w pozycji ostatniego bitu, który byłby wytworzony przez urządzenie podrzadne. Podporządkowany nadajnik musi zwolnić szynę danych, aby umożliwić urządzeniu nadzadnemu wytworzenie warunku zatrzymania.

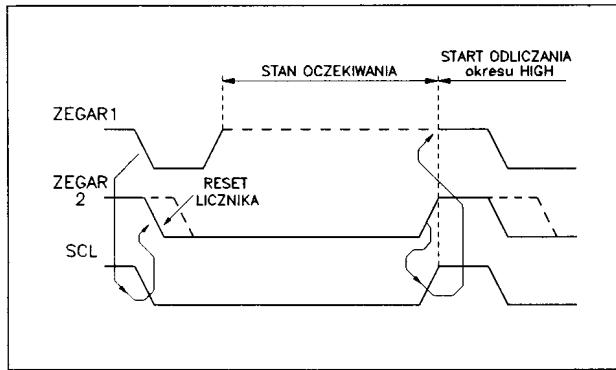
Ciąg dalszy w następnym numerze.

Opis magistrali I²C cz. 2

6.0. Obsługa zgłoszeń konfliktowych i wytwarzanie sygnałów zegarowych

6.1. Synchronizacja

Dla przesyłania informacji w magistrali I²C wszystkie urządzenia nadzędne generują do szyny SCL swój własny sygnał zegarowy. Dane są ważne tylko podczas okresu, w którym na szynie SCL zegar jest w stanie HIGH. Z tego względu przy procedurze obsługi bit po bieżącym zgłoszeniu konfliktowym potrzebny jest zdefiniowany sygnał zegarowy. Synchronizacja zegara dokonywana jest dzięki przyłączeniu urządzeń do szyny SCL z wykorzystaniem iloczynu galwanicznego. Oznacza to, że przejście ze stanu HIGH do LOW w szynie SCL będzie oddziaływało na przyporządkowane urządzenia w ten sposób, że rozpoczęte one odliczanie swojego okresu LOW – i gdy raz zegar urządzenia wejdzie w stan LOW to będzie ono utrzymywać szynę SCL w tym stanie, aż zegar uzyska stan HIGH (rys. 7).



Rys. 7 Synchronizacja zegara podczas procedury obsługi zgłoszenia konfliktowego

Jednakże zmiana stanu zegara urządzenia z LOW do HIGH może nie zmienić stanu szyny SCL jeśli zegar innego urządzenia znajduje się nadal w swoim stanie LOW. Z tego powodu SCL będzie utrzymywana w stanie LOW przez urządzenie o najdłuższym okresie LOW. Urządzenia o krótszych okresach LOW wchodzą w tym samym czasie w stan oczekiwania HIGH. Gdy wszystkie wchodzące w rachubę urządzenia odliczają swoje okresy LOW, szyna zegarowa zostaje zwolniona i przechodzi w stan HIGH. Wówczas nie będzie różnic po-

między zegarami urządzeń, a stanem szyny zegarowej i wszystkie urządzenia rozpoczną odliczanie swoich okresów HIGH. Pierwsze urządzenie, które zakończy swój okres HIGH znów pociągnie szynę SCL w stan LOW.

W taki sposób wytwarzany jest synchronizowany sygnał zegarowy w którym okres LOW jest określony przez urządzenie o najdłuższym okresie LOW zegara, a okres HIGH w szynie SCL zdeterminowany jest przez urządzenia o najkrótszym okresie HIGH zegara.

6.2. Obsługa zgłoszenia konfliktowego (por. także zał B)

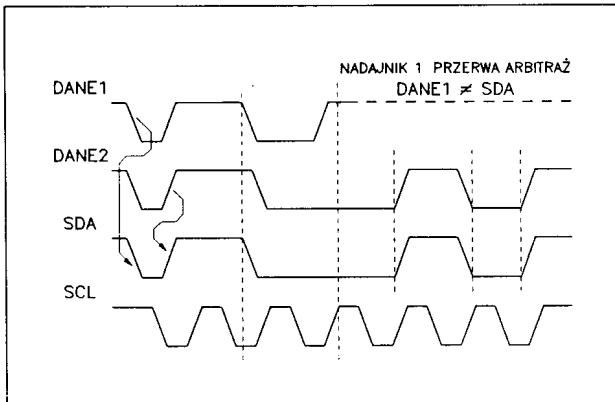
Zgłoszenie konfliktowe (arbitraż) zachodzi w szynie SDA w taki sposób, że urządzenie nadzędne, które nadaje poziom HIGH w czasie gdy inne urządzenie nadzędne nadaje poziom LOW, wyłączy swój stopień wyjściowy DANE, gdyż poziom w magistrali nie odpowiada jego własnemu poziomowi.

Arbitraż może zachodzić w czasie trwania wielu bitów. Pierwszym stopniem arbitrażu jest porównanie bitów adresowych (informacje o adresowaniu można znaleźć w rozdziale 8.0.). Jeśli urządzenia nadzędne starają się adresować to samo urządzenie, to arbitraż jest kontynuowany poprzez porównanie danych. Ponieważ w magistrali I²C do arbitrażu używane są informacje adresowe, oraz dane, to podczas tego procesu nie wystąpi utrata informacji. Urządzenie nadzędne, które przegrywa arbitraż może generować impulsy zegarowe, aż do końca bajtu, w którym przegrało arbitraż.

Jeśli urządzenie nadzędne przegrywa arbitraż w czasie adresowania, to możliwe jest, że wygrywające urządzenie nadzędne stara się właśnie je adresować. Przegrywające urządzenie nadzędne musi więc natychmiast przełączyć się w stan podporządkowanego odbiornika.

Rys. 8 pokazuje procedurę arbitrażową dla dwóch urządzeń nadzędnych. Udział w procedurze może oczywiście wziąć więcej urządzeń nadzędnych, jeśli są połączone do magistrali. Ważna jest tu różnica pomiędzy poziomem danych wewnętrznych urządzenia nadzędnego generującego DANE i/ lub aktualnym poziomem na szynie SDA. Wyjście danych tego urządzenia zostaje wyłączone, co oznacza, że do magistrali dołączony zostaje wyjściowy poziom HIGH – nie będzie więc ono wpływać na transfer danych zainicjowany przez urządzenie nadzędne.

dzenie nadzędne, które wygrało arbitraż. Ponieważ sterowanie magistralą I²C zależy jedynie od adresu i danych wysyłanych przez współzawodniczące urządzenia nadzędne, więc nie ma tu centralnego urządzenia nadzędnego, ani też potrzeby priorytetu magistrali.



Rys. 8 Obsługa zgłoszenia konfliktowego (arbitraż) dwu urządzeń nadzędnych

Jeśli procedura arbitrażowa rozciąga się, aż do powtórzenia warunku startu, wówczas zaangażowane w nią urządzenie nadzędne musi wytwarzanie ten sam format (tj. każde z nich powinno wytwarzać powtórny warunek startu w tym samym miejscu ramki formatu (por. załącznik).

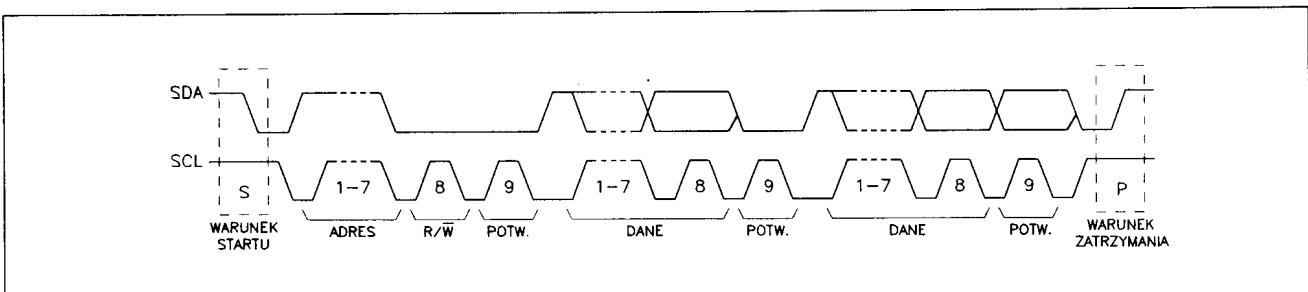
6.3. Wykorzystanie mechanizmu synchronizacji zegara jako wymiany potwierdzenia

Mechanizm synchronizacji zegara może być wykorzystany poza procedurą wykorzystaną przy arbitrażu do umożliwienia urządzeniom odbierającym uporania się z szybkim transferem danych, zarówno na poziomie bitu jak i bajtu. Na poziomie bajtu urządzenie może być zdolne do przyjęcia bajtu danych transmitywanych z dużą prędkością, lecz może potrzebować więcej czasu do zapamiętania odebranego bajtu, lub przygotowania innego bajtu do transmisji. Urządzenia podporządkowane mogą wówczas po odebraniu i potwierdzeniu bajtu, utrzymywać szynę SCL w stanie LOW w celu zmuszenia urządzenia nadzędnego do pozostania w stanie oczekiwania, aż urządzenie podporządkowane będzie gotowe do następnego transferu bajta zgodnie z procedurą typową dla wymiany potwierdzenia.

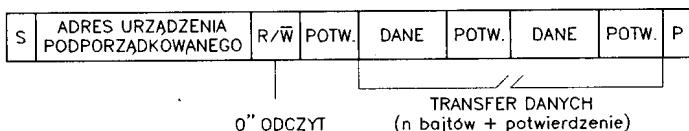
Na poziomie bitu urządzenie takie jak mikrosterownik nie wyposażone sprzętowo w sprzęt I²C wbudowany w układ (chip) może spowolnić zegar magistrali poprzez powiększanie każdego okresu LOW zegara. W ten sposób prędkość każdego urządzenia dostosowana jest do wewnętrznych warunków działania tego urządzenia.

7.0. Formaty

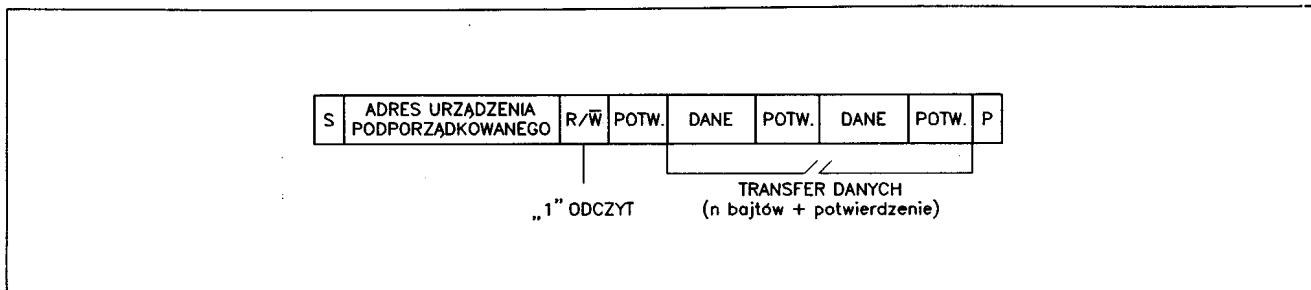
Transfer danych przebiega zgodnie z formatem pokazanym na rys. 9. Po wystąpieniu warunków startu wysyłany jest adres urządzenia podporządkowanego. Adres ten składa się z 7 bitów, bit ósmy jest bitem kierunkowym (R/W – czytaj/zapis) – "zero" wskazuje nadawanie (WRITE – ZAPIS), a "jedynka" wskazuje na żądanie danych (READ – ODCZYT). Transfer danych zawsze kończony jest warunkiem zatrzymania, generowanym przez urządzenie nadzędne. Jednakże, jeśli urządzenie nadzędne ciągle chce komunikować się z magistralą, to może ono wytworzyć inny warunek startu (por. ograniczenia dla procedury arbitrażowej w/g rozdz. 6.2.) i zaadresować inne urządzenie podporządkowane bez uprzedniego wygenerowania warunku zatrzymania. W obrębie takiego transferu możliwe są wówczas różne kombinacje formatów ZAPIS/ODCZYT.



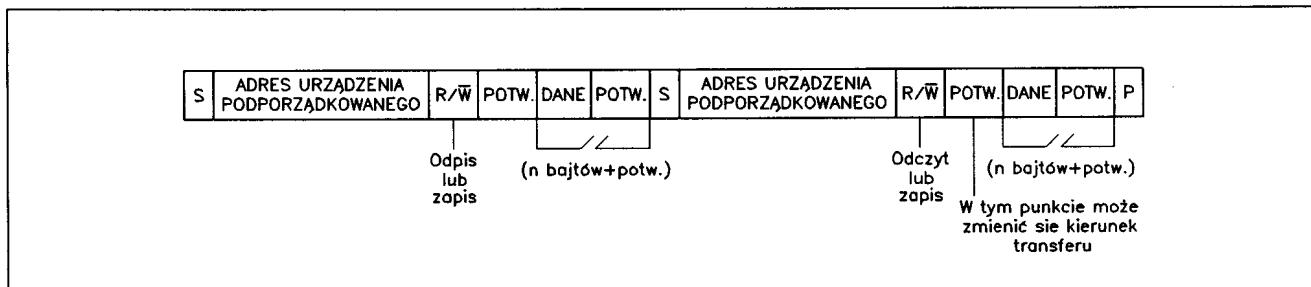
Rys. 9 Kompletny transfer danych



Rys. 10 Nadrzędny nadajnik nadaje do podporządkowanego odbiornika



Rys. 11 Urządzenie nadzędne odczytuje urządzenie podporządkowane bezpośrednio po pierwszym bajcie



Rys. 12 Formaty złożone

Możliwe są następujące formaty transferu:

- Nadzędny nadajnik nadaje do podporządkowanego odbiornika. Kierunek nie ulega zmianie (rys. 10)
S – start
P – zakończenie
POTW – potwierdzenie
- Urządzenie nadzędne odczytuje urządzenie podporządkowane bezpośrednio po pierwszym bajcie.
W momencie pierwszego potwierdzenia nadajnik nadzędny staje się nadzędnym odbiornikiem, a podporządkowany odbiornik staje się podporządkowanym nadajnikiem. Potwierdzenie to jest zawsze generowane przez urządzenie podporządkowane. Warunek zatrzymania jest generowany przez urządzenie nadzędne.
- Formaty złożone
Jeśli w czasie transferu zmieni się kierunek przekazywania, to powtórzeniu ulegają zarówno warunek startu jak i adres urządzenia podporządkowanego, przy czym bit R/W zostaje zmieniony na przeciwny.

UWAGI:

- Formaty złożone mogą być np. zastosowane do sterowania pamięci szeregowej. Podczas pierwszego bajta danych musi być wpisane położenie pamięci wewnętrznej. Po powtórzeniu warunku startu mogą być przekazywane dane.
- Wszystkie decyzje co do automatycznego przyrostu, lub zmniejszenia uprzednio uzyskanego położenia pamięci itp. muszą być podjęte przez projektanta urządzenia.
- Po każdym bajcie następuje potwierdzenie, lub brak potwierdzenia, jak pokazują to komórki potwierdzenia w ciągu.
- Urządzenia I²C muszą po odebraniu warunku startu, dokonać wyzerowania swojej logiki magistrali, tak

aby wszystkie antycypowały wysyłkę adresu urządzenia podporządkowanego.

8.0. Adresowanie

Procedura adresowania dla magistrali I²C jest tego typu, że pierwszy bajt po zaistnieniu warunku startu określa które urządzenie podporządkowane zostanie wybrane przez urządzenie nadzędne. Zazwyczaj powyższy bit następuje po procedurze startu. Wyjątkiem jest wywołanie "ogólnego" adresu, które może adresować wszystkie urządzenia. Jeśli zostanie użyty taki adres, to wszystkie urządzenia powinny teoretycznie odpowiedzieć przy pomocy potwierdzenia – chociaż mogą być produkowane urządzenia, które będą ignorować ten adres. Drugi bajt adresu wywołania ogólnego definiuje wówczas akcję, która ma być wykonana.

8.1. Definicja bitów w pierwszym bajcie

Pierwsze siedem bitów tego bajtu stanowią adres urządzenia podporządkowanego (rys. 10). Bit ósmy (LSB – najmniej znaczący bit) określa kierunek informacji. "Zero" na pozycji najmniej znaczącego bitu pierwszego bajtu oznacza, że urządzenie nadzędne będzie wpisywać informację do wybranego urządzenia podporządkowanego; "jedynka" na tej pozycji oznacza, że urządzenie nadzędne będzie czytać informację z urządzenia podległego.

Gdy wysłany zostaje adres, to każde urządzenie w systemie po zaistnieniu warunku startu porównuje pierwsze siedem bitów ze swoim własnym adresem. Jeśli adres jest zgodny, to urządzenie które jest adresowane przez nadzędne ustawi się w stan podporządkowanego odbiornika lub nadajnika, w zależności od bitu R/W.

Tabela 2.

Formaty adresów urządzeń podporządkowanych

Pierwszy bajt			
Adres urządzenia podporządkowanego		R/W	
0000	000	0	Ogólny adres wywołania bajt startowy*
0000	000	1	
0000	001	X	Adres CBUS-a**
0000	010	X	Adres zarezerwowany dla odmiennego formatu magistrali***
0000	011	X	
0000	100	X	
0000	101	X	
0000	110	X	
0000	111	X	zostaną określone

Adresu urządzenia podporządkowanego może być utworzony z części stałej i z części programowej. Jeśli spodziewamy się, że w systemie może być użytych więcej niż jeden identycznych układów scalonych, wówczas programowana część adresu urządzenia podporządkowanego umożliwia przyłączenie do magistrali I²C maksymalnej liczby takich urządzeń. Liczba programowanych bitów adresu urządzenia zależy od liczby dostępnych końcówek. Dla przykładu, jeśli urządzenie ma 4 stałe i 3 programowane bity adresu, to do tej samej

magistrali można dołączyć osiem identycznych urządzeń.

UWAGI:

* – Żadne urządzenie nie może dokonać potwierdzenia przy odbiorze bajtu startowego.

** – Adres CBUS-a został zarezerwowany dla umożliwienia wewnętrznego współdziałania urządzeń CBUS-a oraz I²C w jednym systemie. Urządzenia I²C nie mogą odpowiadać po odbiorze tego adresu.

*** – Adres zarezerwowany dla różnych formatów magistrali został dołączony w celu umożliwienia współdziałania I²C, oraz innych protokołów. Tylko urządzenie I²C, które są zdolne do pracy z takimi formatami mogą odpowiedzieć na ten adres.

Do koordynacji rozmieszczenia adresów I²C służy zarząd magistrali I²C. Kombinacja bitów 1111XXX adresu podporządkowanego zarezerwowana jest dla przyszłych rozszerzeń. Adres 1111111 zarezerwowany jest jako adres rozszerzenia. Oznacza to, że procedura adresowa będzie kontynuowana w następnym bajcie (bajtach). Urządzenia które nie stosują adresowania rozszerzonego nie będą reagować przy odbiorze tego bajtu. Siedem dalszych możliwości w grupie 1111 będzie również używanych tylko dla celów rozszerzenia, ale obecnie nie są one jeszcze rozmieszczone. Kombinacja 0000XXX zdefiniowana jest jako grupa specjalna. Powyższe adresy pokazane w tabeli 2 są już rozmieszczone.

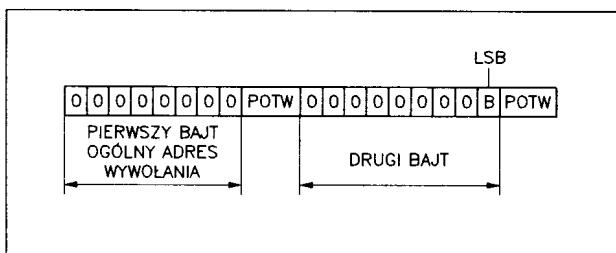
Ciąg dalszy w następnym numerze.

Opis magistrali I²C cz. 3

8.1.1. Ogólny adres wywołania

Do adresowania każdego urządzenia przyłączonego do magistrali I²C powinien być użyty ogólny adres wywołania. Jednakże, jeśli urządzenie nie potrzebuje żadnej z danych dostarczanych przez strukturę ogólnego wywołania, to może ignorować ten adres nie dając potwierdzenia. Jeśli urządzenie potrzebuje danych z ogólnego adresu wywołania to potwierdzi ten adres i zachowa się jak podporządkowany odbiornik zdolny do przetwarzania tych danych. Urządzenie podporządkowane, które nie może przetwarzać jednego z tych bajtów musi ignorować go nie dając potwierdzenia.

Znaczenie ogólnego adresu wywołania jest zawsze określone w drugim bajcie (rys. 13).



Rys. 13 Format ogólnego adresu wywołania

Do rozważenia są dwa przypadki:

- gdy najmniej znaczący bit B (LSB) jest zerem
- gdy najmniej znaczący bit B (LSB) jest jedynką

Gdy B jest zerem; to drugi bajt ma następującą definicję:

00000110 (H'06') Reset, oraz wpisanie przez sprzęt i oprogramowanie programowej części adresu urządzenia podporządkowanego. Po odebraniu sekwencji tych dwóch bajtów, wszystkie urządzenia (zaprojektowane do odzewu na ogólny adres wywołania) dokonują resetu i przyjmą programowaną część swojego adresu.

Należy zastosować środki ostrożności, aby upewnić się, że urządzenie nie ściąga w dół szyn SDA, lub SCL po przyłączeniu zasilania, gdyż takie niskie poziomy będą blokować magistralę.

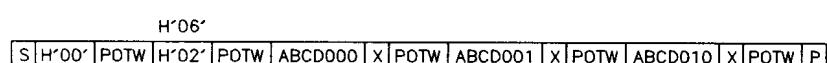
00000010 (H'02') Wpisanie adresu urządzenia podporządkowanego tylko przez sprzęt (hardware). Wszystkie urządzenia, które otrzymują oprogramowaną część swojego adresu poprzez oprogramowanie (software) i które zaprojektowane są tak, aby odpowiadały na ogólny adres wywołania, wejdą w stan w którym będą mogły być programowane. Urządzenia nie dokonują resetu.

Przykład transferu danych programującego urządzenia nadziednego pokazano na rys. 14. (ABCD przedstawiają stałą część adresu).

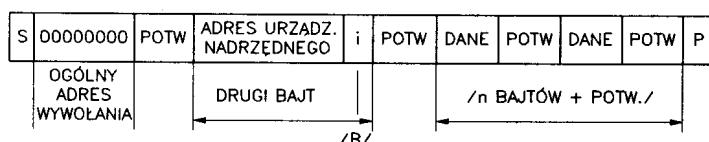
00000100 (H'04') Wpisanie adresu urządzenia podporządkowanego tylko przez sprzęt (hardware). Wszystkie urządzenia, które definiują programowaną część swojego adresu poprzez sprzęt (i które odpowiadają na ogólny adres wywołania) dokonują zatrzaśnięcia (latch) tej programowanej części przy odbiorze tej dwubajtowej sekwencji. Urządzenie nie dokona resetu.

00000000 (H'00') Kod ten nie może być użyty w drugim bajcie. Sekwencje procedury programowania publikowane są w danych katalogowych urządzenia. Pozostałe kody nie zostały jeszcze ustalone i urządzenia muszą je ignorować.

Jeżeli B jest jedynką; to sekwencja dwubajtowa jest "ogólnym wywołaniem sprzętu (hardware)". Oznacza to, że sekwencja jest wysyłana przez sprzęt urządzenia nadziednego, taki jak wybierak klaviatury, który nie może być programowany do nadawania adresu podporządkowanego urządzenia podporządkowanego. Ponieważ sprzęt urządzenia nadziednego nie wie z góry do którego urządzenia informacja musi zostać wysłana, to może jedynie wygenerować ten ogólny adres wywołania sprzętu oraz swój własny adres – dokonując własnej identyfikacji w stosunku do systemu (rys. 15)



Rys. 14 Sekwencja programującego urządzenia nadziednego



Rys. 15 Transfer danych nadawanych przez sprzęt nadawczego urządzenia nadziednego

a)	<table border="1"> <tr> <td>S</td><td>ADRES URZĄDZ. PODPORZĄDKOW.</td><td>SPRZĘT URZĄDZ. NADRZĘDNEGO</td><td>R/W</td><td>POTW</td><td colspan="2" rowspan="2">ADRES SKŁADOWANIA DLA SPRZĘTU URZĄDZENIA NADRZĘDNEGO</td><td>X</td><td>POT</td><td></td></tr> </table>	S	ADRES URZĄDZ. PODPORZĄDKOW.	SPRZĘT URZĄDZ. NADRZĘDNEGO	R/W	POTW	ADRES SKŁADOWANIA DLA SPRZĘTU URZĄDZENIA NADRZĘDNEGO		X	POT	
S	ADRES URZĄDZ. PODPORZĄDKOW.	SPRZĘT URZĄDZ. NADRZĘDNEGO	R/W	POTW	ADRES SKŁADOWANIA DLA SPRZĘTU URZĄDZENIA NADRZĘDNEGO				X	POT	
ZAPIS											
b)	<table border="1"> <tr> <td>S</td> <td>ADRES SKŁADOWANIA ZE SPRZĘTU URZĄDZENIA NADRZĘDNEGO</td> <td>R/W</td> <td>POTW</td> <td>DANE</td> <td>POTW</td> <td>DANE</td> <td>POTW</td> <td>P</td> <td></td> </tr> </table>	S	ADRES SKŁADOWANIA ZE SPRZĘTU URZĄDZENIA NADRZĘDNEGO	R/W	POTW	DANE	POTW	DANE	POTW	P	
S	ADRES SKŁADOWANIA ZE SPRZĘTU URZĄDZENIA NADRZĘDNEGO	R/W	POTW	DANE	POTW	DANE	POTW	P			
ZAPIS											
/n BAJTÓW + POTW./											

Rys. 16 Transfer danych sprzętowego nadajnika nadrzędnego zdolnego do zrzucania danych bezpośrednio do urządzeń podporządkowanych, a) nadrzędne urządzenie konfigurujące wysyła adres składowania do sprzętu urządzenia nadrzędnego, b) sprzęt urządzenia nadrzędnego zrzuci dane do wybranego urządzenia podporządkowanego

Pozostałe siedem bitów w drugim bajcie zawiera sprzętowy adres urządzenia nadrzędnego. Adres ten rozpoznawany jest przez urządzenie inteligentne, takie jak mikrosterownik przyłączony do magistrali, który kieruje następnie informację przychodząą ze sprzętu urządzenia nadrzędnego. Jeśli sprzęt urządzenia nadrzędnego może również funkcjonować jako urządzenie podporządkowane, to adres dla urządzenia podporządkowanego jest identyczny, jak adres urządzenia nadrzędnego.

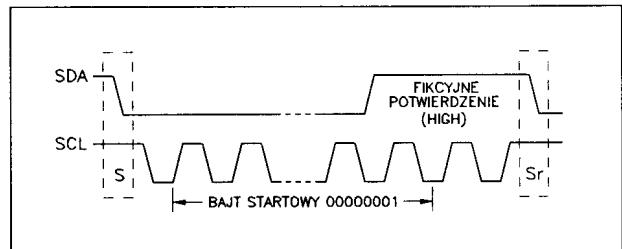
W niektórych systemach może istnieć rozwiązanie alternatywne, w którym sprzęt nadawczy urządzenia podporządkowanego wprowadzany jest w stan odbiornika podporządkowanego po dokonaniu resetu systemu. W takim przypadku urządzenie nadrzędne dokonujące konfiguracji systemu może wskazać sprzętowi nadajnik nadrzędnego (który teraz jest w stanie odbiornika podporządkowanego) pod jaki adres należy wysłać dane (rys. 16). Po takiej procedurze programowania sprzęt urządzenia nadrzędnego pozostaje w stanie nadajnika nadrzędnego.

8.1.2. Bajt startowy

Mikrosterowniki można przyłączać do magistrali I²C na dwa sposoby. Jeśli w mikroukład wbudowany jest sprzęt sprzętowy magistrali I²C, to mikrosterownik może być zaprogramowany w ten sposób, że przerwanie nastapi jedynie na żądanie otrzymane z magistrali. Jeśli urządzenie nie ma takiego sprzęgu, to musi ono stale kontrolować magistralę poprzez oprogramowanie. Oczywiście, im częściej mikrosterownik kontroluje, lub przepytuje magistralę, tym mniej czasu może poświęcić na realizację funkcji, dla której został przeznaczony. Z tego powodu istnieje różnica w szybkości pomiędzy szybkimi urządzeniami sprzętowymi, a względnie wolnym mikrosterownikiem, którego działanie polega na przeglądaniu oprogramowania.

W takim przypadku transfer danych może być poprzedzony procedurą startu, która jest o wiele dłuższa od normalnej (rys. 17). Procedura składa się z:

- a) warunku startu S
- b) bajtu startowego 00000001
- c) impulsu zegarowego potwierdzenia
- d) powtórnego warunku startu Sr



Rys. 17 Procedura bajtu startowego

Po wysłaniu przez urządzenie nadrzędne, które żąda dostępu do warunku startu S, wysłany zostaje bajt startowy (00000001). Zatem inny mikrosterownik może próbować szynę SDA z małą prędkością próbkowania, aż wykryte zostanie jedno z zer w bajcie startowym. Po wykryciu poziomu LOW na szynie SDA, mikrosterownik stanie się zdolny do przełączenia się na większą szybkość próbkowania w celu znalezienia drugiego warunku startu Sr, który będzie wówczas użyty do synchronizacji.

Odbiornik sprzętowy po otrzymaniu drugiego warunku startu Sr dokona resetu i z tego powodu będzie ignorował bajt startowy. Po bajcie startowym generowany jest impuls zegarowy związany z potwierdzeniem. Jest on obecny tylko po to, aby dostosować się do formatu obsługiwanego bajtu stosowanego w magistrali. Żadne urządzenie nie powinno potwierdzać bajtu startowego.

8.1.3. Kompatybilność magistrali CBUS

Istniejące odbiorniki CBUS mogą być przyłączone do magistrali I²C. Jednak w takim przypadku należy przyłączyć trzecią szynę zwaną DLEN, oraz należy pominać bit potwierdzenia. Transmisje I²C są zazwyczaj wielokrotnością bajtów 8-mio bitowych, jednakże urządzenia CBUS mają inne formaty.

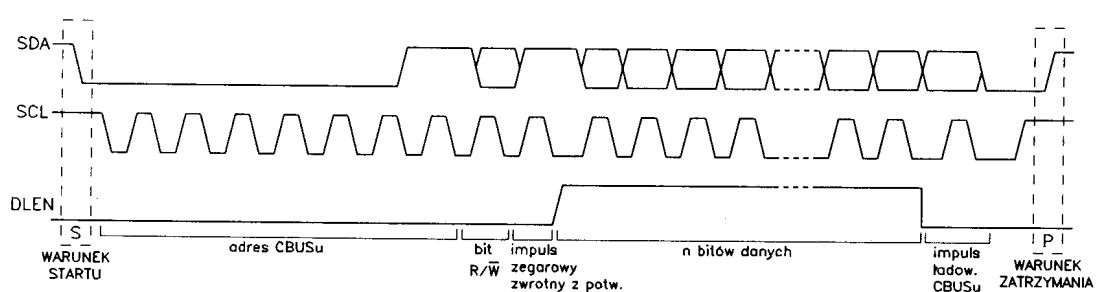
W strukturze magistrali mieszanej urządzenia I²C nie mogą odpowiadać na informacje CBUS. Z tego względu zarezerwowano specjalny adres CBUS-u (0000001x). Żadne urządzenie I²C nie powinno odpowiadać na ten adres. Po wysłaniu adresu CBUS-u uak-

tywniona może zostać szyna DLEN i nastąpić może transmisja w/g formatu CBUS (rys. 18).

Po zaistnieniu warunku zatrzymania wszystkie urządzenia są znów gotowe do przyjęcia danych. Po wysłaniu adresu CBUS-u nadajniki nadzędne mogą tworzyć formaty CBUS-u. Transmisja taka kończona jest warunkiem zatrzymania, który rozpoznawany jest przez wszystkie urządzenia.

UWAGA: Jeśli konfiguracja CBUS-u jest znana i nie przewiduje się dalszego przyrostu o nowe urządzenia CBUS-u, to użytkownik może dokonać adaptacji czasu zatrzymania do specyficznych wymagań urządzenia (urządzeń).

Ciąg dalszy w następnym numerze.



Rys. 18 Format transmisji danych z nadajnikami /odbiornikami CBUS

Opis magistrali I²C cz. 4

9.0 Specyfikacja elektryczna wejść i wyjść urządzeń I²C

Magistrala I²C umożliwia komunikowanie się pomiędzy urządzeniami wykonanymi w różnych technologiiach, które mogą stosować różne napięcia zasilające. Dla urządzeń o ustalonych poziomach wejściowych pra-

cujących przy napięciu zasilania 5 V ±10% ustalone zostały następujące poziomy:

- $V_{IL\max} = 1,5$ V (maksymalne napięcie wejściowe LOW)
- $V_{IH\min} = 3,0$ V (minimalne napięcie wejściowe HIGH).

Urządzenia działające przy ustalonym napięciu zasilania różnym od 5 V (np. I²C) muszą także zachować odpowiednio te napięcia wejściowe 1,5 V i 3,0 V tj. V_{IL} i V_{IH}.

Dla urządzeń działających w szerokim zakresie napięć zasilania (np. CMOS) ustalone zostały następujące poziomy:

- V_{ILmax} = 0,3V_{DD} (maksymalne napięcie wejściowe LOW)
- V_{IHmin} = 0,7V_{DD} (minimalne napięcie wejściowe HIGH).

Dla obu grup urządzeń określono maksymalne poziomy wyjściowe LOW:

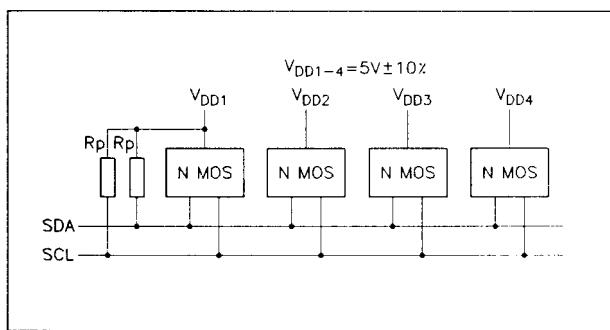
- V_{OLmax} = 0,4 V (maksymalne napięcie wyjściowe LOW) przy poborze prądu 3 mA.

Maksymalny prąd wejściowy LOW przy V_{OLmax} wynosi dla urządzeń I²C – 10 μ A, dla obu końcówek tj. SDA i SCL, łącznie z prądem upływu zewnętrznego stopnia wyjściowego.

Maksymalny prąd wejściowy HIGH przy 0,9V_{DD} obu końcówek tj. SDA i SCL urządzenia I²C wynosi 10 μ A, łącznie z prądem upływu ewentualnego stopnia wyjściowego.

Maksymalna pojemność obu końcówek tj. SDA i SCL urządzenia I²C wynosi 10 pF.

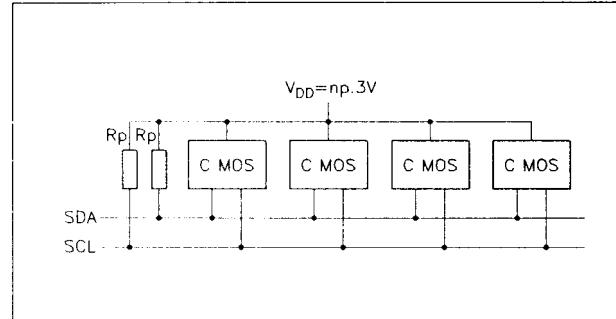
Każde z urządzeń o stałych poziomach wejściowych może posiadać swoje własne napięcie zasilania wynoszące 5 V \pm 10%. Rezystory podciągające mogą być przyłączone do dowolnego zasilania (rys. 19).



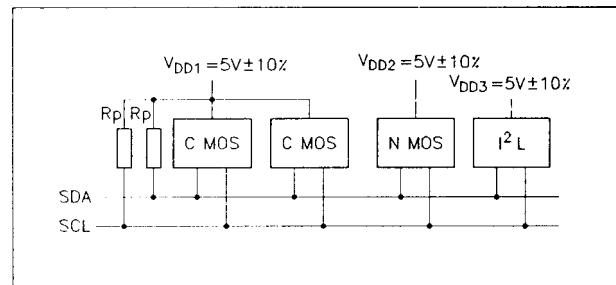
Rys. 19 Urządzenia o stałym poziomie wejściowym przyłączone do magistrali I²C

Jednak urządzenia o poziomach wejściowych związanych z V_{DD} muszą również mieć jedną wspólną szynę zasilania do której także podłączone będą rezystory podciągające (rys.20).

Jeśli urządzenia o stałych poziomach wejściowych występują razem z urządzeniami o poziomach uzależnionych od V_{DD}, to te ostatnie muszą być przyłączone do jednej wspólnej szyny zasilającej 5 V \pm 10%, razem z rezystorem podciągającym (rys. 21).



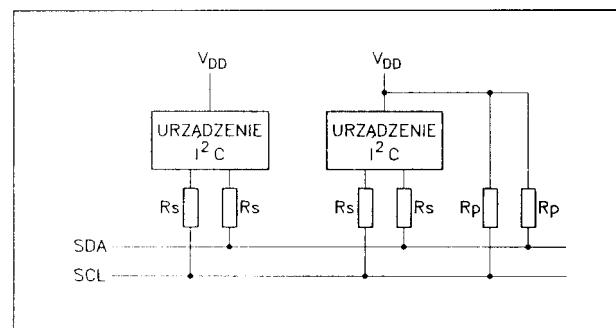
Rys. 20 Urządzenia o szerokim zakresie napięć zasilania przyłączone do magistrali I²C



Rys. 21 Urządzenia o poziomach uzależnionych od V_{DD} występujące w magistrali I²C razem z urządzeniami o stałym poziomie wejściowym

Poziomy wejściowe określone są w taki sposób, że:

- dla poziomu LOW odstęp od szumów wynosi 0,1V_{DD},
- dla poziomu HIGH odstęp od szumów wynosi 0,2V_{DD},
- dla zabezpieczenia przed iskrzeniem w lampach obrzędowych TV można użyć rezystorów szeregowych R_S o wartości 300 Ω (rys. 22).



Rys. 22 Rezystory szeregowe R_S zabezpieczające przed krótkotrwальymi przepięciami

10.0. Synchronizacja

Minimalny okres LOW zegara magistrali I²C wynosi 4,7 μ s, a minimalny okres HIGH wynosi 4,0 μ s. Urządzenia nadzorne mogą generować częstotliwość zegarową do 100 kHz. Wszystkie urządzenia dołączone do magistrali muszą być zdolne do nadążenia za transferem z częstotliwością do 100 kHz, bądź to w ten sposób,

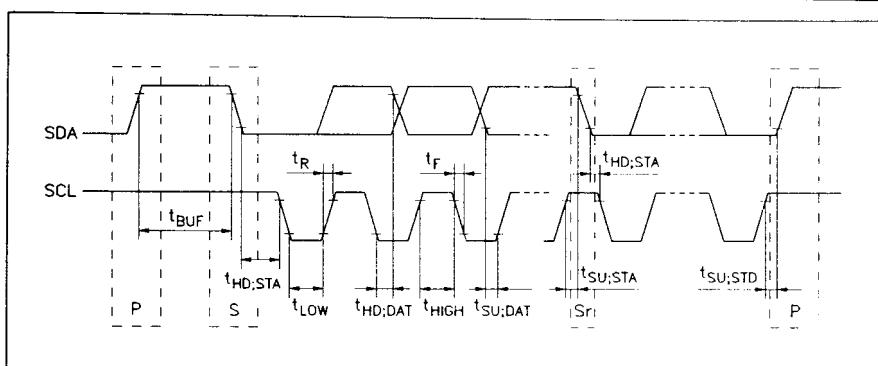


Tabela 3

Rys. 23 Przebieg czasowy wymagany dla magistrali I²C

że zdolne będą do nadawania lub odbioru z tą częstotliwością, bądź to przez zastosowanie procedury synchronizacji, która zmusi urządzenie nadrzędne do oczekiwania i powiększy okresy LOW. Oczywiście w tym ostatnim przypadku częstotliwość zostaje zredukowana. Rys. 23 pokazuje szczegółowo wymagania co do przebiegów czasowych. Opis użytych skrótów podany jest w Tabeli 3.

Parametr	Symbol	Wartość		Jednostka
		min	max	
Częstotliwość zegarowa SCL	f_{SCL}	0	100	kHz
Czas przed nową transmisją w którym magistrala musi być wolna	t_{BUF}	4,7	—	μs
Czas podtrzymywania warunku startu, po tym okresie generowany jest pierwszy impuls zegarowy	$t_{HD: STA}$	4,0	—	μs
Okres LOW zegara	t_{LOW}	4,7	—	μs
Okres HIGH zegara	t_{HIGH}	4,0	—	μs
Czas ustalania warunku startu (istotny tylko dla warunku powtórzenia startu)	$t_{SU: STA}$	4,7	—	μs
Czas podtrzymywania DANYCH przez urządzenie nadrzędne kompatybilne z CBUS (por. także uwagę w rozdz. 8.1.3. dla urządzeń IC)	$t_{HD: DAT}$	5,0	—	μs
0*		—	—	μs
Czas ustalania DANE	$t_{SU: DAT}$	250	—	ns
Czas narostu obu szyn SDA i SCL	t_R	—	1	μs
Czas opadania obu szyn SDA i SCL	t_F	—	300	ns
Czas ustalania warunku zatrzymania	$t_{SU: DAT}$	250	—	ns

Wszystkie wartości odnoszą się do poziomów VIH_{min} i VII_{max}

* – Zwroć uwagę, że nadajnik musi wewnętrznie wytwarzać co najmniej okres równy czasowi podtrzymywania, aby pokryć niezdefiniowany obszar (max 300 ns) opadającego zbocza SCL.

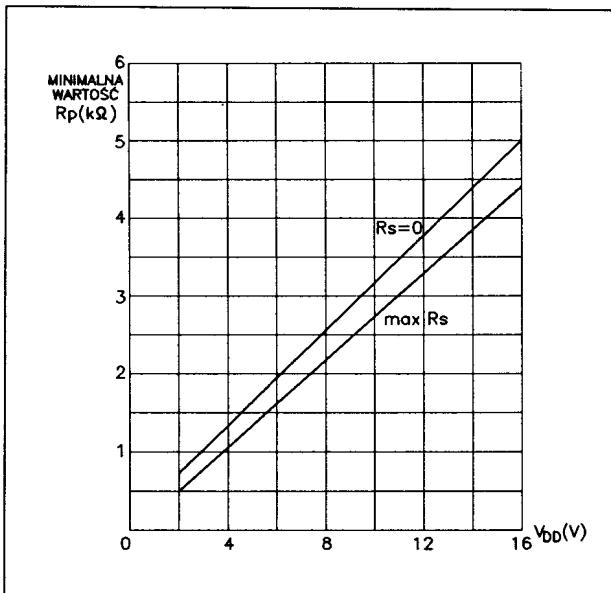
Opis magistrali I²C cz. 5

Załącznik A

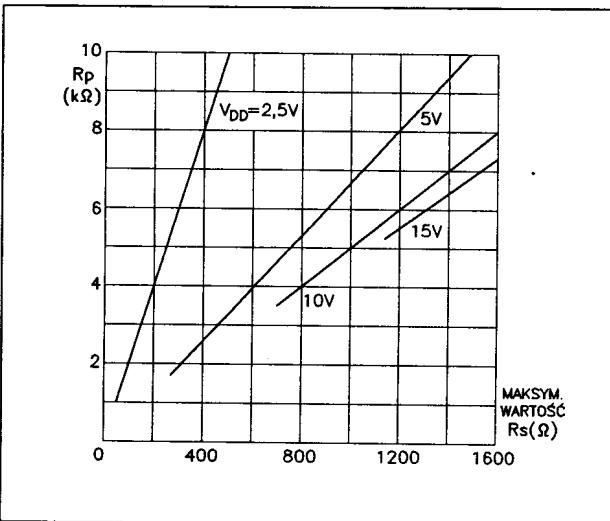
Maksymalna i minimalna wartość rezystorów podciągających R_p , oraz rezistorów R_s (por. rys. 22) w systemie magistrali I²C zależą od następujących parametrów:

- napięcia zasilania
- pojemności magistrali
- liczby urządzeń (prąd wejściowy i prąd upływu)

1. Napięcie zasilające ogranicza minimalną wartość rezystora R_p wskutek określenia na 3 mA minimalnej wartości prądu pobieranego przez stopnie wyjściowe, przy 0,4 V jako maksymalnym napięciu LOW (rys. 24).



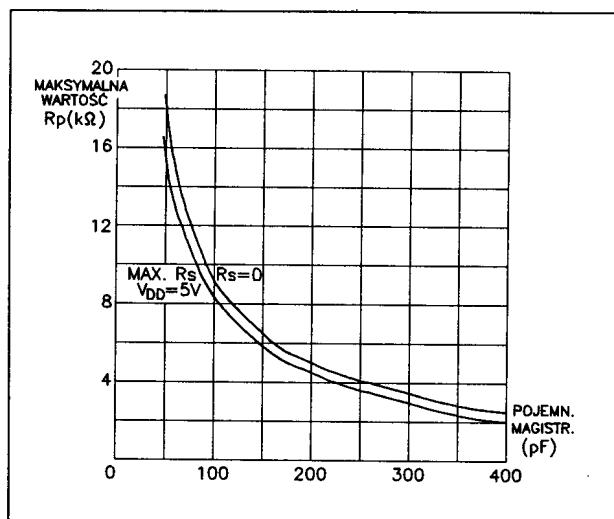
Rys. 24 Zależność pomiędzy V_{DD} , a $R_{p\min}$



Rys. 25 Zależność pomiędzy $R_{s\max}$, a R_p

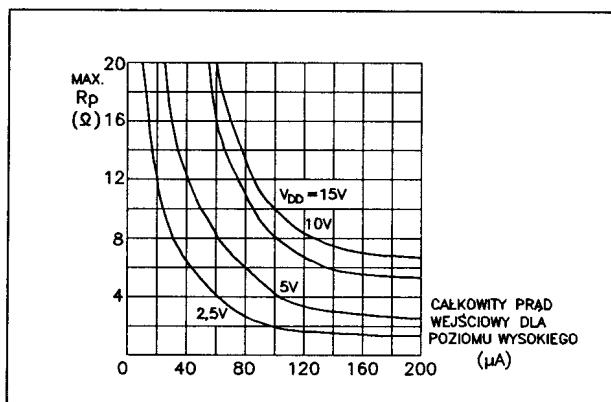
Wymagany odstęp od szumów wynoszący 0,1 V_{DD} dla poziomu LOW ogranicza maksymalną wartość rezystora R_s (rys. 25).

2. Pojemność magistrali jest całkowitą pojemnością szyn, przyłącza i końcówek. Pojemność ta ogranicza maksymalną wartość R_p ze względu na wymagany czas narostu 1 μ s (rys. 26).



Rys. 26 Zależność pomiędzy pojemnością magistrali, a $R_{p\max}$

3. Maksymalny prąd wejściowy przy poziomie HIGH, dla każdego przyłącza wejście/wyjście ma określoną wartość 10 μ A max. Ze względu na wymagany odstęp od szumów wynoszący 0,2 V_{DD} przy poziomie HIGH, prąd ten ogranicza maksymalną wartość R_p . Ograniczona wartość zależy od V_{DD} (rys. 27).



Rys. 27 Zależność pomiędzy całkowitym prądem wejściowym dla poziomu HIGH, a $R_{p\max}$

Załącznik B

Uwaga do rozdziału 6.2.

W systemie magistrali I²C procedura obsługi zgłoszeń konfliktowych (arbitraż) dwu lub więcej urządzeń

nadrzędnych może być kontynuowana bez rozstrzygnięcia, aż do czasu gdy jedno z urządzeń wyśle, albo powtórzy warunek startu lub warunek zatrzymania. Niezbędnym jest więc aby każde z urządzeń miało te warunki umieszczone w swoim formacie dokładnie w tym samym miejscu.

Innymi słowy, nie dopuszcza się arbitrażu pomiędzy:

- powtórzonym warunkiem startu, a bitem danych;
- warunkiem zatrzymania, a bitem danych;
- powtórzonym warunkiem startu, a warunkiem zatrzymania.

Objaśnienie:

Protokół I²C zapobiega maskowaniu lub zakłócaniu powtórnego warunku startu lub warunku zatrzyma-

nia, gdy nadają urządzenia nadrzędne stosujące różne formaty.

Maskowanie lub zakłócenia mogą wystąpić, gdy urządzenie nadrzędne sprowadza SCL do stanu LOW z bajtem danych przed lub podczas generowania przez inne urządzenia nadrzędne warunku powtórnego startu lub warunku zatrzymania.

Opracowano na podstawie publikacji firmy PHILIPS
"Single-chip 8-bit microcontrollers user manual 1988"

- ◇ mgr inż Eugeniusz Fuchs
- ◇ mgr inż Stefan Herc