

SISTEMAS DIGITALES (2ª PARTE)

TRANSPARENCIAS EN FORMATO PDF

- **Transparencias PDF**
- Si hay algún error de forma en el documento PDF que dificulte su interpretación, por favor, enviar un mensaje para su corrección. Gracias.

INDICE

Parte 1ª : **Sistemas Digitales: Primera Parte**

Tema 7: **Circuitos Secuenciales.**

Tema 8: **Circuitos Digitales Integrados. Familias Lógicas.**

Tema 9: **Memorias.**

Tema 10: **Dispositivos de Lógica Programable (PLD).**

Tema 11: **Convertidores Analógico/Digitales DAC/ADC.**

TEMA 7 : CIRCUITOS SECUENCIALES

Introducción a los Sistemas Secuenciales:

- - Ejemplo

- - Celdas de Memoria: R S, J K, T y D

Análisis y diseño de circuitos secuenciales síncronos:

- - Análisis de circuitos secuenciales síncronos.

- - Tablas de transiciones y diagramas de estados: Máquina de Mealy y Máquina de Moore.

- - Síntesis de sistemas secuenciales síncronos.

Circuitos biestables:

- - Definición de sistema secuencial.

- - Tipos y características: Asíncronos y síncronos.

- - Biestables: R S, J K, T y D

- - Tiempos característicos en biestables.

Registros de desplazamiento:

- - Concepto de registro.

- - Registros de desplazamiento. Entrada serie, salida serie. Entrada serie, salida paralelo. Entrada paralelo, salida serie. Entrada paralelo, salida paralelo.

Bidireccional.

- - Aplicaciones de los registros. Generador de secuencia. Contadores:

- - Contadores digitales y sus aplicaciones.

- - Contadores asíncronos. Contador de décadas.

- - Contadores síncronos. Acarreo en serie y paralelo.

- - Contador reversible.

- - Contadores basados en registros de desplazamiento: en anillo, Johnson, con protección.

INTRODUCCIÓN A LOS SISTEMAS DIGITALES SECUENCIALES

- Diseñar el controlador digital de un ascensor para un edificio de 2 plantas
 - Motor del ascensor: El eje del motor eléctrico tiene un engranaje sobre el que se acopla una cadena unida al ascensor.
 - Si el motor gira a la izda el ascensor sube y si gira a la derecha el ascensor baja.
 - En cada planta hay botón para solicitar el servicio del ascensor.
 - Dentro del ascensor hay un botón por planta para solicitar el destino del ascensor.
 - En cada planta hay un sensor para detectar la llegada del ascensor.

CONTROLADOR DIGITAL DE UN ASCENSOR

- Dibujar un esquema con los componentes del sistema: plantas del edificio, motor, cadena, ascensor, botones.
- Definir y codificar las entradas lógicas del controlador digital.
- Definir y codificar las salidas lógicas del controlador digital.
- Definir y codificar los estados del sistema.
- Dibujar el diagrama de estados del sistema (estados, transiciones, entradas, salidas).
- Desarrollar las 3 tablas:
 - transición de estados , excitación de biestables (pej JK) y funciones de salida.

UNIDADES DE MEMORIA: BIESTABLES

- Una celda de memoria es un dispositivo capaz de almacenar un bit (estados lógicos 0 y 1) y sobre el que se pueden realizar distintas operaciones como:
 - escribir el estado cero, escribir el estado uno, invertir su estado, no cambiar el estado, etc ..
 - leer el estado
- Las celdas de memoria tienen 2 terminales de entrada para las operaciones de escritura y 2 terminales de salida para las operaciones de lectura. Además si son síncronas tienen 1 terminal para la señal de reloj.
- Las celdas de memoria que admiten dos estados estables reciben el nombre de Biestables.
- Sincronismo:
 - Los biestables que realizan la operación de escritura de forma síncrona, respondiendo a la entrada en el instante de pendiente positiva o negativa de una señal reloj, reciben el nombre de **Flip-Flop**.
- Los biestables que realizan la operación de escritura inmediatamente después de un cambio en la entrada reciben el nombre de **Latch**.

TIPOS DE BIESTABLES

Table 1. Flip-Flop S-R

Clk	S	R	Q_{n+1}	\overline{Q}_{n+1}	Operación
↑	0	0	Q_n	\overline{Q}_n	No cambia
↑	0	1	0	1	RESET
↑	1	0	1	0	SET
↑	1	1	X	X	Indeterminado
Resto	X	X	Q_n	\overline{Q}_n	No cambia

Table 2. Flip

Clk	J	K	Q_{n+1}
↑	0	0	Q_n
↑	0	1	0
↑	1	0	1
↑	1	1	\overline{Q}_n
Resto	X	X	Q_n

TIPOS DE BIESTABLES

Table 3. Flip-Flop D (Data)

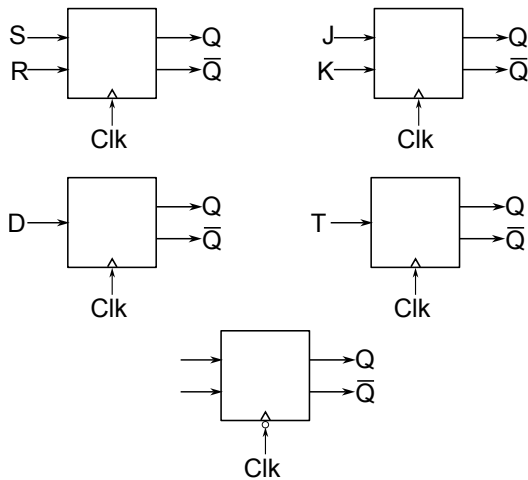
Clk	D	Q_{n+1}	\overline{Q}_{n+1}	Operación
↑	0	0	1	RESET
↑	1	1	0	SET
Resto	X	Q_n	\overline{Q}_n	No cambia

Table 4. Flip-Flop T (Toogle)

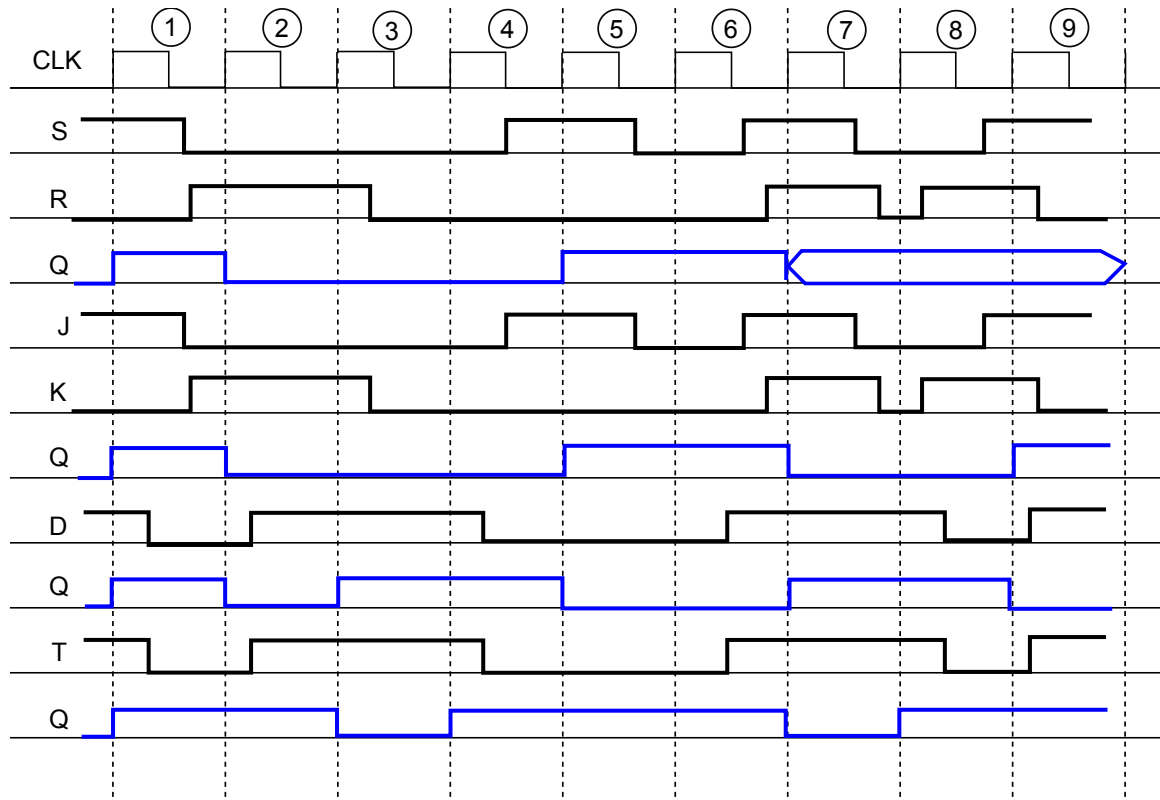
Clk	T	Q_{n+1}	\overline{Q}_{n+1}	
↑	0	Q_n	\overline{Q}_n	
↑	1	\overline{Q}_n	Q_n	
Resto	X	Q_n	\overline{Q}_n	

SÍMBOLOS DE LOS BIESTABLES

- S-R, J-K, D, T.
 - Sincronismo con la pendiente + ó - del reloj.



CRONOGRAMAS: SEÑALES BINARIAS DE ESCRITURA Y LECTURA DE BIESTABLES



CONTROLADOR DEL ASCENSOR PARA 2 PLANTAS

1. Definir estados

- Estados: Ascensor en planta baja PB, en planta alta PA , subiendo SUB, bajando BAJ

2. Definir entradas

- botón destino planta baja (BDB), botón destino planta alta (BDA)
- botón llamada desde planta baja (BLB), botón llamada desde planta baja (BLB)
- sensores: planta baja SB y planta alta SA

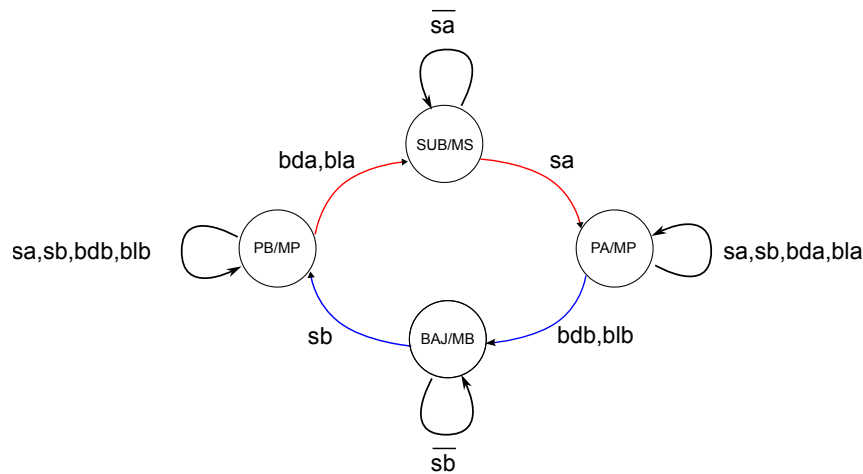
3. Definir salidas

- motor subiendo: MS
- motor bajando: MB
- motor parador: MP

C. ASCENSOR: DIAGRAMA DE ESTADOS

- El diagrama es una representación gráfica de las transiciones entre estados y las entradas y salidas del sistema.
- Máquina tipo **MOORE**: las salidas únicamente dependen del estado de la máquina digital
→ salidas síncronas
 - Representar los estados con círculos: dentro del círculo el estado y la salida del sistema correspondiente.
 - Representar las transiciones entre estados mediante: Flecha entre dos estados y sobre la flecha el valor de las entradas.
- Máquina tipo **MEALY**: las salidas en un instante dependen del estado de la máquina digital y de la entrada en ese mismo instante
 - Representar los estados con círculos: dentro del círculo el estado.
 - Representar las transiciones entre estados mediante: Flecha entre dos estados y sobre la flecha el valor de las entradas y su salida correspondiente

C. ASCENSOR: DIAGRAMA DE ESTADOS



Cuando el motor se para en una planta:
--el sensor de dicha planta se resetea.

Transición PB-PB:.

--si se pulsa un botón para bajar: bdb ó blb.
--las entradas sa y sb no afectan.

Transición SUB-SUB:.

--mientras sa esté desactivado.
--no afectan ni los botones ni sb.

Transición PA-PA:

--si se pulsa un botón para subir: bda ó bla.
--las entradas sa y sb no afectan.

Transición BAJ-BAJ:.

--mientras sb esté desactivado.
--no afectan ni los botones ni sa

C. ASCENSOR: CODIFICACIÓN

Entradas del sistema:

--Cada entrada 1 bit : sa,sb,bdb,blb,bda y bla

Salidas del sistema:

--Para codificar las 3 salidas (MS,MB y MP) hacen falta 2 bits $\rightarrow Z_1, Z_0$

--Código de salida **Z₁Z₀** \rightarrow 00 (MP), 01 (MS), 10 (MB) Estados del Sistema:

--Memoria \rightarrow celdas biestables flip-flop JK

--Para 4 estados son necesarias 2 celdas Q₁ y Q₀ \rightarrow señales de excitación J₁,K₁,J₀,K₀

--Códigos de los estados \rightarrow **Q₁Q₀** \rightarrow 00(PB), 01(SUB), 10(BAJ), 11(PA)

Excitación de los biestables:

--Para 2 biestables JK \rightarrow Para el biestable Q₁ \rightarrow J₁K₁ y para el biestable Q₀ \rightarrow J₀K₀

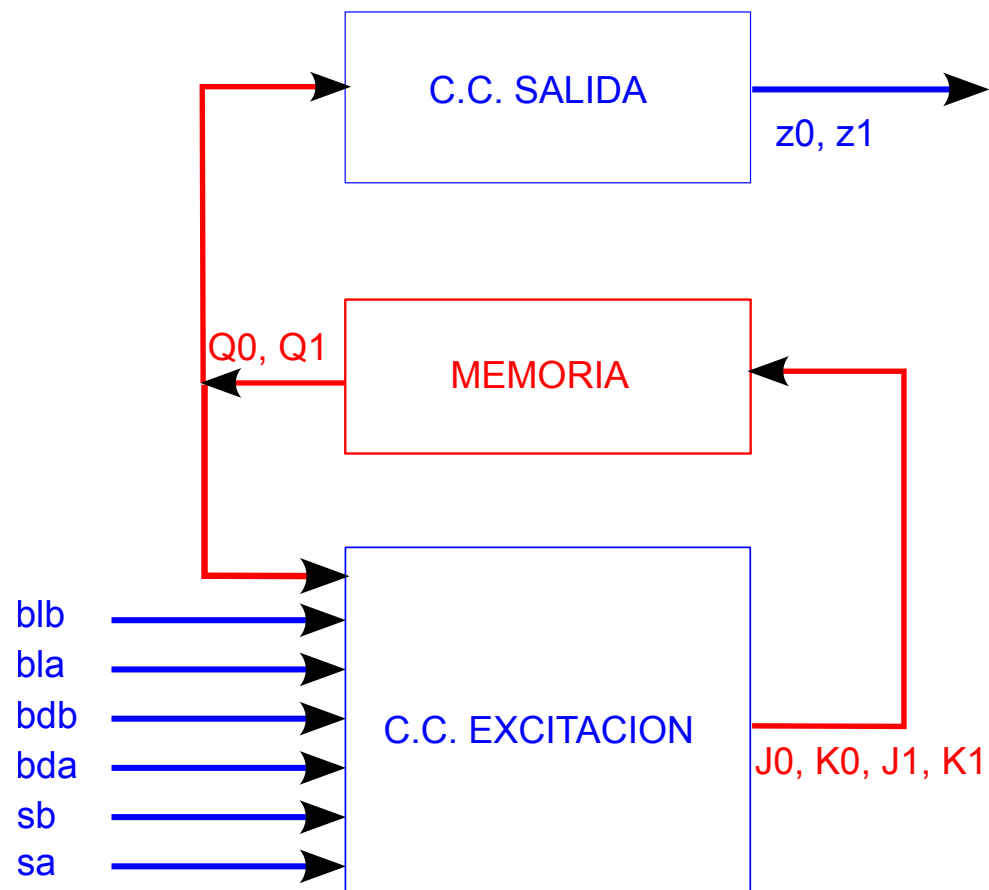
Table 5. Tabla transición JK

$Q_n \rightarrow Q_{n+1}$	J	K
0 \rightarrow 0	0	x
0 \rightarrow 1	1	x
1 \rightarrow 0	x	1
1 \rightarrow 1	x	0

C. ASCENSOR: DIAGRAMA DE BLOQUES

Maquina de Estados Finitos (FSM)

MOORE



C. ASCENSOR: TABLAS DE ESTADOS, EXCITACIÓN DE BIESTABLES Y SALIDAS

- Convertir el diagrama de estados en 3 tablas
- MEMORIA: Es necesario escribir el estado SIGUIENTE q_1q_0 en los 2 biestables JK en función de:
 - El estado actual : q_1q_0
 - Las entradas del sistema: sa, sb, bdb, blb, bda y bla
- Las señales de escritura de los biestables son J1 y K1 para el biestable Q1 y Jo y Ko para el biestable Q0. Por lo tanto es necesario diseñar un CIRCUITO COMBINACIONAL para cada señal de escritura de la memoria:
 - $J_1(q_1, q_0, sa, sb, bdb, blb, bda, bla)$; $K_1(q_1, q_0, sa, sb, bdb, blb, bda, bla)$
 - $J_0(q_1, q_0, sa, sb, bdb, blb, bda, bla)$; $K_0(q_1, q_0, sa, sb, bdb, blb, bda, bla)$

[illegible]

C. ASCENSOR: TABLAS DE ESTADOS, EXCITACIÓN DE BISTABLES Y SALIDAS

	ESTADOS				ENTRADAS						SALIDAS		EXCITACION BISTABLES			
	ACTUAL		SIGUIENTE													
CLK	q1	q0	q1	q0	sa	sb	bdb	blb	bda	bla	z1	z0	J1	K1	J0	K0
↑	0	0	0	0	x	x	x	x	0	0	0	0	0	x	0	x
↑	0	0	0	1	x	x	x	x	1	0	0	1	0	x	1	x
↑	0	0	0	1	x	x	x	x	0	1	0	1	0	x	1	x
↑	0	0	0	1	x	x	x	x	1	1	0	1	0	x	1	x
↑	0	1	0	1	0	x	x	x	x	x	0	1	0	x	x	0
↑	0	1	1	1	1	x	x	x	x	x	0	0	1	x	x	0
↑	1	1	1	1	x	x	0	0	x	x	0	0	x	0	x	0
↑	1	1	1	0	x	x	1	0	x	x	1	0	x	0	x	1
↑	1	1	1	0	x	x	0	1	x	x	1	0	x	0	x	1
↑	1	1	1	0	x	x	1	1	x	x	1	0	x	0	x	1
↑	1	0	1	0	x	0	x	x	x	x	1	0	x	0	0	x
↑	1	0	0	0	x	1	x	x	x	x	0	0	x	1	0	x

C. ASCENSOR: ECUACIONES LÓGICAS

- $J_1 = sa \cdot \bar{q}_1 \cdot q_0$
- $K_1 = sb \cdot q_1 \cdot \bar{q}_0$
- $J_0 = \bar{q}_1 \cdot \bar{q}_0 \cdot (bda \cdot \overline{bla} + \overline{bda} \cdot bla + bda \cdot bla)$
- $K_0 = q_1 \cdot q_0 \cdot (\overline{bdb} \cdot blb + bdb \cdot \overline{blb} + bdb \cdot blb)$
- $Z_1 = q_1 \cdot \bar{q}_0$
- $Z_0 = \bar{q}_1 \cdot q_0$

TEMA 8: CIRCUITOS DIGITALES INTEGRADOS. FAMILIAS LÓGICAS.

TEMA 9: MEMORIAS.

TEMA 10: DISPOSITIVOS DE LÓGICA PROGRAMABLE (PLD).

TEMA 11: CONVERTIDORES ANALÓGICO/DIGIALES DAC/ADC.

