

---

# Dispositivos de lógica programable (PLDs)

# TEMARIO

Tema 1	Introducción a la Electrónica Digital
Tema 2	Representación Digital de la Información
Tema 3	Álgebra de Conmutación. Funciones Lógicas
Tema 4	Sistemas combinacionales aritméticos
Tema 5	Multiplexores, codificadores, decodificadores y comparadores
Tema 6	Sistemas secuenciales
Tema 7	Memorias
Tema 8	Dispositivos de Lógica Programable
Tema 9	Circuitos Digitales Integrados. Familias Lógicas
Tema 10	Conversión analógica-digital

# TEMARIO

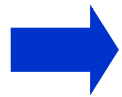
Tema 1	Introducción a la Electrónica Digital
Tema 2	Representación Digital de la Información
Tema 3	Álgebra de Conmutación. Funciones Lógicas
Tema 4	Sistemas combinacionales aritméticos
Tema 5	Multiplexores, codificadores, decodificadores y comparadores
Tema 6	Sistemas secuenciales
Tema 7	Memorias
Tema 8	Dispositivos de Lógica Programable
Tema 9	Circuitos Digitales Integrados. Familias Lógicas
Tema 10	Conversión analógica-digital



## **Tema Dispositivos de lógica programable (PLDs)**

- 1. Introducción**
- 2. Codificadores ROM programables**
- 3. Dispositivos de lógica programable sencillos (PLA)**
- 4. Matrices lógicas de puertas AND programables (PAL)**
- 5. Matrices lógicas genéricas (GAL) con macroceldas (OLMC)**
- 6. Dispositivos de lógica programable complejos (CPLD)**
- 7. Dispositivos de lógica programable FPGA**
- 8. Herramientas software para el diseño de circuitos con PLDs**
- 9. Ejemplos de aplicación**

## Tema Dispositivos de lógica programable (PLDs)

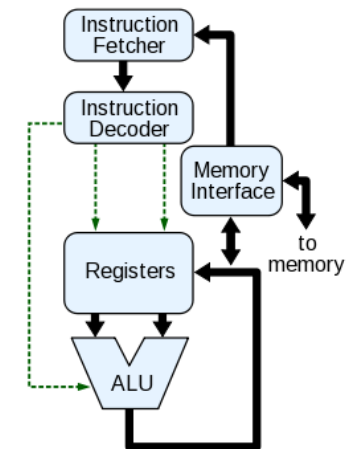
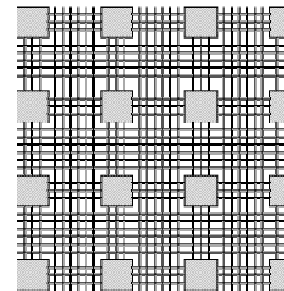


- 1. Introducción**
- 2. Codificadores ROM programables**
- 3. Dispositivos de lógica programable sencillos (PLA)**
- 4. Matrices lógicas de puertas AND programables (PAL)**
- 5. Matrices lógicas genéricas (GAL) con macroceldas (OLMC)**
- 6. Dispositivos de lógica programable complejos (CPLD)**
- 7. Dispositivos de lógica programable FPGA**
- 8. Herramientas software para el diseño de circuitos con PLDs**
- 9. Ejemplos de aplicación**

- Diseño lógico tradicional para aplicaciones sencillas:  
- "Librería" de circuitos de la serie 74



- Diseño lógico para aplicaciones complejas:  
- ASICs: Circuitos integrados de aplicación específica.  
- Microprocesadores: (microcontroladores, DSPs, etc...)  
- PLDs: Dispositivos de lógica programable



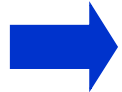
	REPROGRAMABLES	VELOCIDAD
ASICs	NO	ALTA
Microprocesadores	SÍ	MEDIA
PLDs	SÍ	ALTA

## **Tema    Dispositivos de lógica programable (PLDs)**

- 1.   Introducción**
- 2.   Codificadores ROM programables**
- 3.   Dispositivos de lógica programable sencillos (PLA)**
- 4.   Matrices lógicas de puertas AND programables (PAL)**
- 5.   Matrices lógicas genéricas (GAL) con macroceldas (OLMC)**
- 6.   Dispositivos de lógica programable complejos (CPLD)**
- 7.   Dispositivos de lógica programable FPGA**
- 8.   Herramientas software para el diseño de circuitos con PLDs**
- 9.   Ejemplos de aplicación**

## **Tema Dispositivos de lógica programable (PLDs)**

**1. Introducción**



**2. Codificadores ROM programables**

**3. Dispositivos de lógica programable sencillos (PLA)**

**4. Matrices lógicas de puertas AND programables (PAL)**

**5. Matrices lógicas genéricas (GAL) con macroceldas (OLMC)**

**6. Dispositivos de lógica programable complejos (CPLD)**

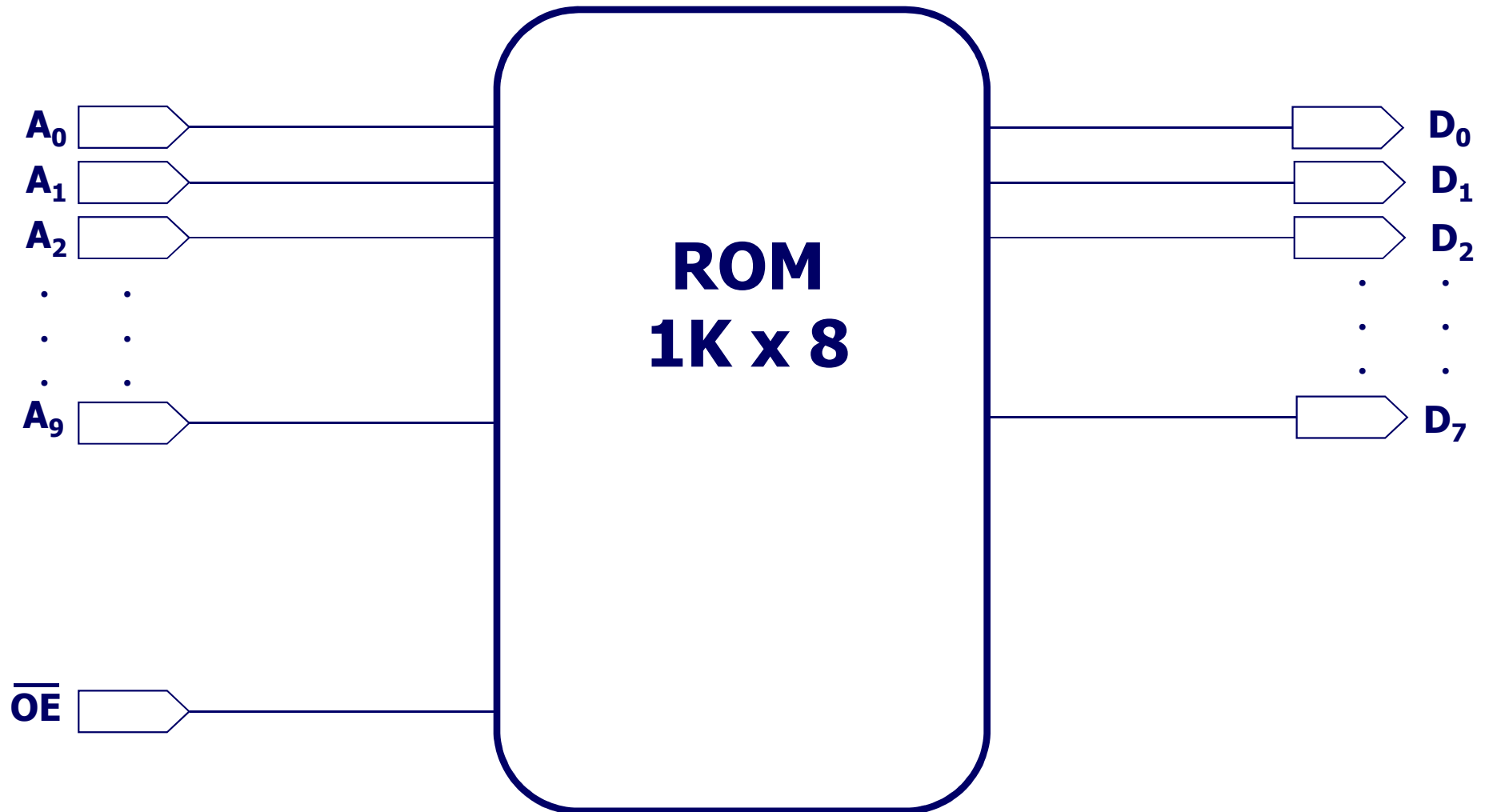
**7. Dispositivos de lógica programable FPGA**

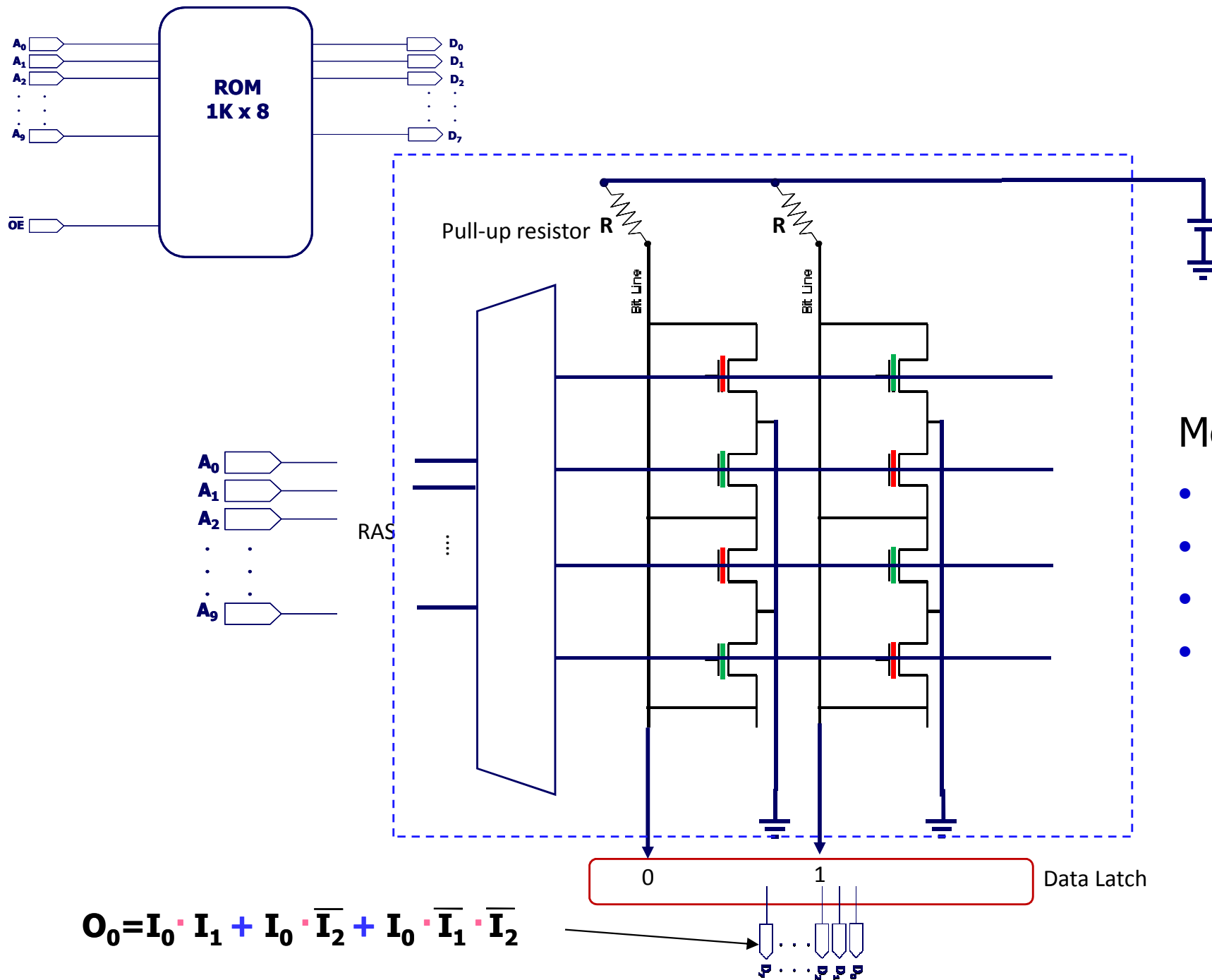
**8. Herramientas software para el diseño de circuitos con PLDs**

**9. Ejemplos de aplicación**



# CODIFICADORES ROMS

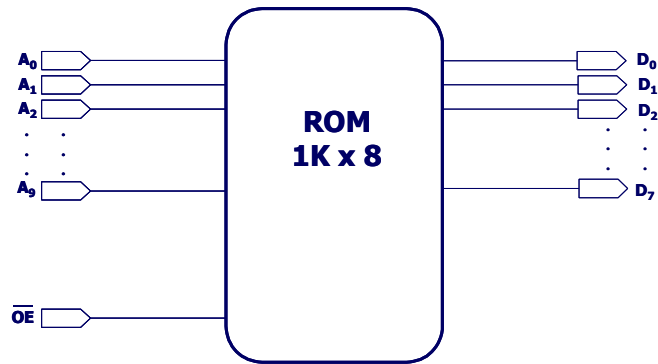




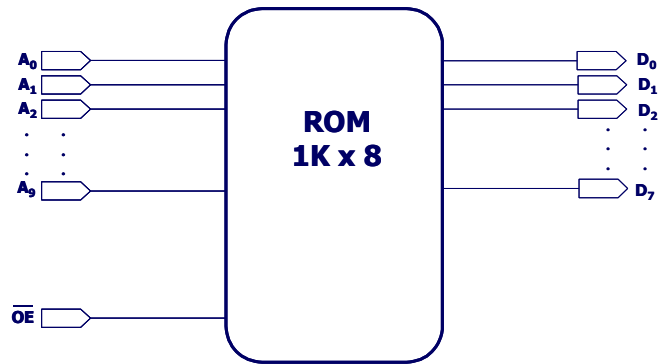
## Memoria ROM

- Mask
- OTPROM
- EEPROM
- Flash

$$O_0 = I_0 \cdot I_1 + I_0 \cdot \bar{I}_2 + I_0 \cdot \bar{I}_1 \cdot \bar{I}_2$$



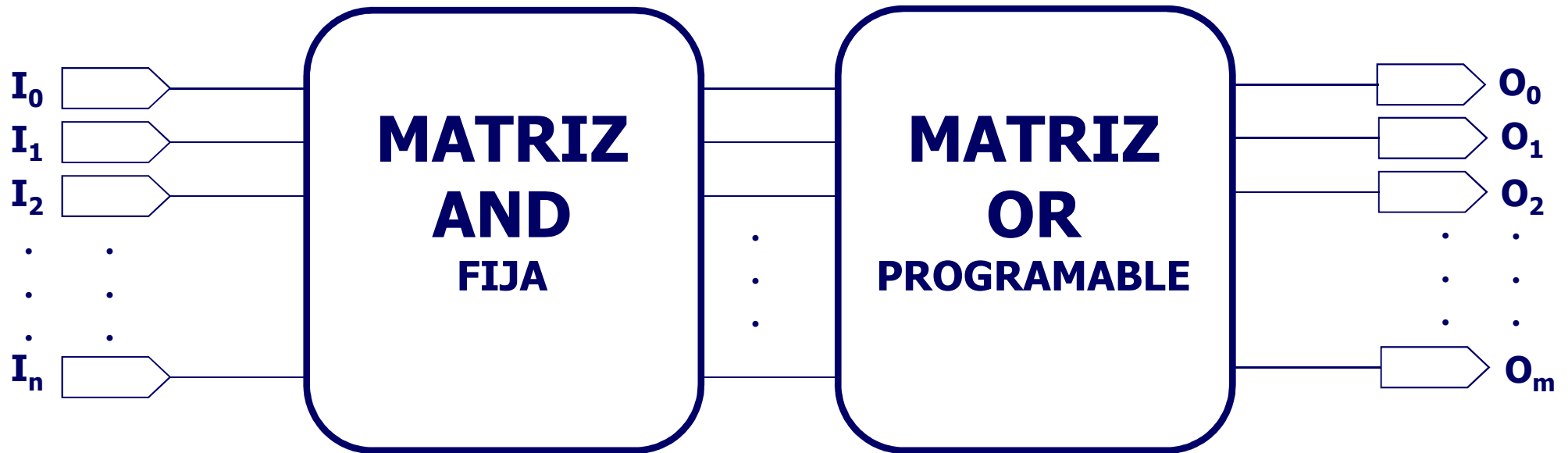
$$O_0 = I_0 \cdot I_1 + I_0 \cdot \overline{I_2} + I_0 \cdot \overline{I_1} \cdot \overline{I_2}$$

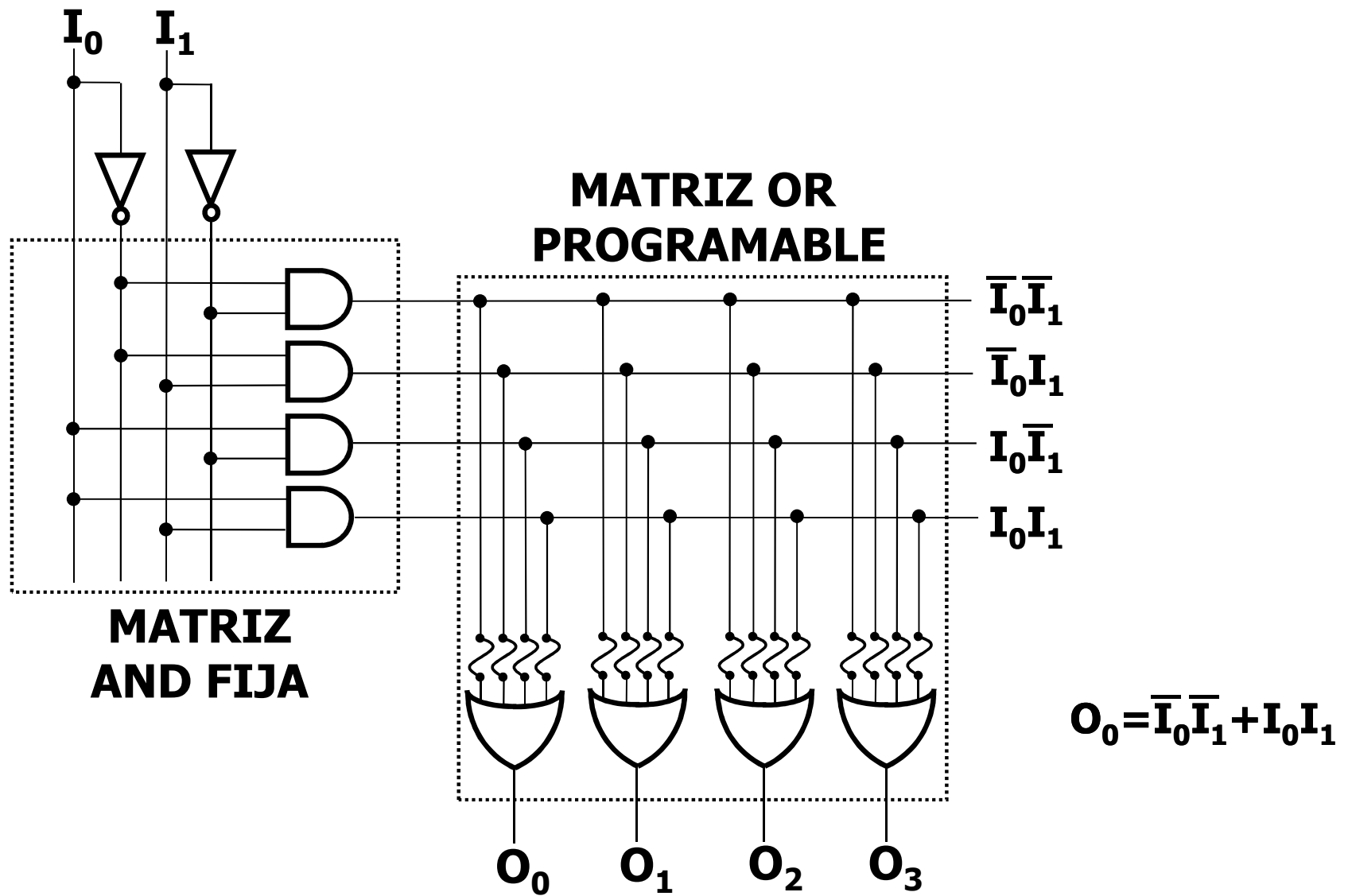


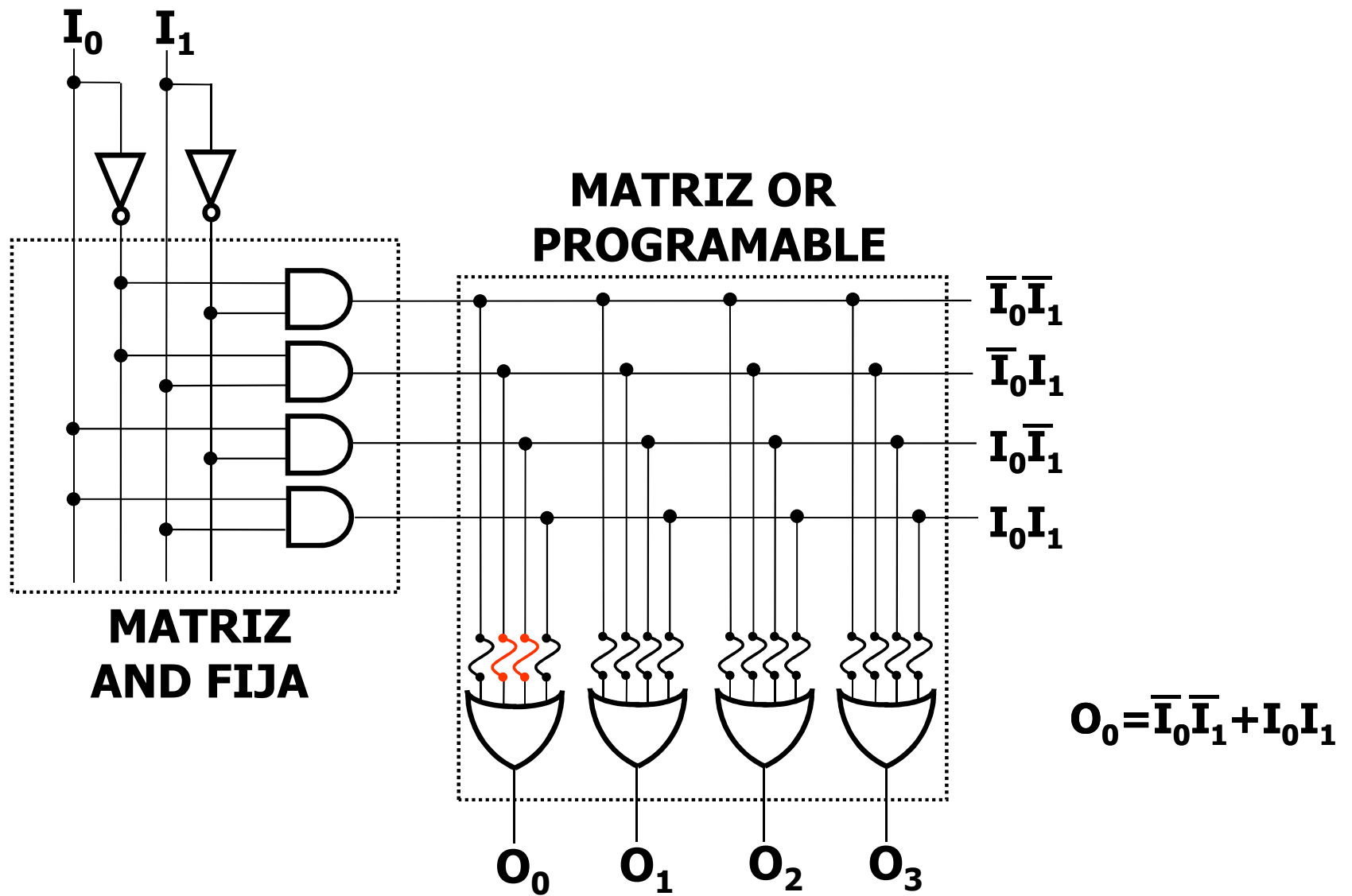
**PUERTAS OR**

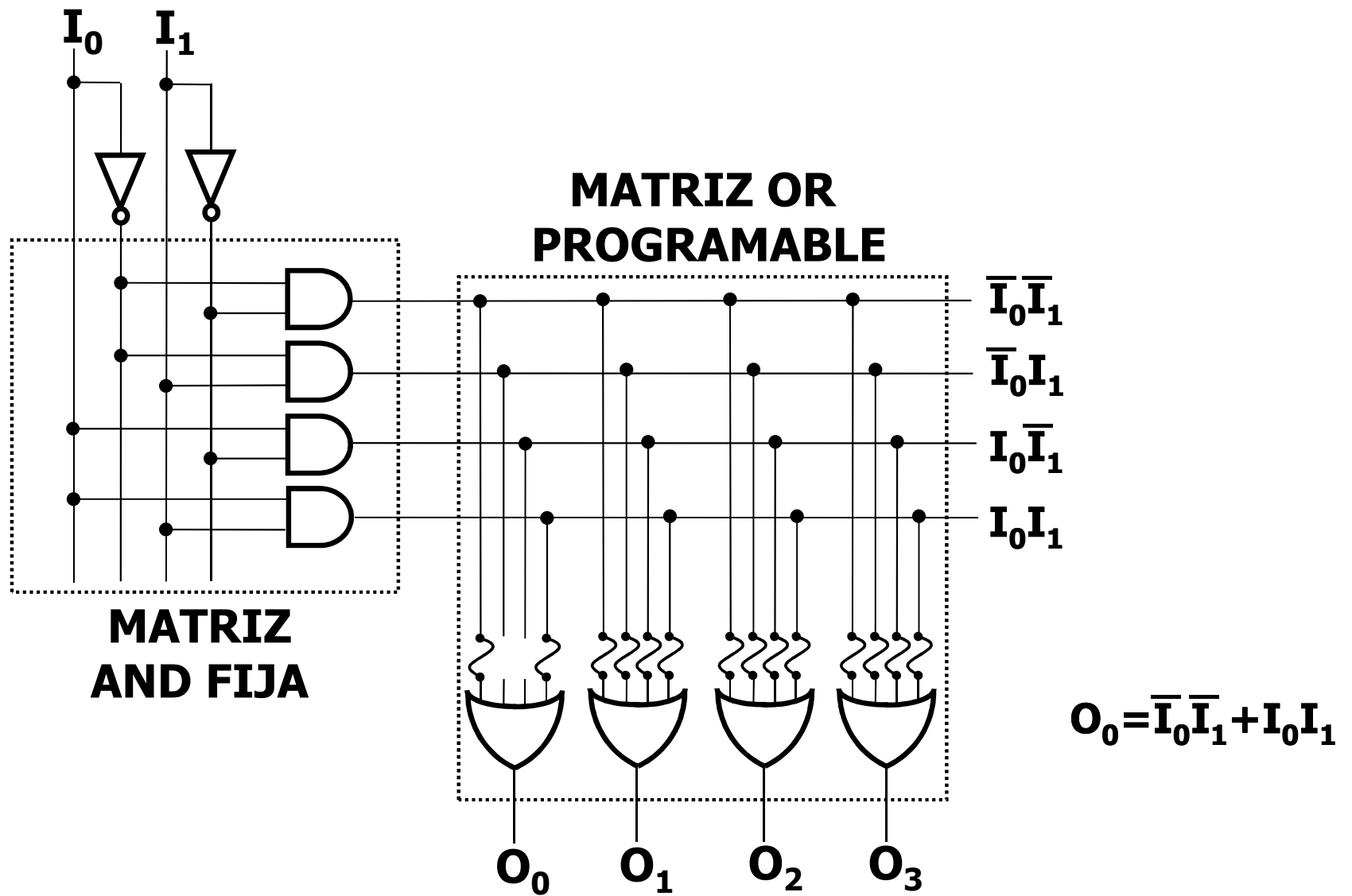
$$O_0 = I_0 \cdot I_1 + I_0 \cdot \overline{I_2} + I_0 \cdot \overline{I_1} \cdot \overline{I_2}$$

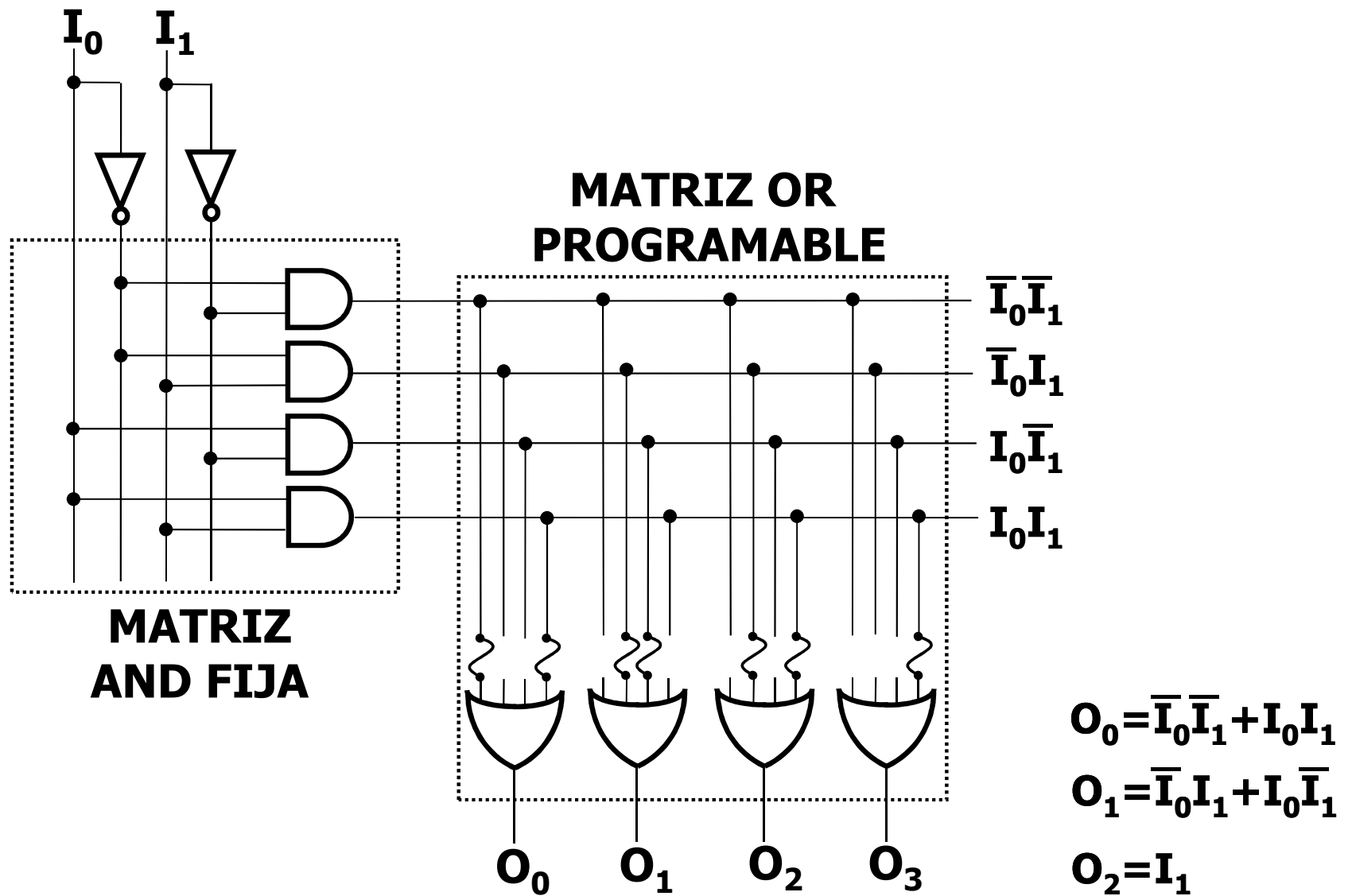
**PUERTAS AND**





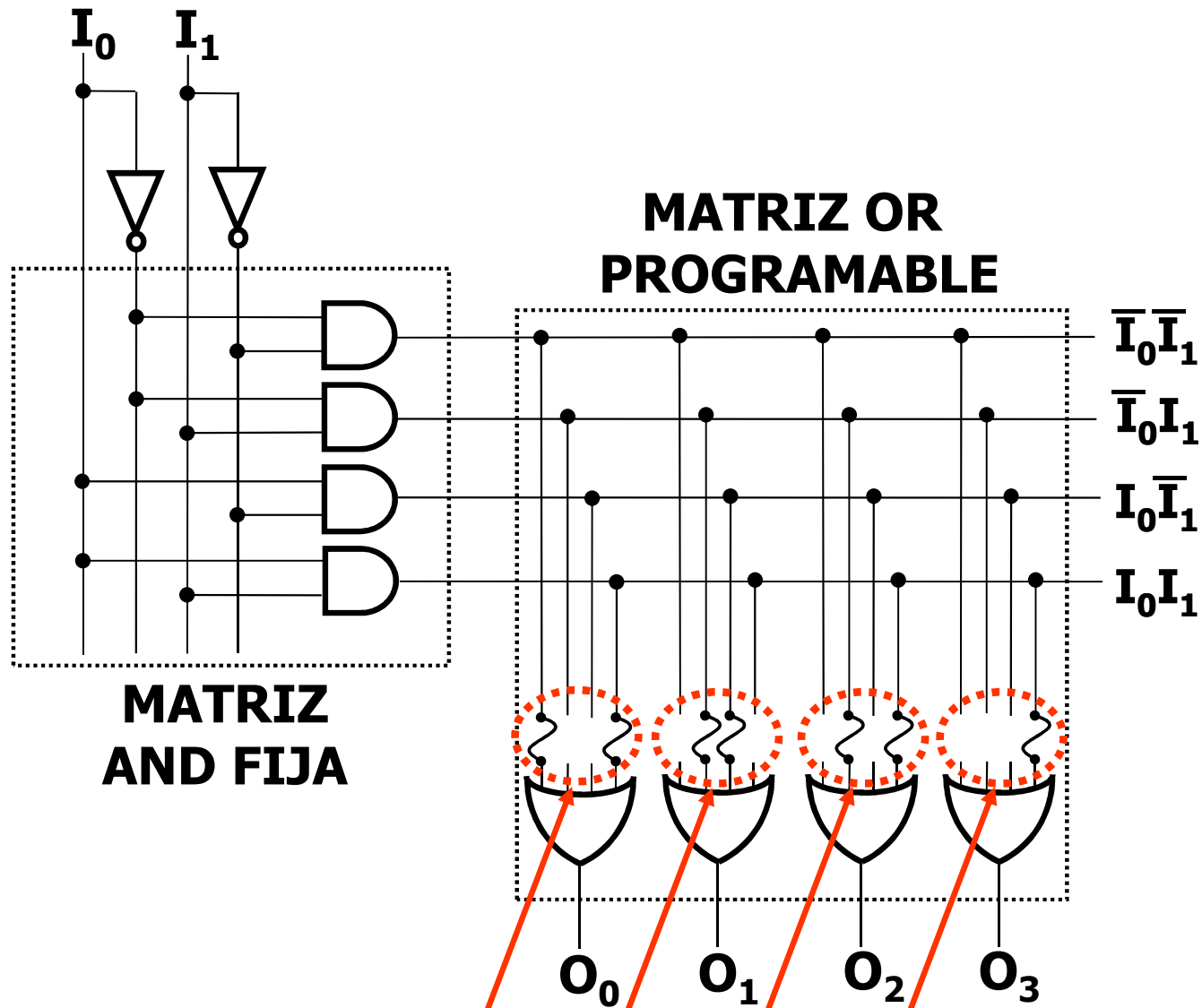






## CONSIDERACIONES Y SIMBOLOGÍA



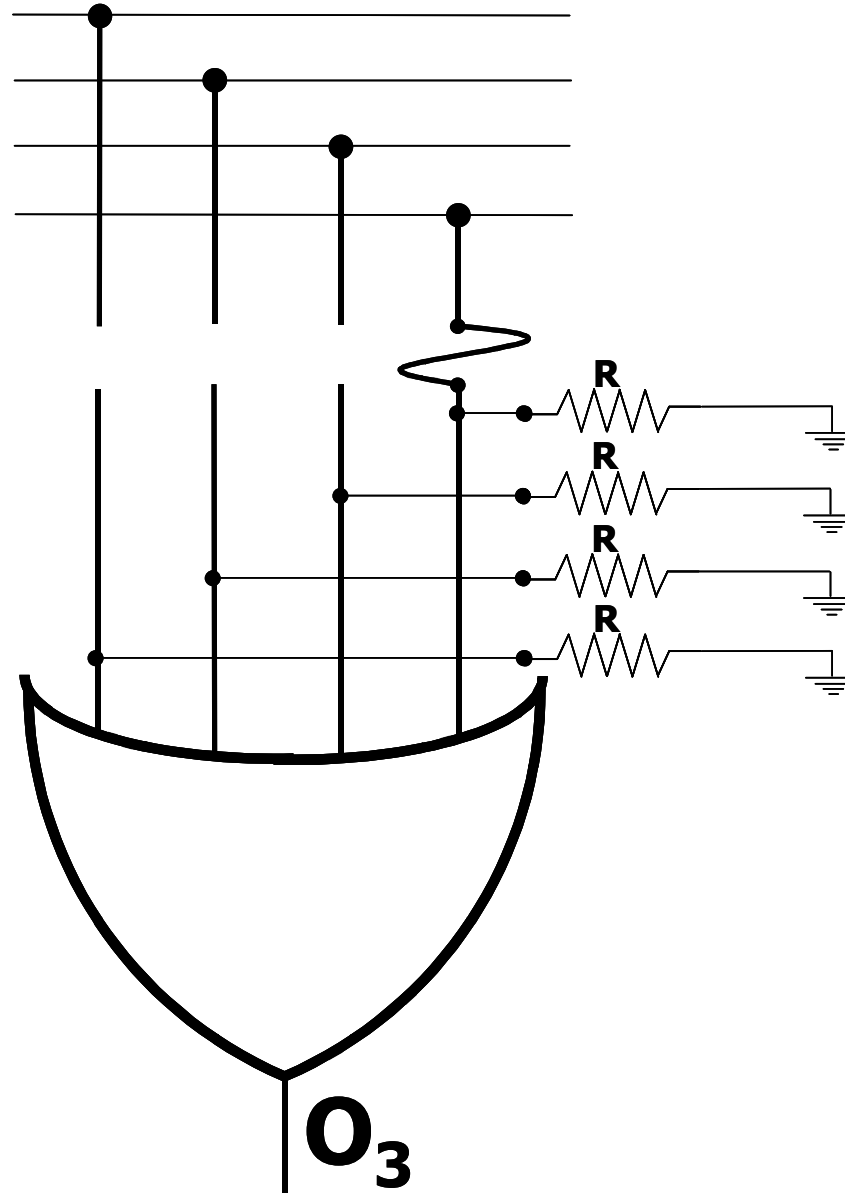
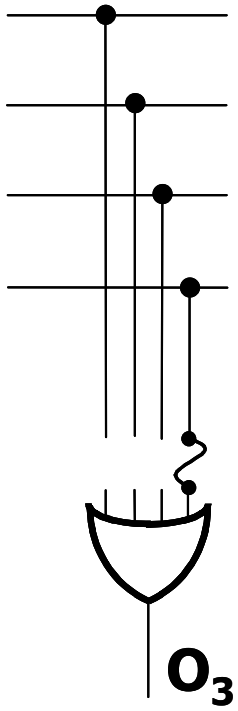


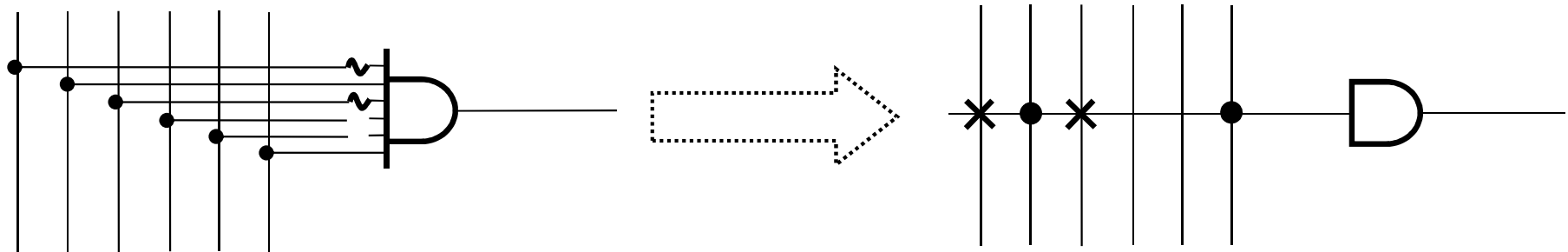
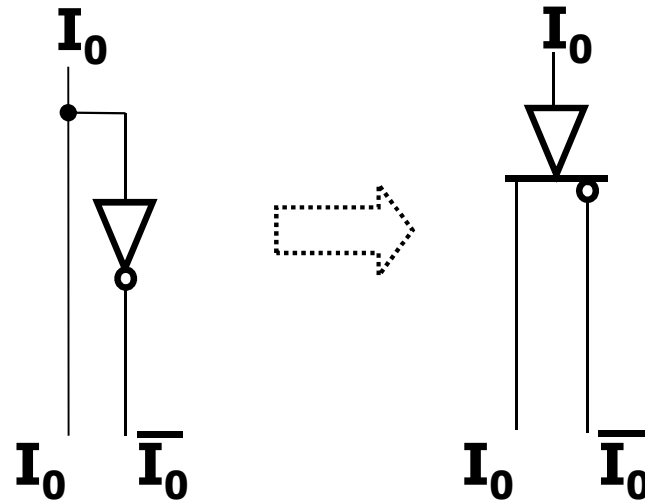
$$O_0 = \bar{I}_0\bar{I}_1 + I_0I_1$$

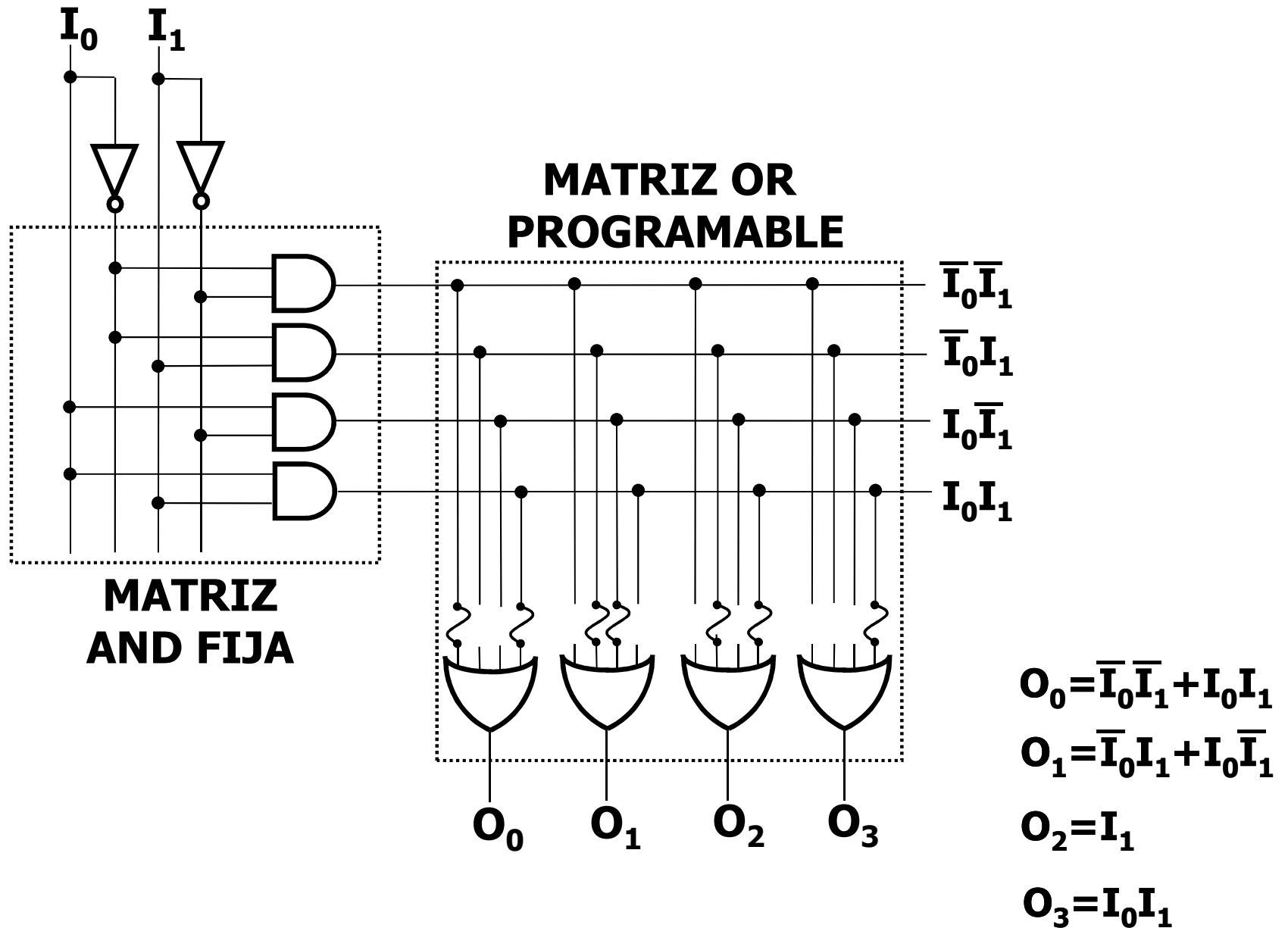
$$O_1 = \bar{I}_0I_1 + I_0\bar{I}_1$$

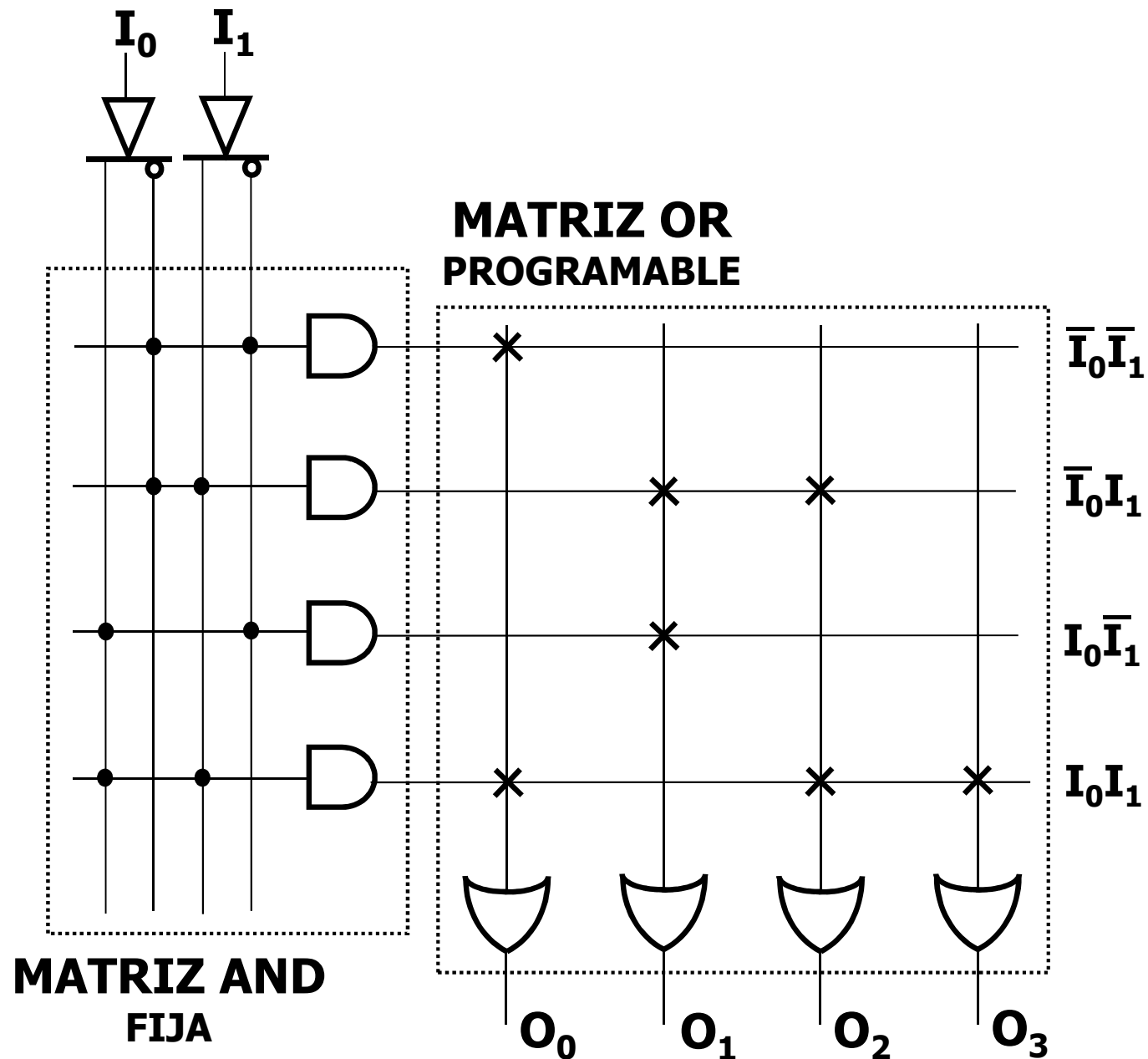
$$O_2 = I_1$$

$$O_3 = I_0$$









$$O_0 = \bar{I}_0\bar{I}_1 + I_0I_1$$

$$O_1 = \bar{I}_0I_1 + I_0\bar{I}_1$$

$$O_2 = I_1$$

$$O_3 = I_0I_1$$

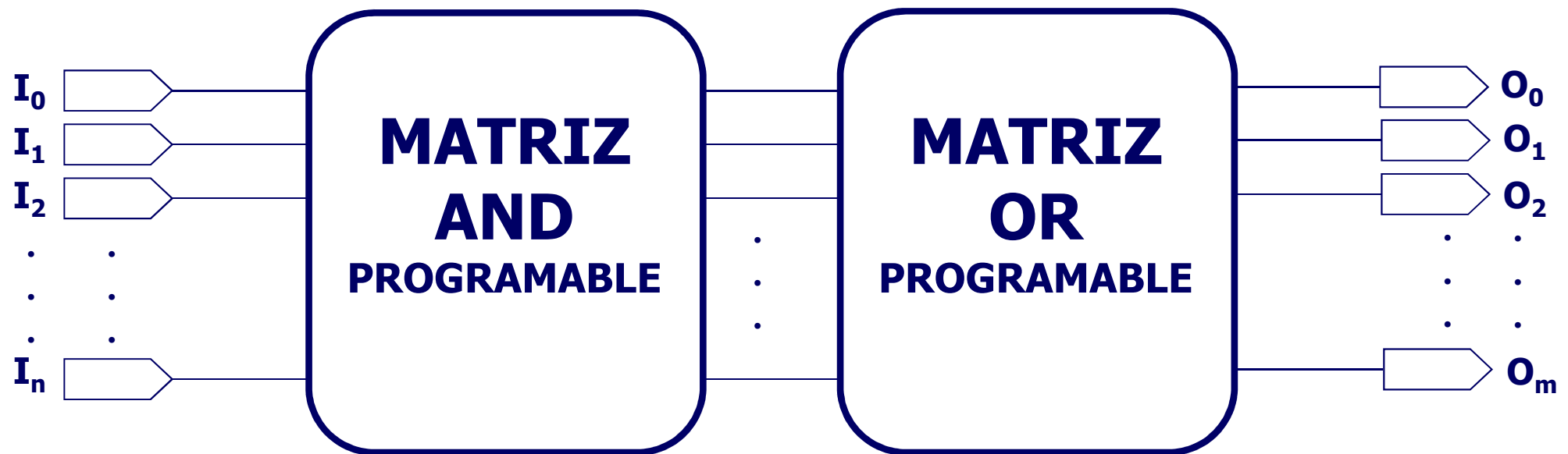
## **Tema    Dispositivos de lógica programable (PLDs)**

- 1.   Introducción**
- 2.   Codificadores ROM programables**
- 3.   Dispositivos de lógica programable sencillos (PLA)**
- 4.   Matrices lógicas de puertas AND programables (PAL)**
- 5.   Matrices lógicas genéricas (GAL) con macroceldas (OLMC)**
- 6.   Dispositivos de lógica programable complejos (CPLD)**
- 7.   Dispositivos de lógica programable FPGA**
- 8.   Herramientas software para el diseño de circuitos con PLDs**
- 9.   Ejemplos de aplicación**

## Tema Dispositivos de lógica programable (PLDs)

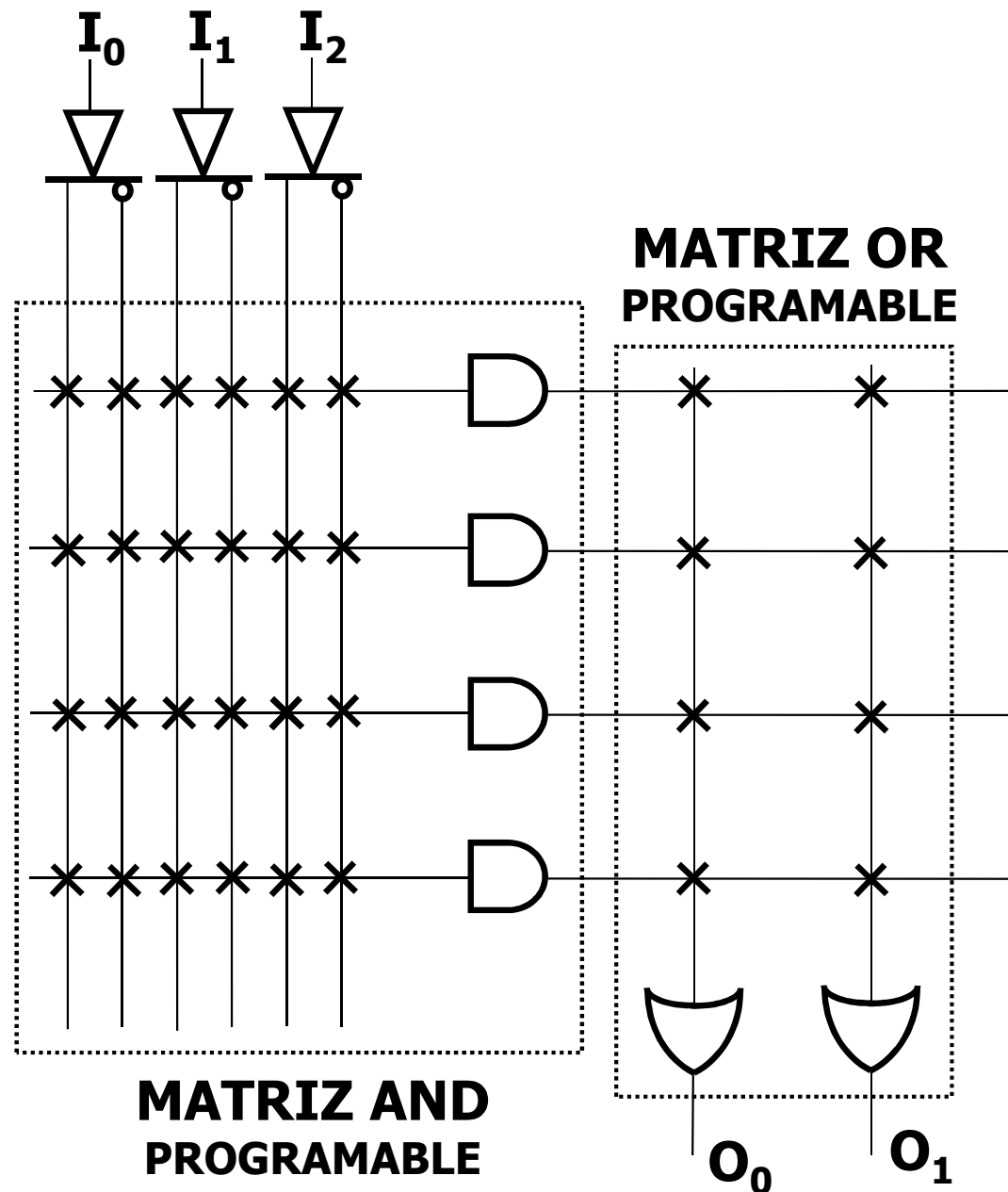
1. Introducción
2. Codificadores ROM programables
- ➔ 3. **Dispositivos de lógica programable sencillos (PLA)**
4. Matrices lógicas de puertas AND programables (PAL)
5. Matrices lógicas genéricas (GAL) con macroceldas (OLMC)
6. Dispositivos de lógica programable complejos (CPLD)
7. Dispositivos de lógica programable FPGA
8. Herramientas software para el diseño de circuitos con PLDs
9. Ejemplos de aplicación

## Dispositivos de lógica programable sencillos: PLA (Programmable Logic Array)





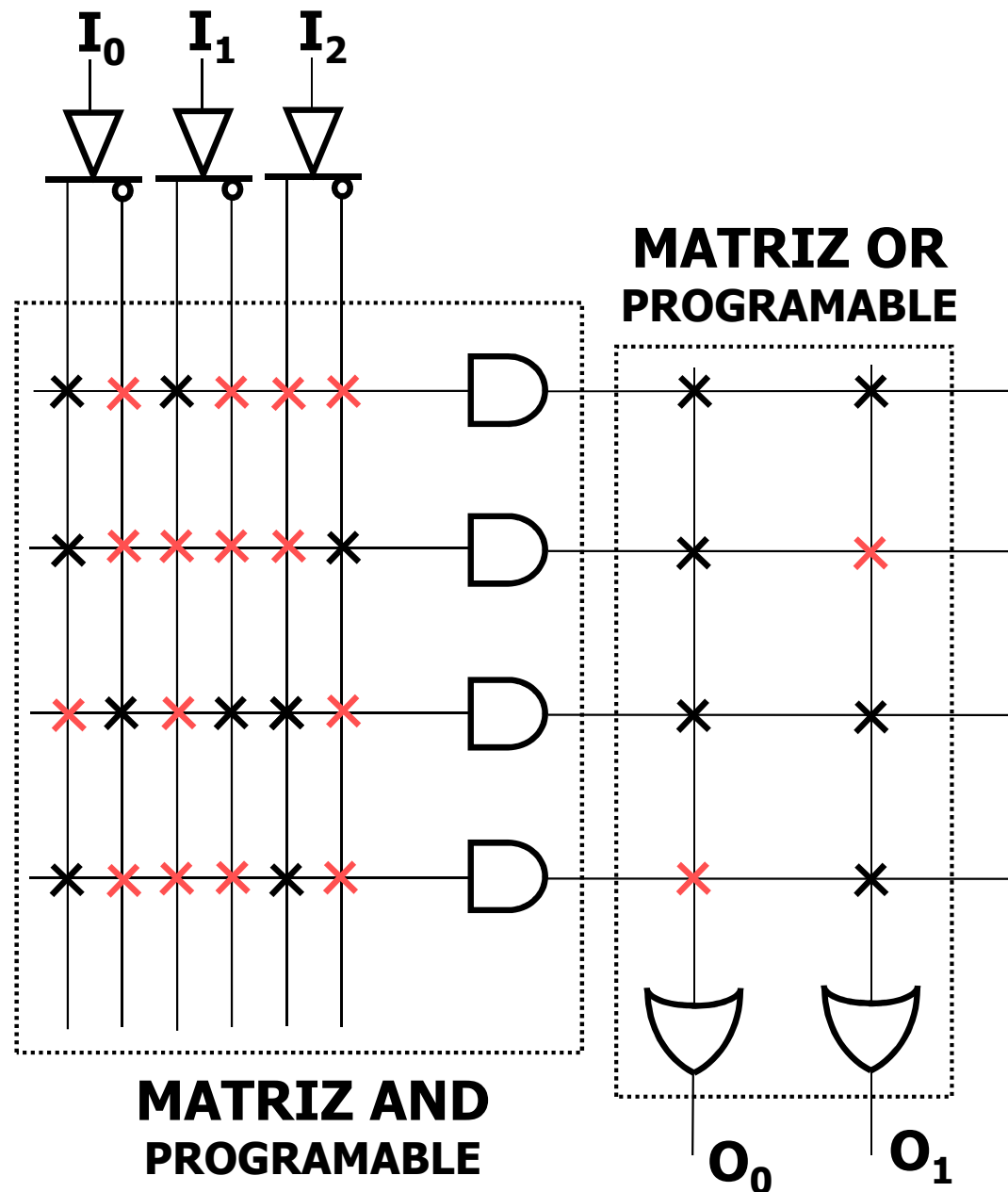
# MATRICES LÓGICAS PROGRAMABLES (PLA)



$$O_0 = I_0 I_1 + I_0 \bar{I}_2 + \bar{I}_0 \bar{I}_1 I_2$$

$$O_1 = I_0 I_1 + \bar{I}_0 \bar{I}_1 I_2 + I_0 I_2$$

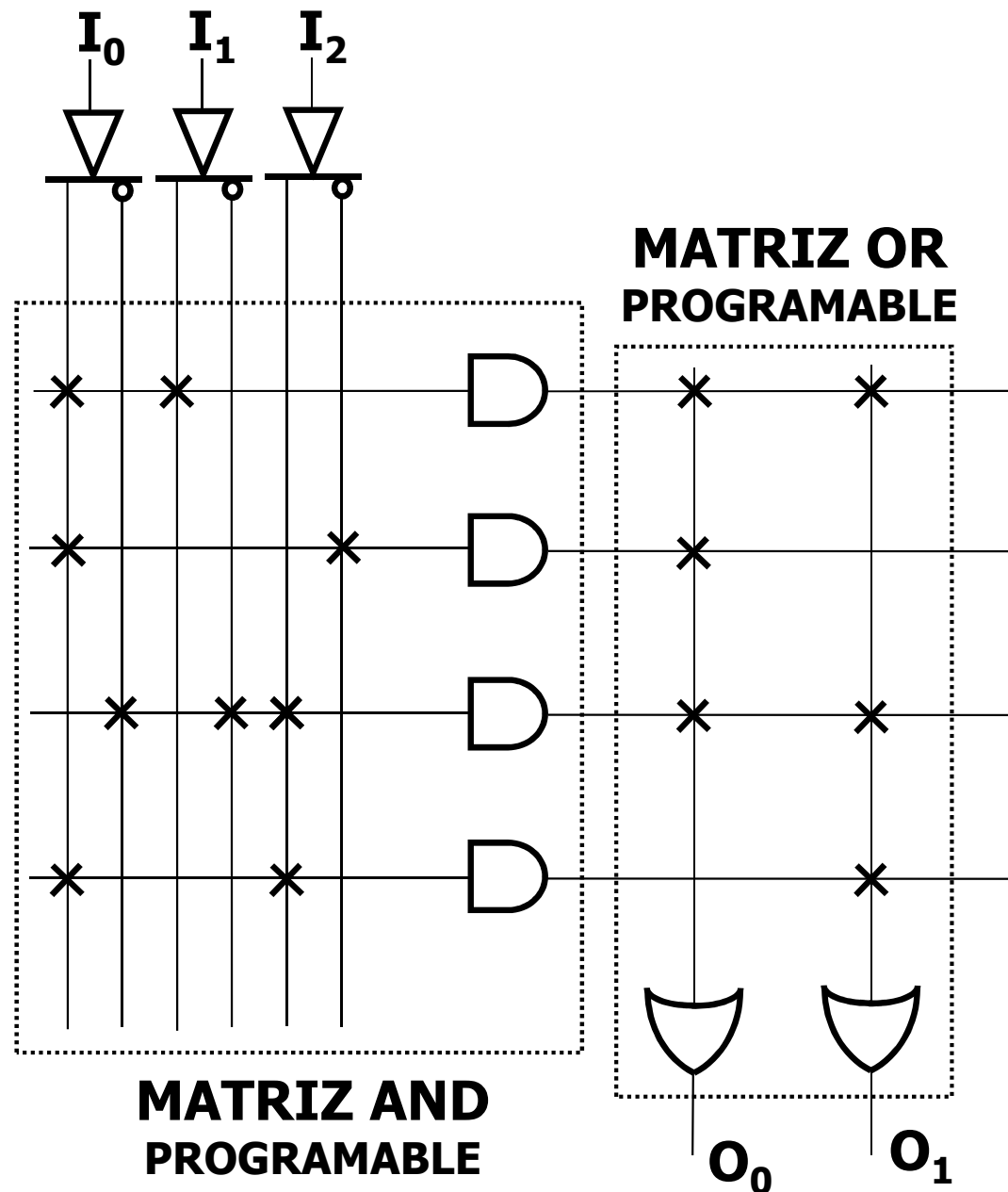
# MATRICES LÓGICAS PROGRAMABLES (PLA)



$$O_0 = I_0 I_1 + I_0 \bar{I}_2 + \bar{I}_0 \bar{I}_1 I_2$$

$$O_1 = I_0 I_1 + \bar{I}_0 \bar{I}_1 I_2 + I_0 I_2$$

# MATRICES LÓGICAS PROGRAMABLES (PLA)

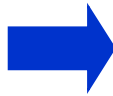


Mask ROMs

## **Tema Dispositivos de lógica programable (PLDs)**

- 1. Introducción**
- 2. Codificadores ROM programables**
- 3. Dispositivos de lógica programable sencillos (PLA)**
- 4. Matrices lógicas de puertas AND programables (PAL)**
- 5. Matrices lógicas genéricas (GAL) con macroceldas (OLMC)**
- 6. Dispositivos de lógica programable complejos (CPLD)**
- 7. Dispositivos de lógica programable FPGA**
- 8. Herramientas software para el diseño de circuitos con PLDs**
- 9. Ejemplos de aplicación**

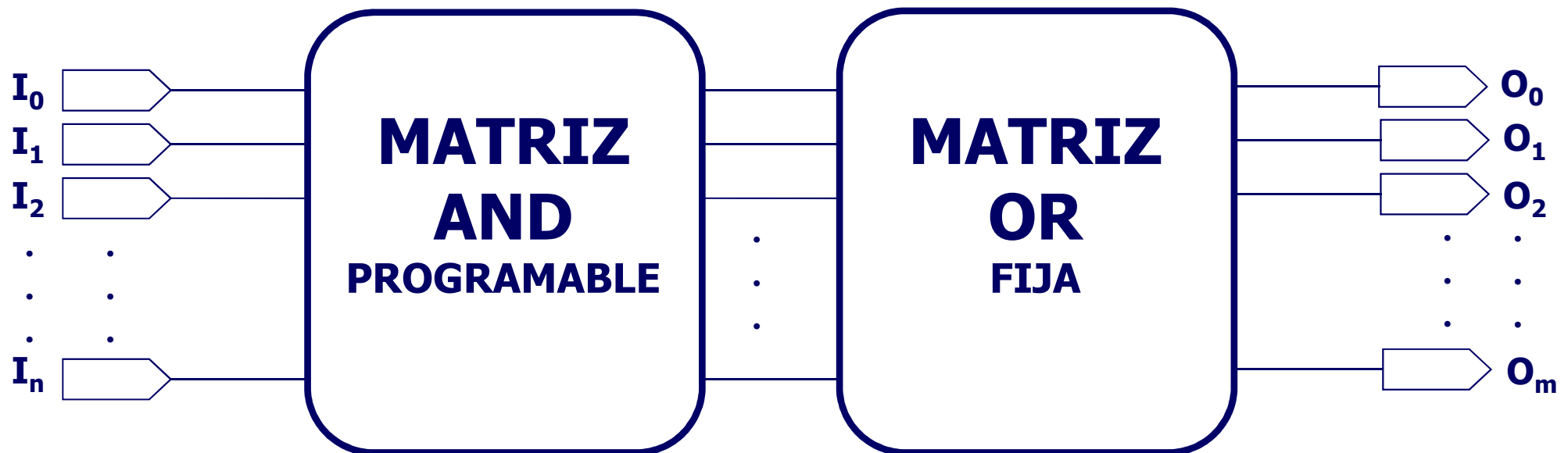
## **Tema Dispositivos de lógica programable (PLDs)**

- 1. Introducción**
- 2. Codificadores ROM programables**
- 3. Dispositivos de lógica programable sencillos (PLA)**
-  **4. Matrices lógicas de puertas AND programables (PAL)**
- 5. Matrices lógicas genéricas (GAL) con macroceldas (OLMC)**
- 6. Dispositivos de lógica programable complejos (CPLD)**
- 7. Dispositivos de lógica programable FPGA**
- 8. Herramientas software para el diseño de circuitos con PLDs**
- 9. Ejemplos de aplicación**

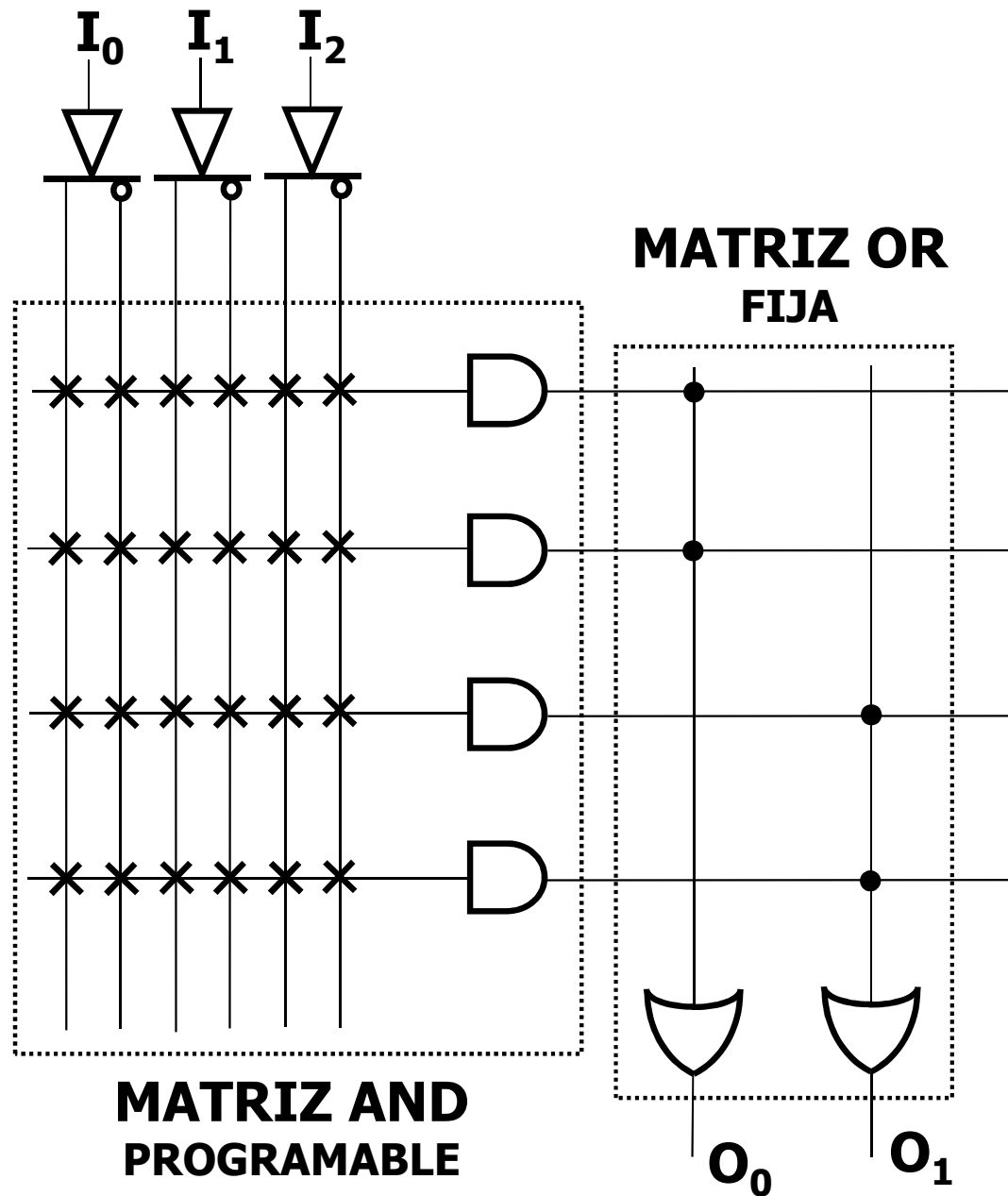
## Matrices lógicas de puertas AND programables:

PAL<sup>®</sup> (Programmable Array Logic)

Denominación utilizada por Monolithic Memories, Inc. (AMD)



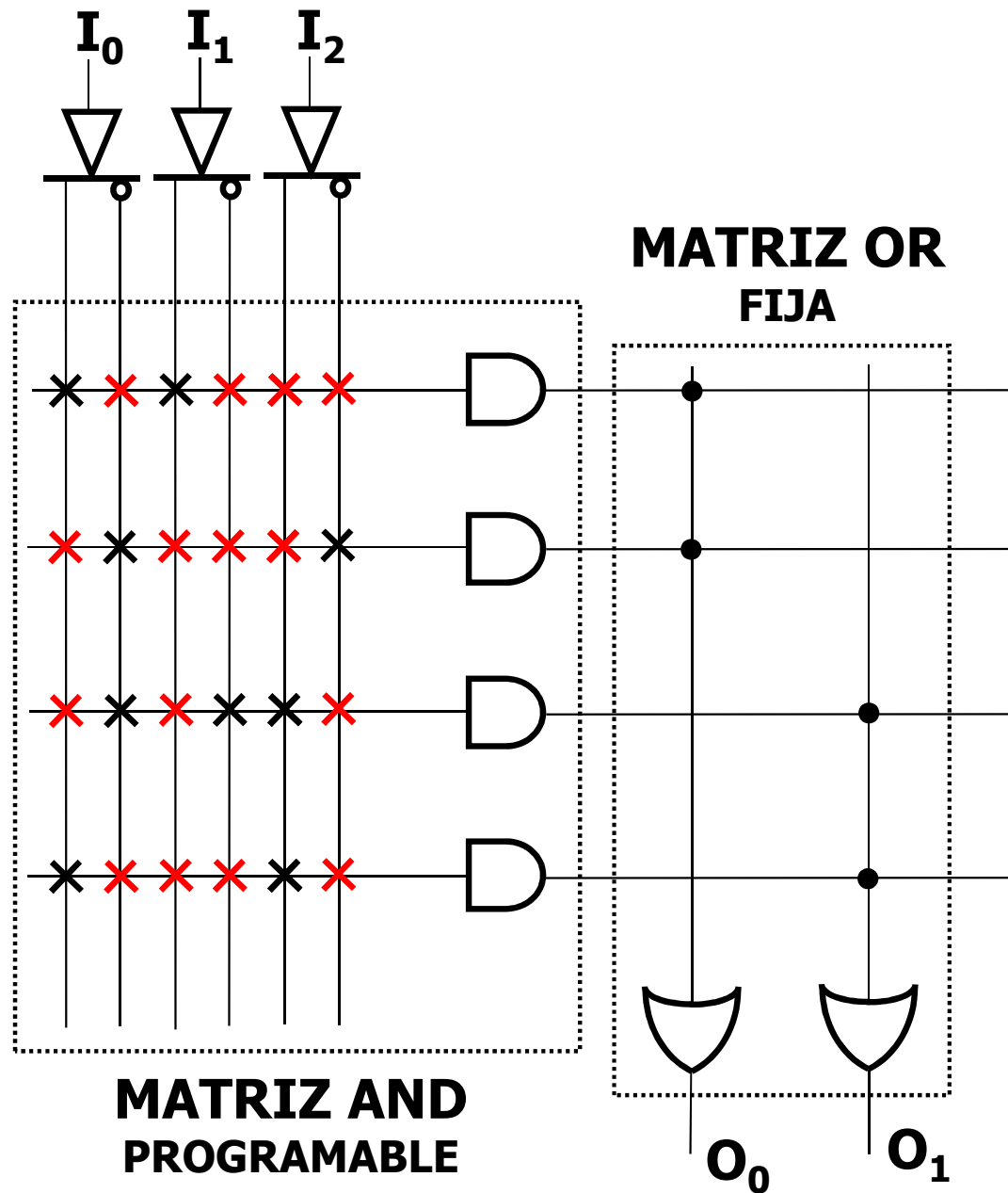
# MATRICES LÓGICAS PROGRAMABLES (PAL)



$$O_0 = I_0 I_1 + \bar{I}_0 \bar{I}_2$$

$$O_1 = \bar{I}_0 \bar{I}_1 I_2 + I_0 I_2$$

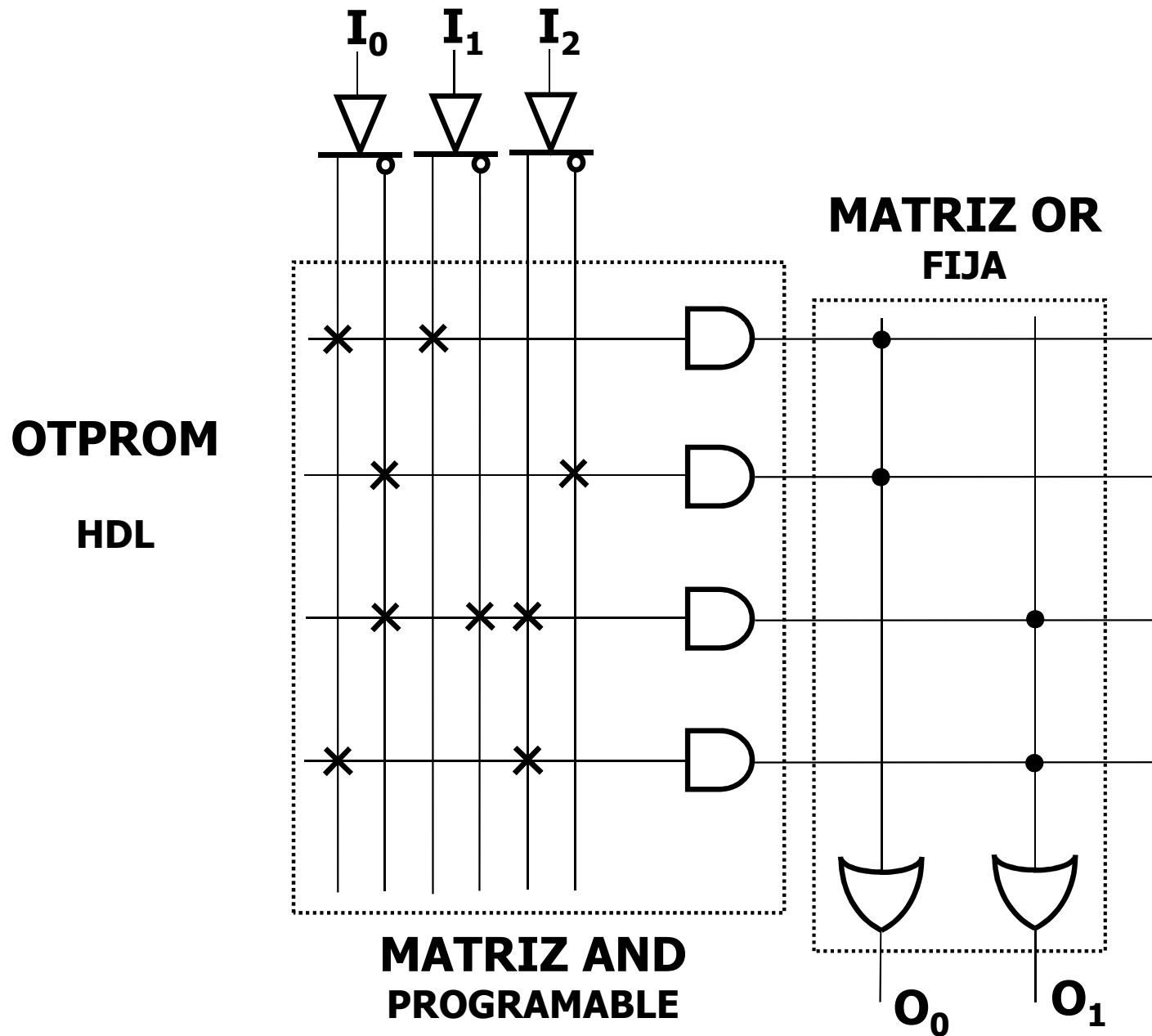
# MATRICES LÓGICAS PROGRAMABLES (PAL)



$$O_0 = I_0 I_1 + \bar{I}_0 \bar{I}_2$$

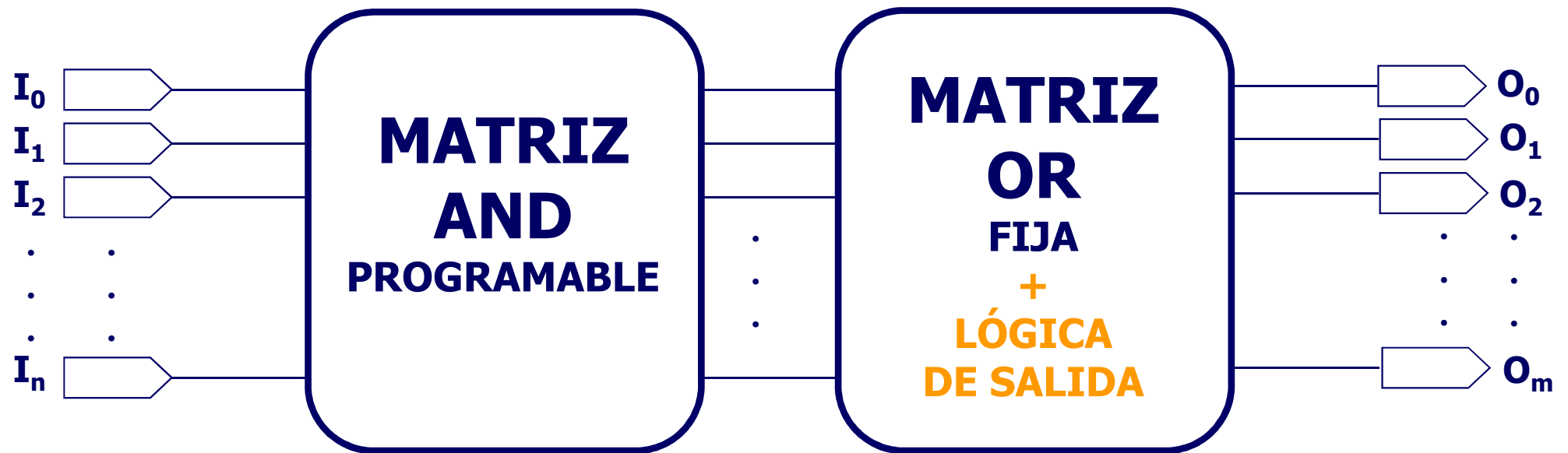
$$O_1 = \bar{I}_0 \bar{I}_1 I_2 + I_0 I_2$$





$$O_0 = I_0 I_1 + \bar{I}_0 \bar{I}_2$$


$$O_1 = \bar{I}_0 \bar{I}_1 I_2 + I_0 I_2$$



## **Tema Dispositivos de lógica programable (PLDs)**

- 1. Introducción**
- 2. Codificadores ROM programables**
- 3. Dispositivos de lógica programable sencillos (PLA)**
- 4. Matrices lógicas de puertas AND programables (PAL)**
- 5. Matrices lógicas genéricas (GAL) con macroceldas (OLMC)**
- 6. Dispositivos de lógica programable complejos (CPLD)**
- 7. Dispositivos de lógica programable FPGA**
- 8. Herramientas software para el diseño de circuitos con PLDs**
- 9. Ejemplos de aplicación**

## Tema Dispositivos de lógica programable (PLDs)

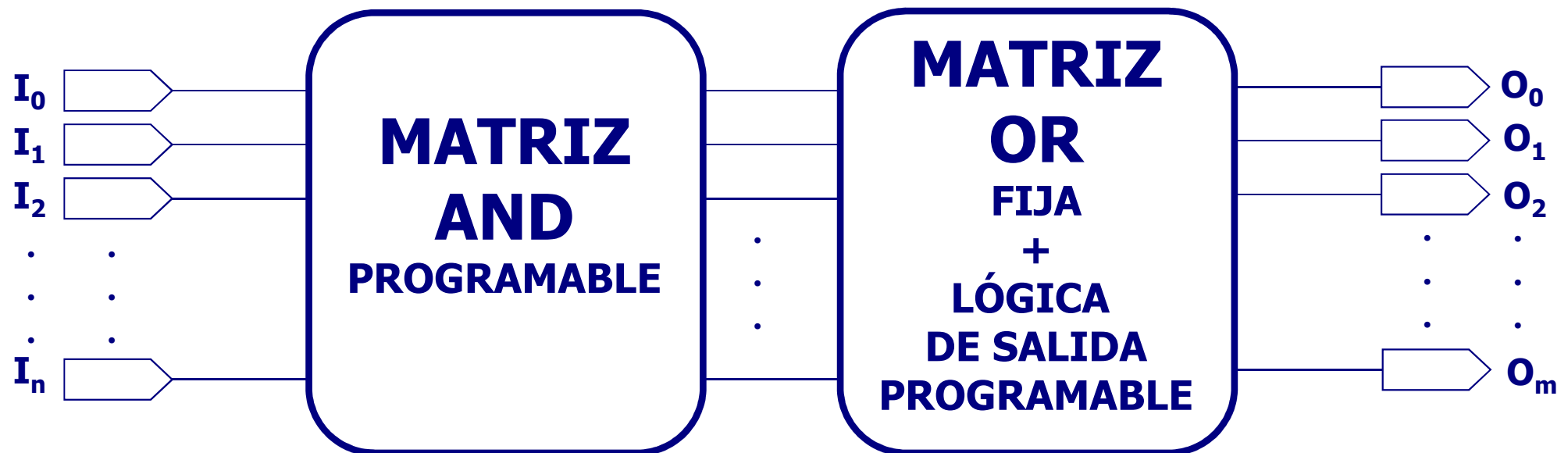
1. Introducción
2. Codificadores ROM programables
3. Dispositivos de lógica programable sencillos (PLA)
4. Matrices lógicas de puertas AND programables (PAL)
-  5. **Matrices lógicas genéricas (GAL) con macroceldas (OLMC)**
6. Dispositivos de lógica programable complejos (CPLD)
7. Dispositivos de lógica programable FPGA
8. Herramientas software para el diseño de circuitos con PLDs
9. Ejemplos de aplicación

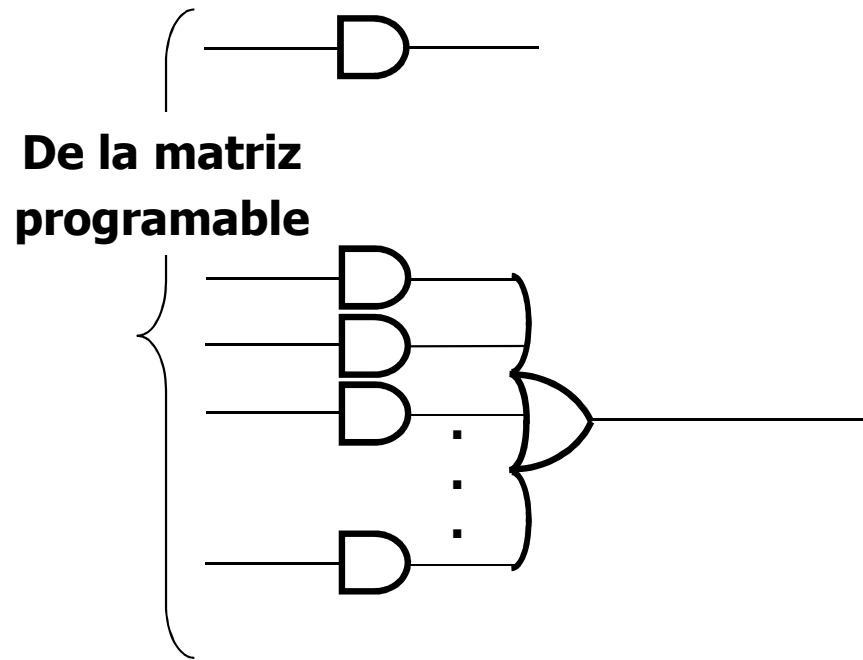
## Matrices lógicas genéricas (GAL) con macroceldas (OLMC)

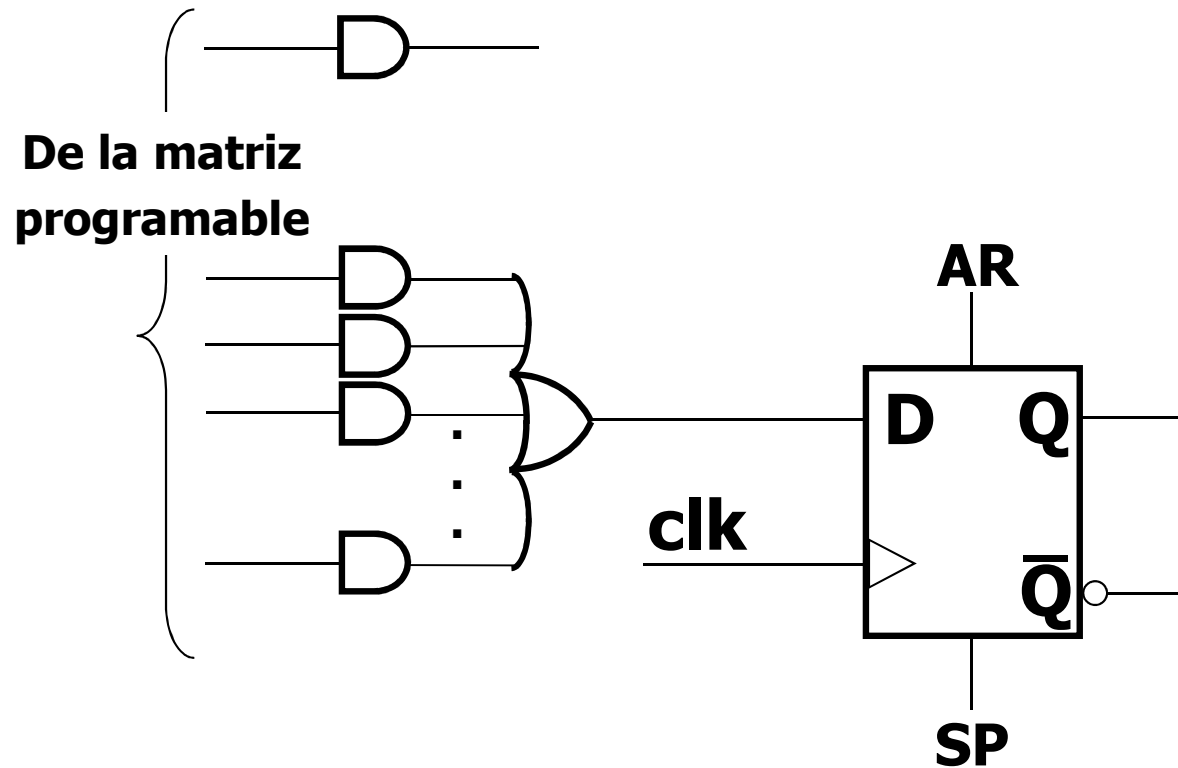
**GAL® (Generic Array Logic)** término acuñado por Lattice Semic.

**OLMC (Output Logic MacroCell)**

Aparece por 1ª vez la re-programabilidad (tecnología E<sup>2</sup>CMOS)



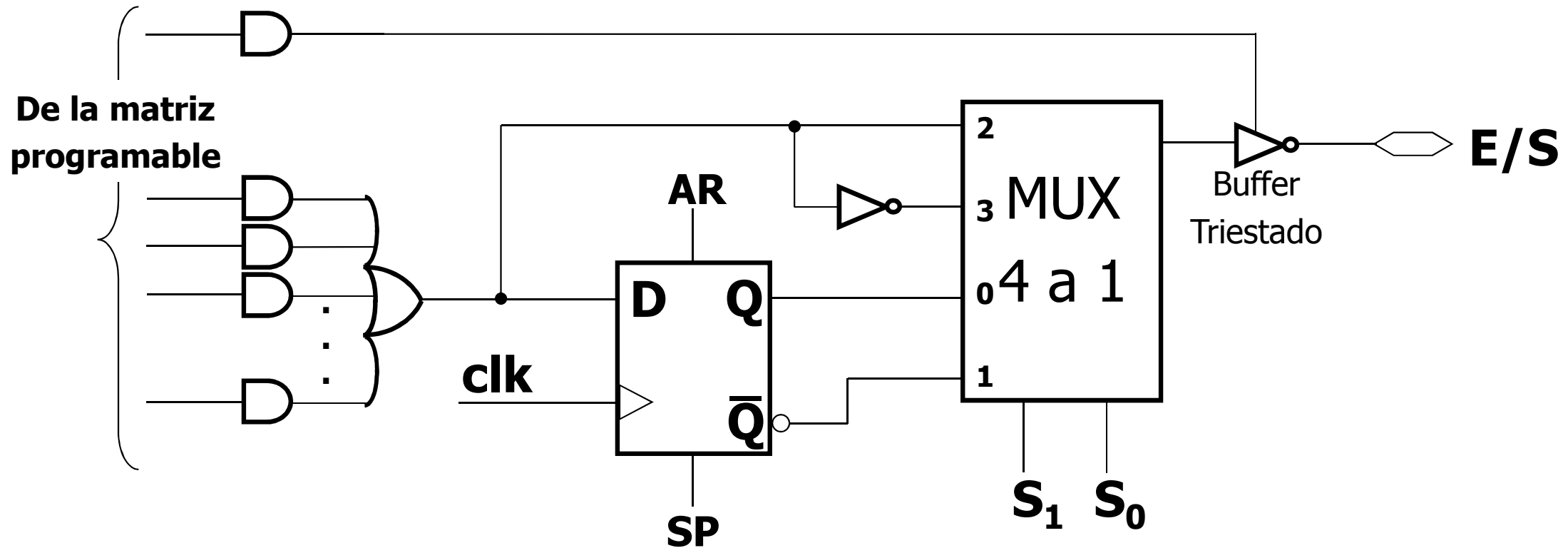




**AR: Reset asíncrono**

**SP: Preset síncrono**

**AR y SP solidarias**



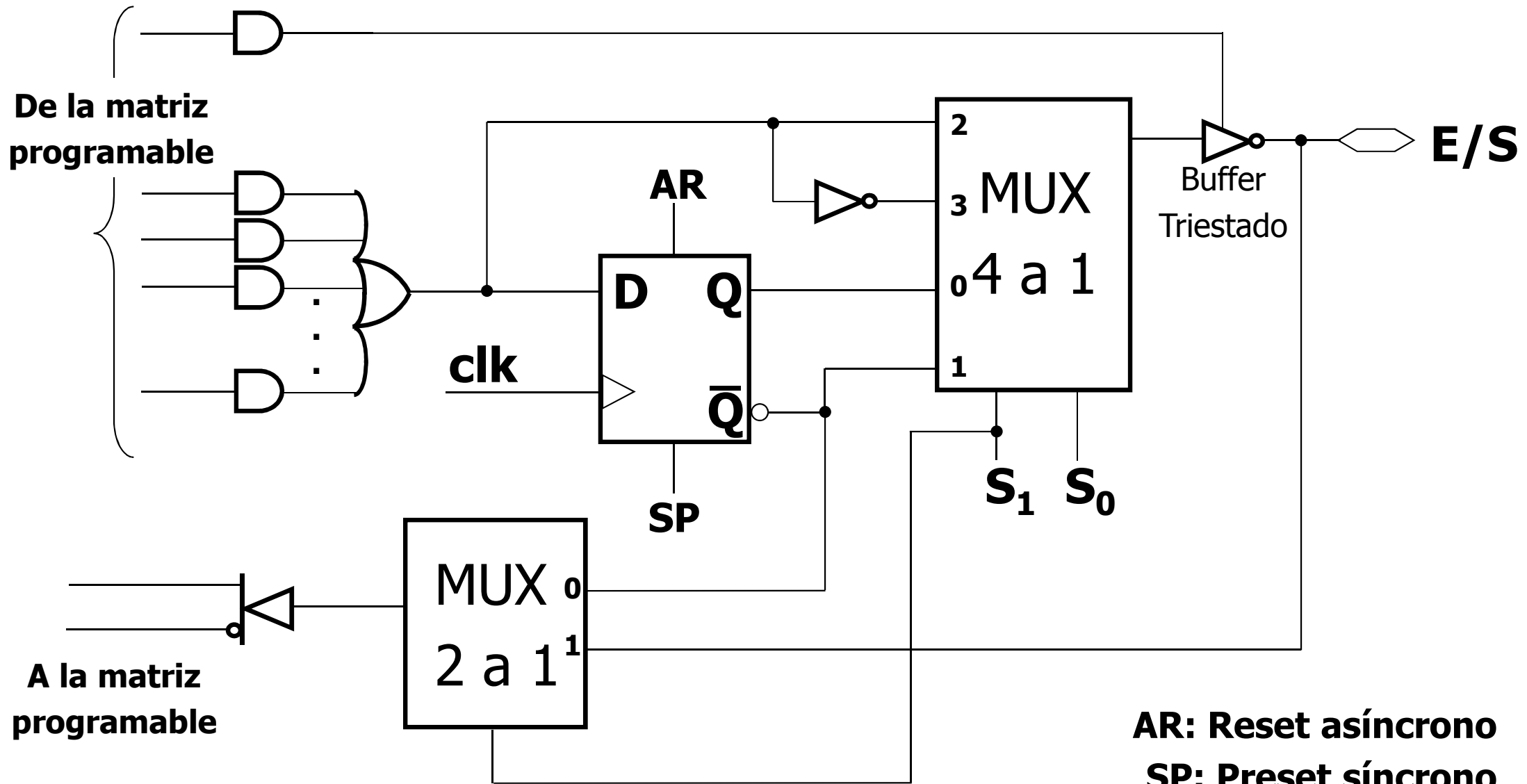
**AR: Reset asíncrono**

**SP: Preset síncrono**

**AR y SP solidarias**

**$S_1$  y  $S_0$ : PROGRAMABLES**



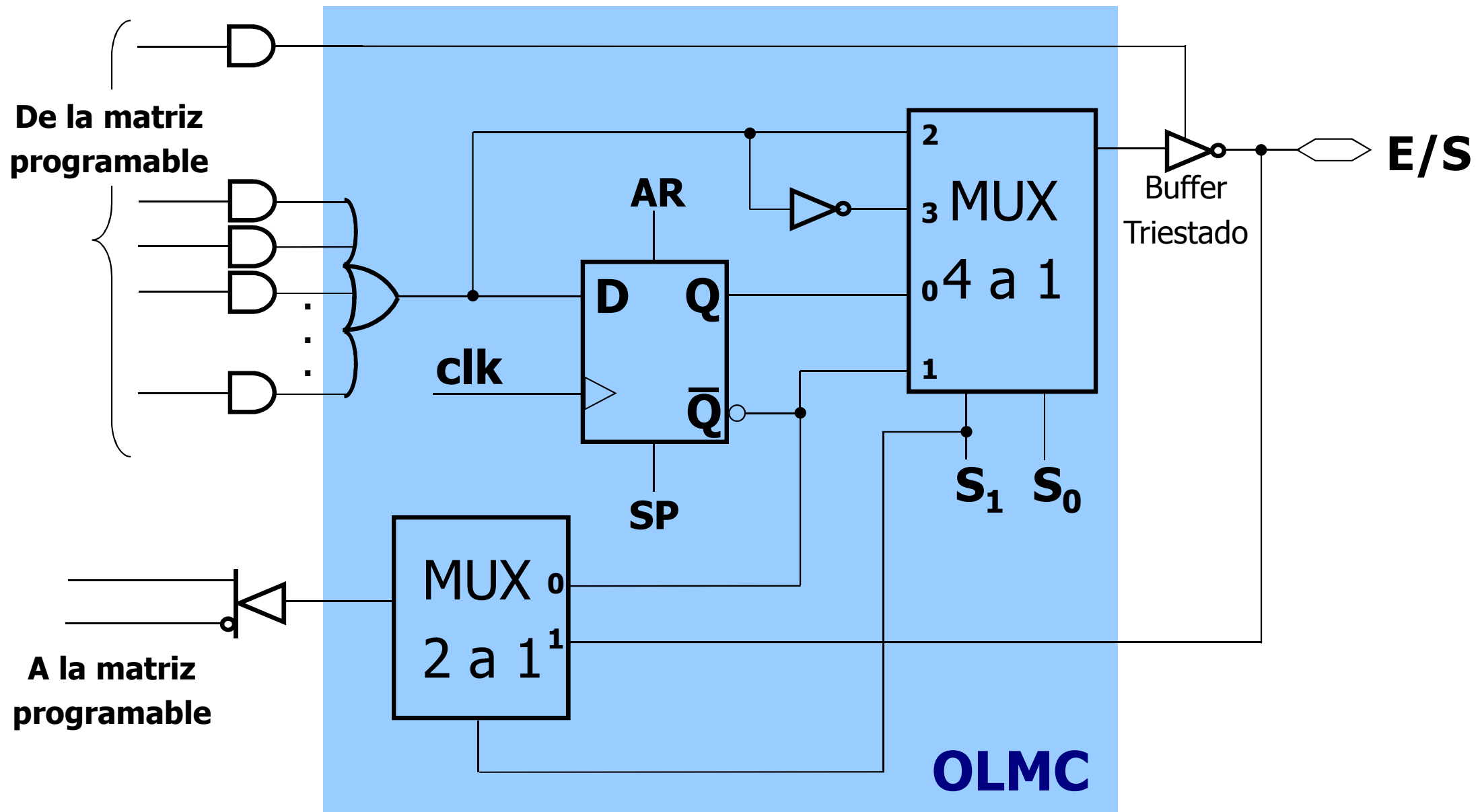


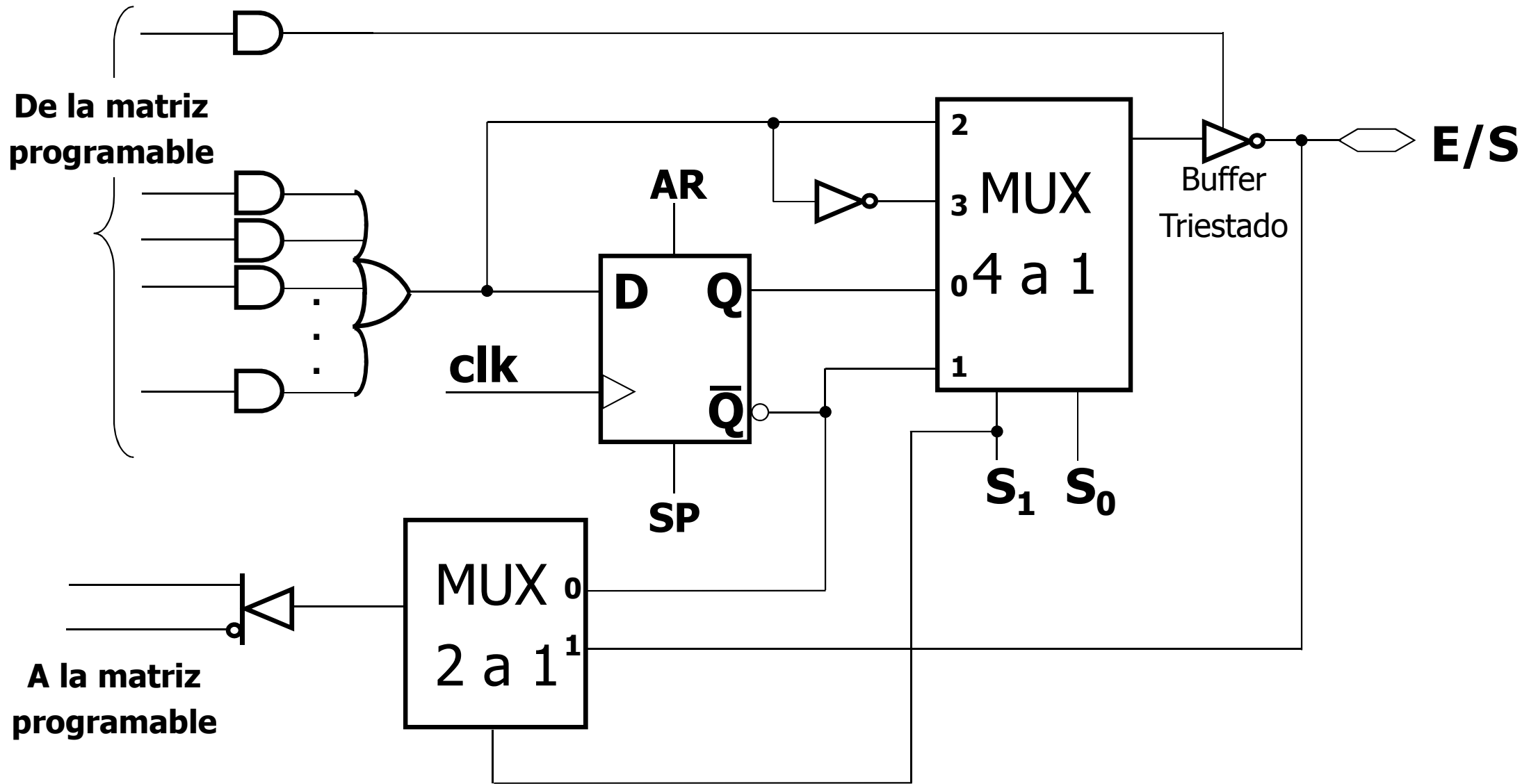
**AR: Reset asíncrono**

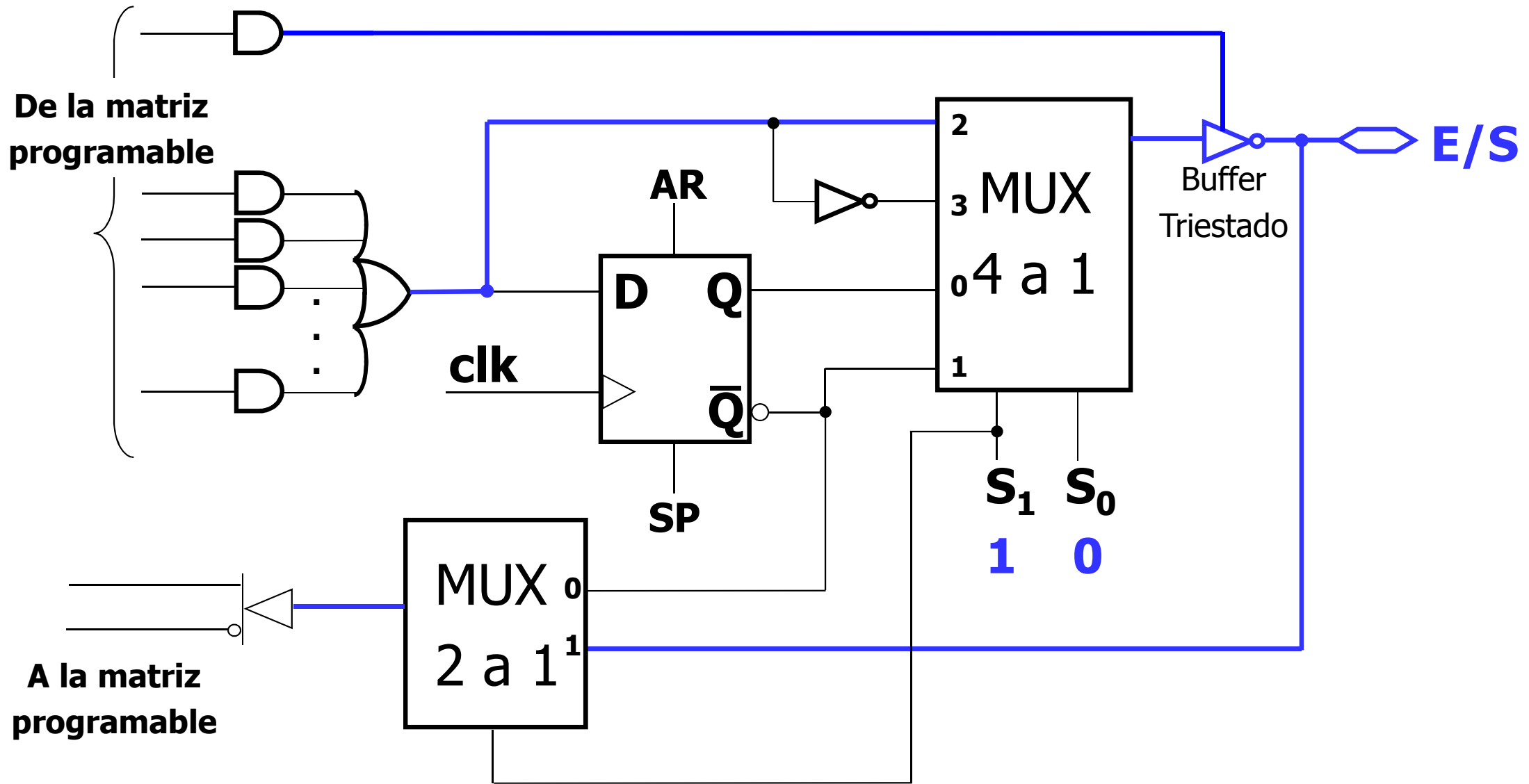
**SP: Preset síncrono**

**AR y SP solidarias**

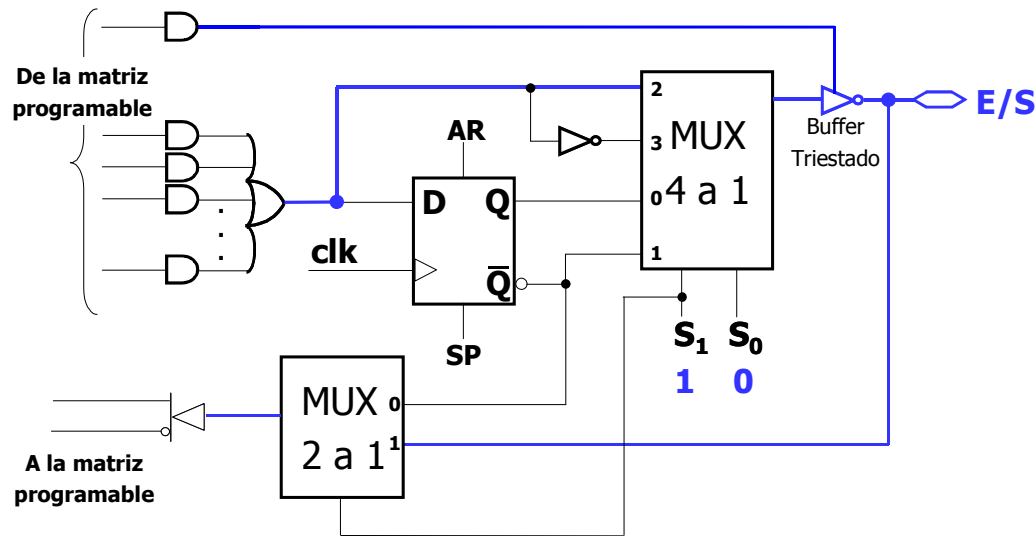
**$S_1$  y  $S_0$ : PROGRAMABLES**



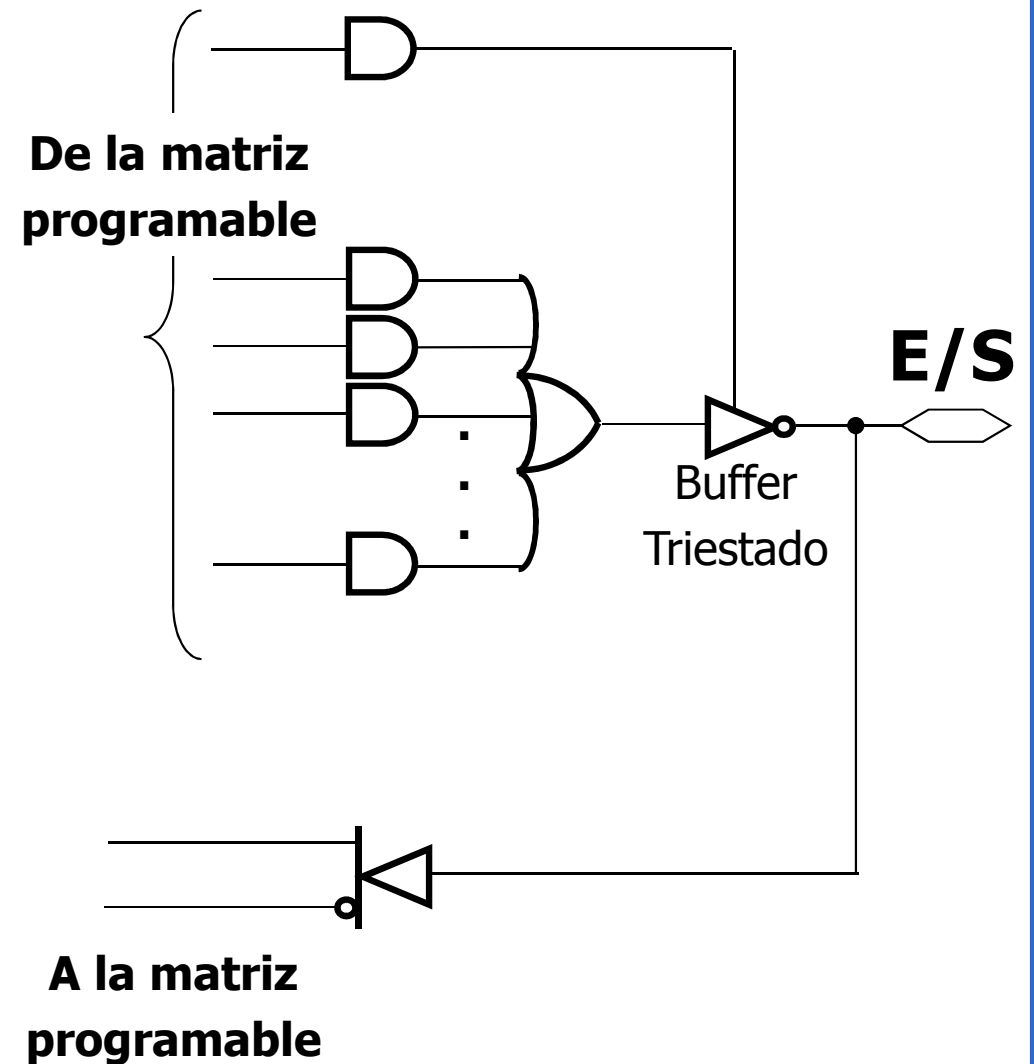


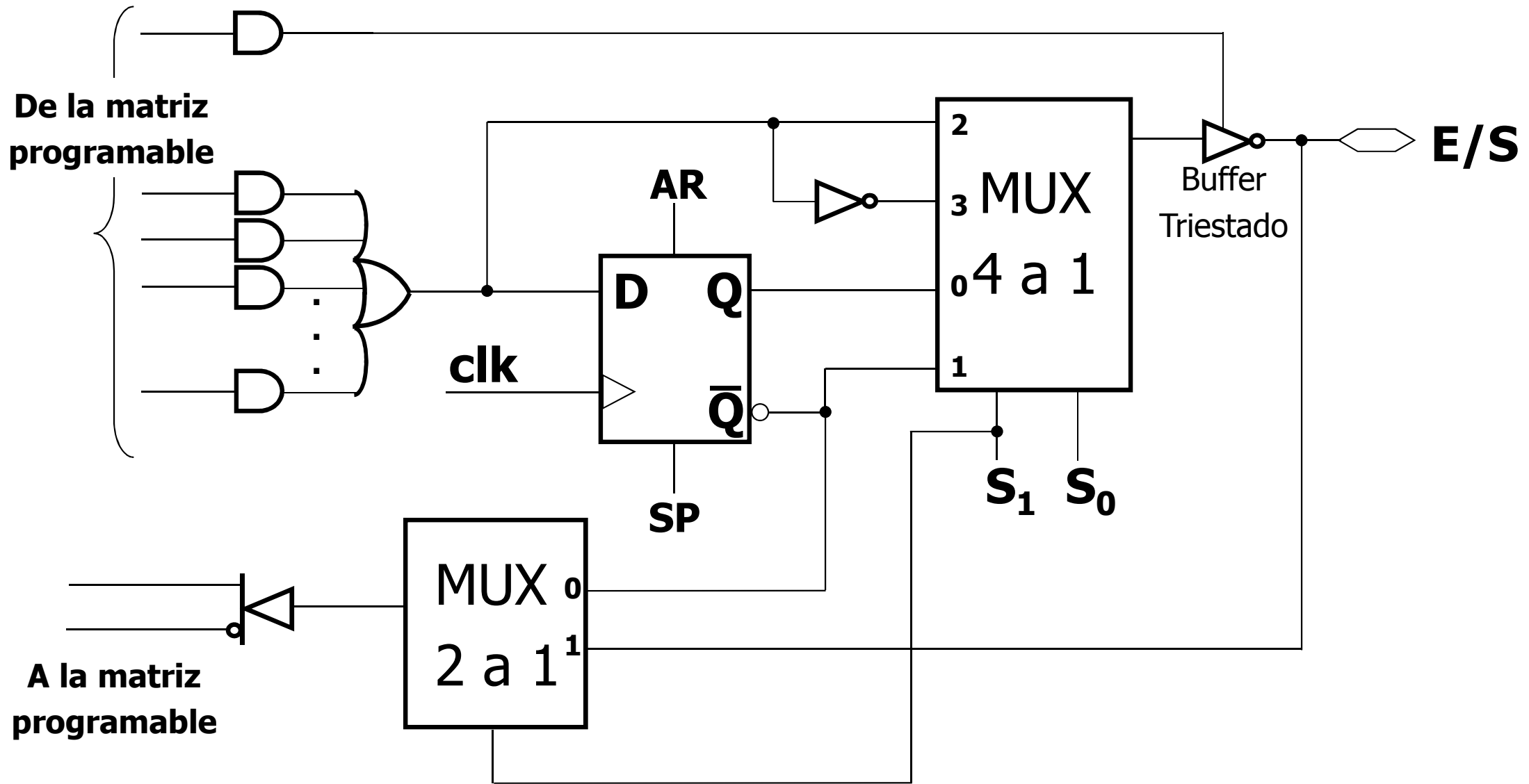


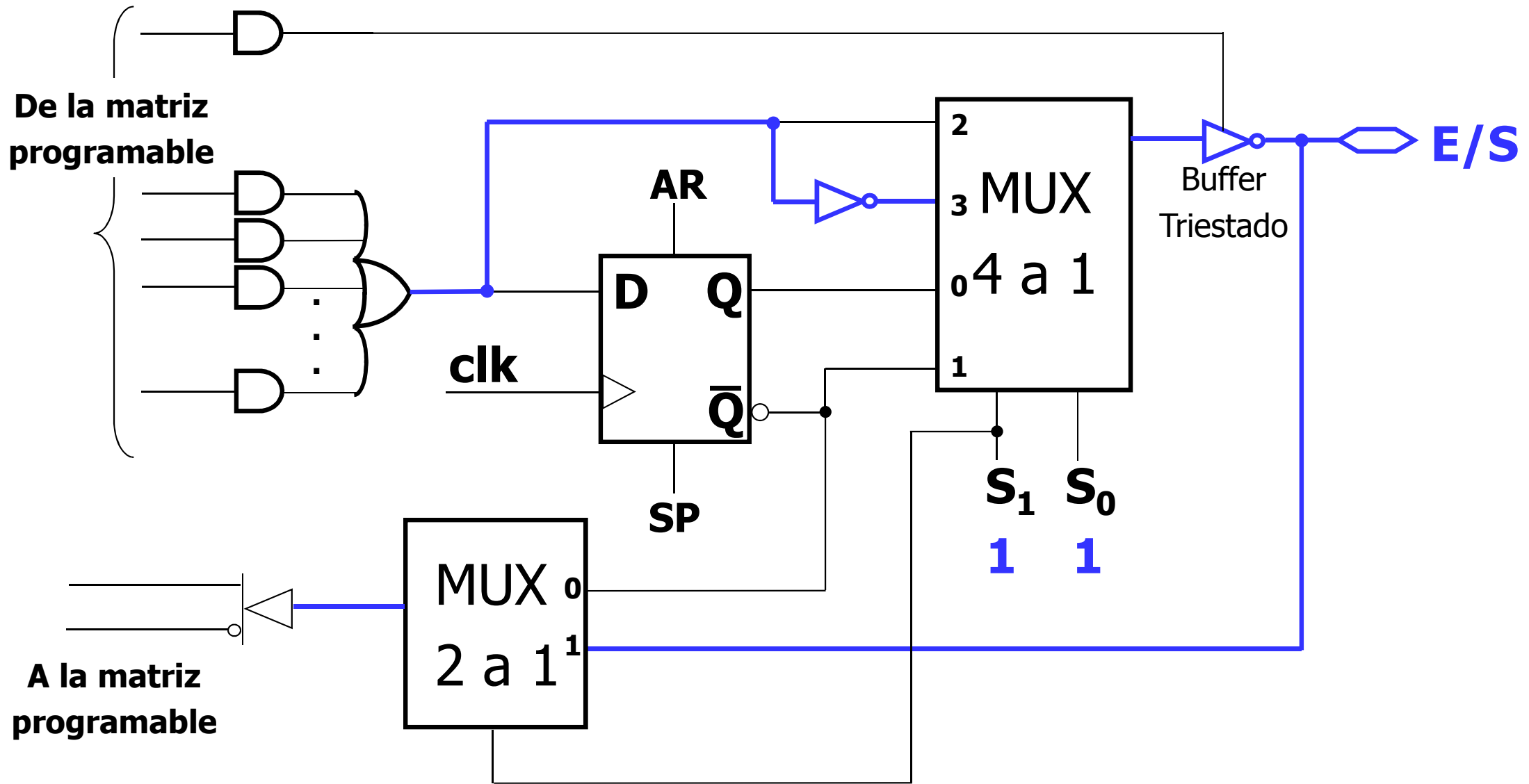
## MODO COMBINACIONAL E/S con salida activa a nivel BAJO



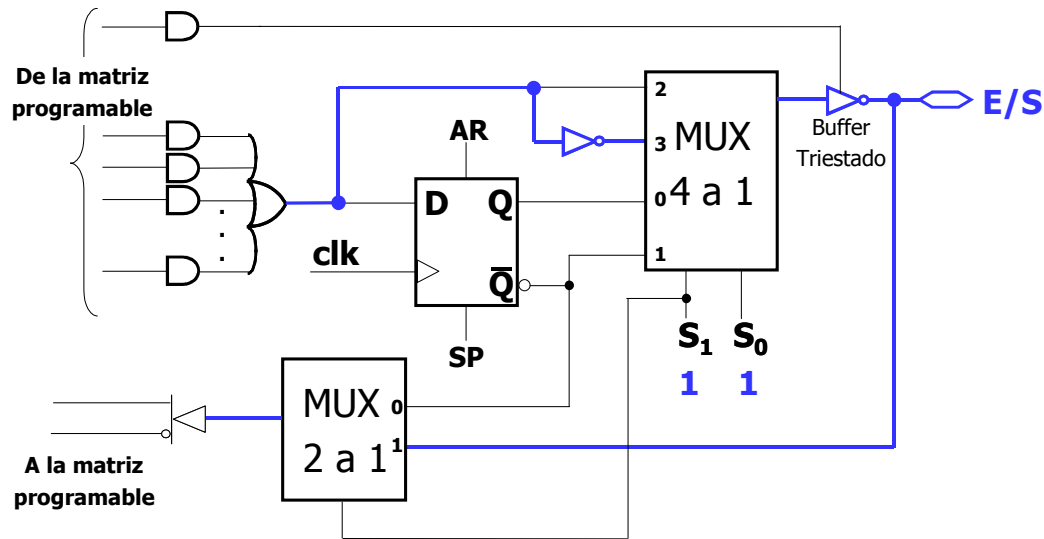
## CIRCUITO EQUIVALENTE



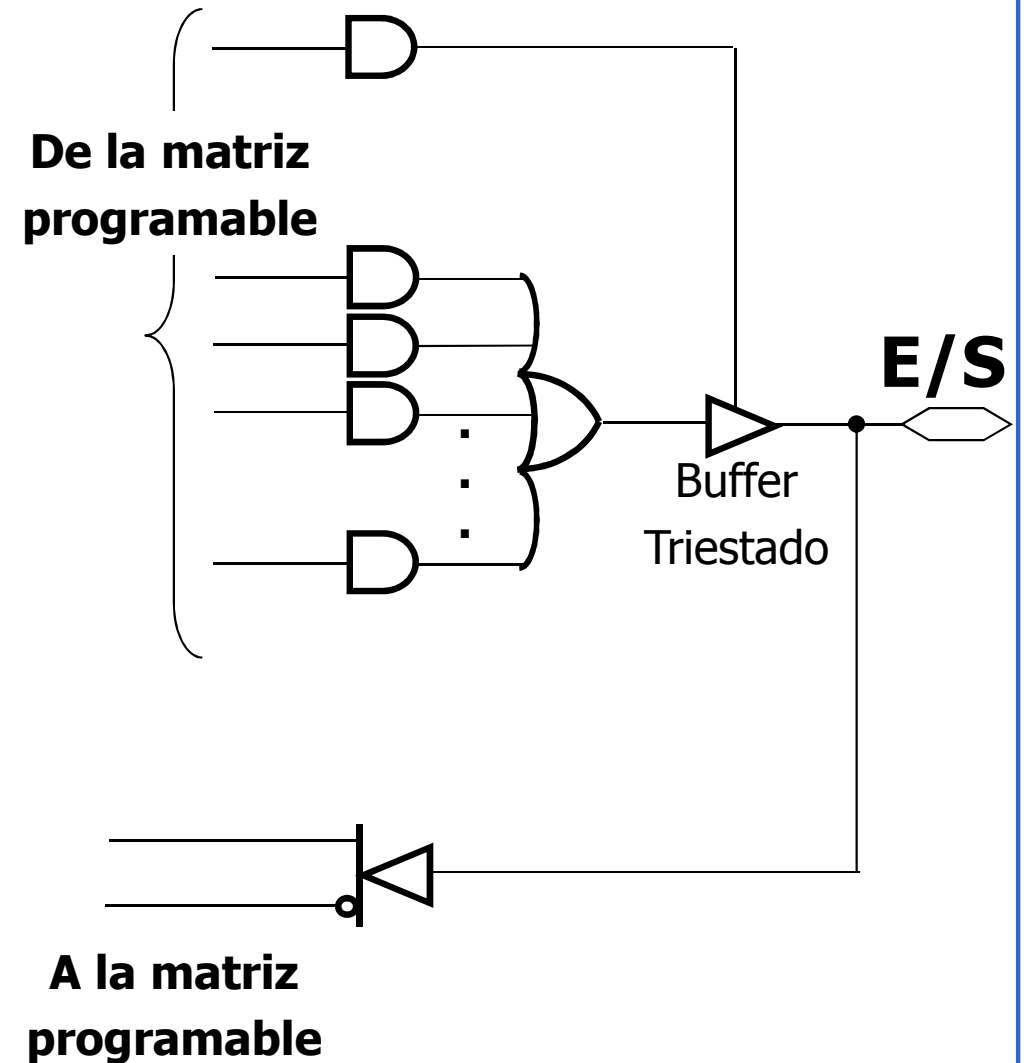




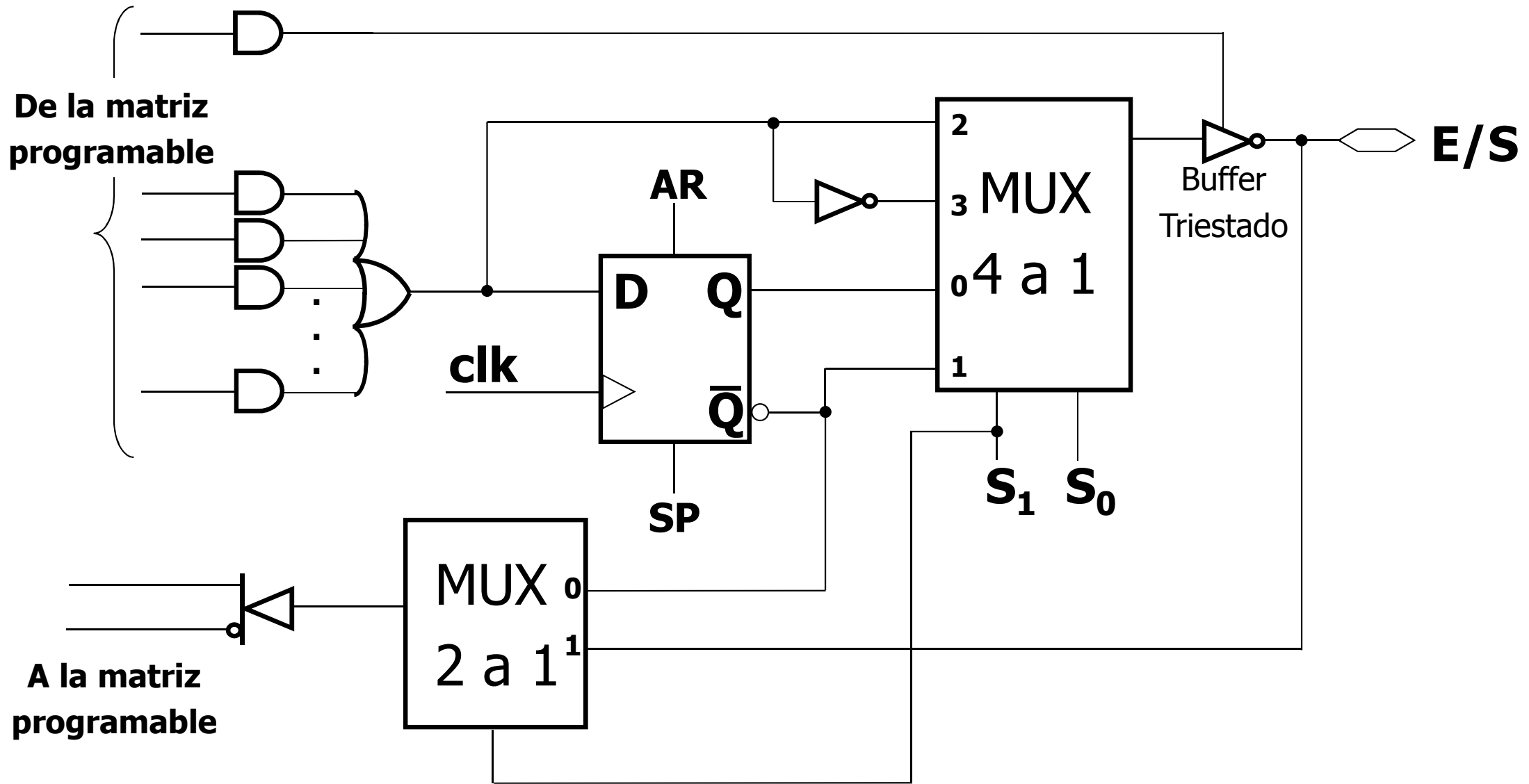
## MODO COMBINACIONAL E/S con salida activa a nivel ALTO

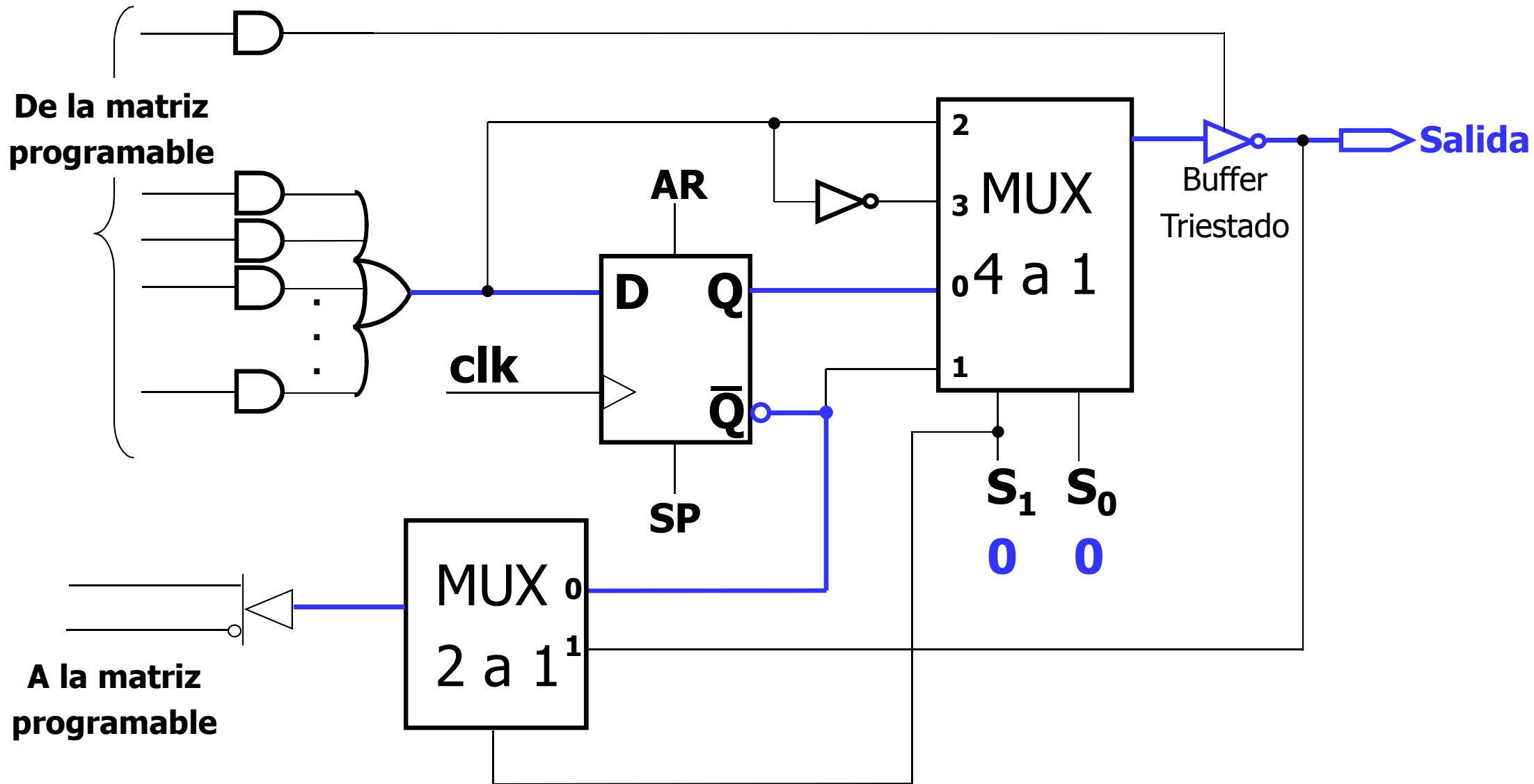


## CIRCUITO EQUIVALENTE

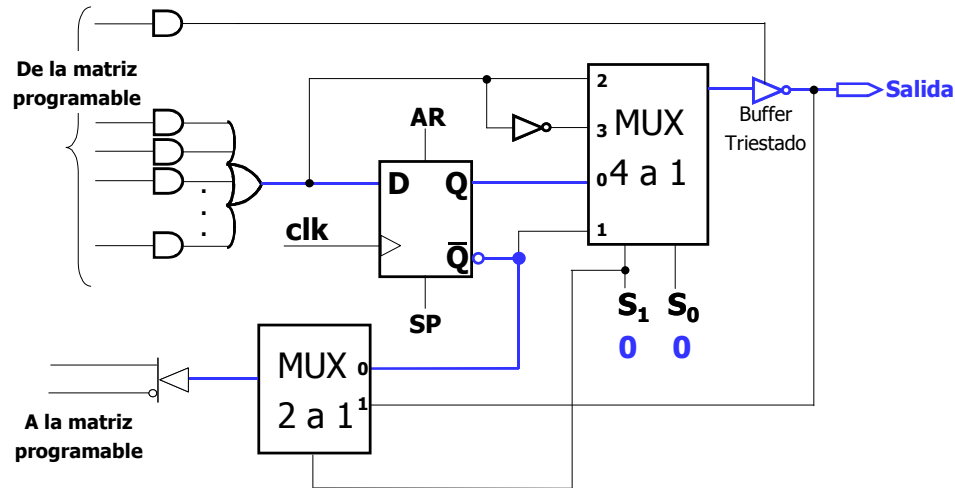




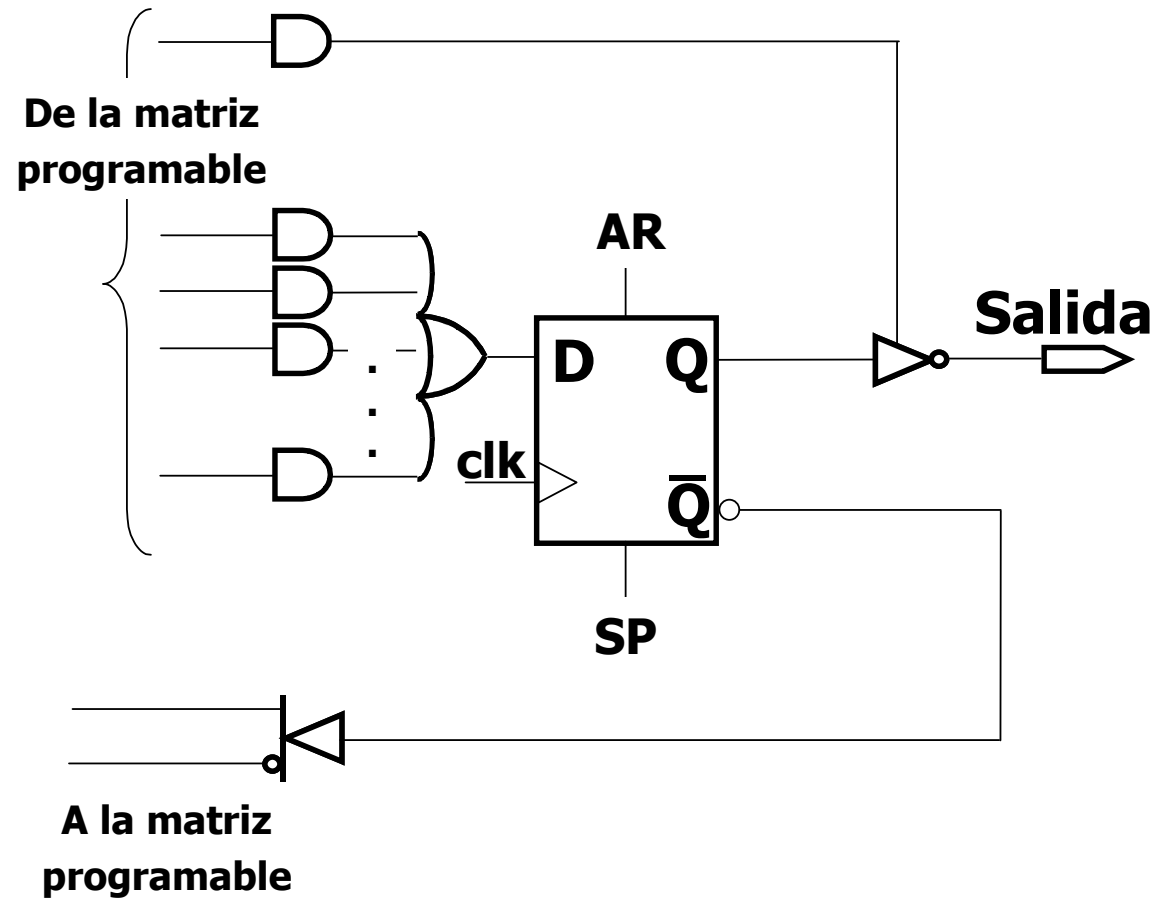


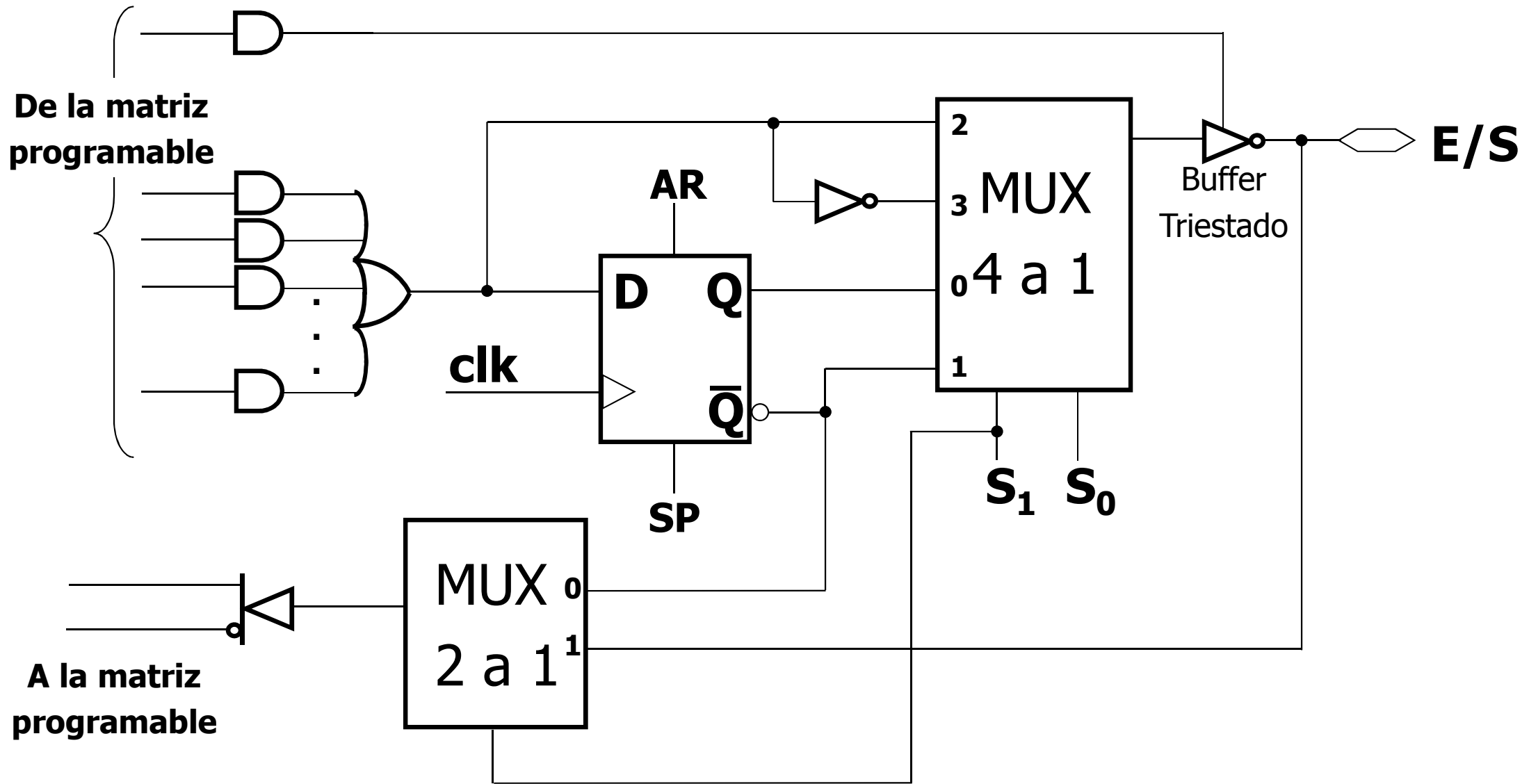


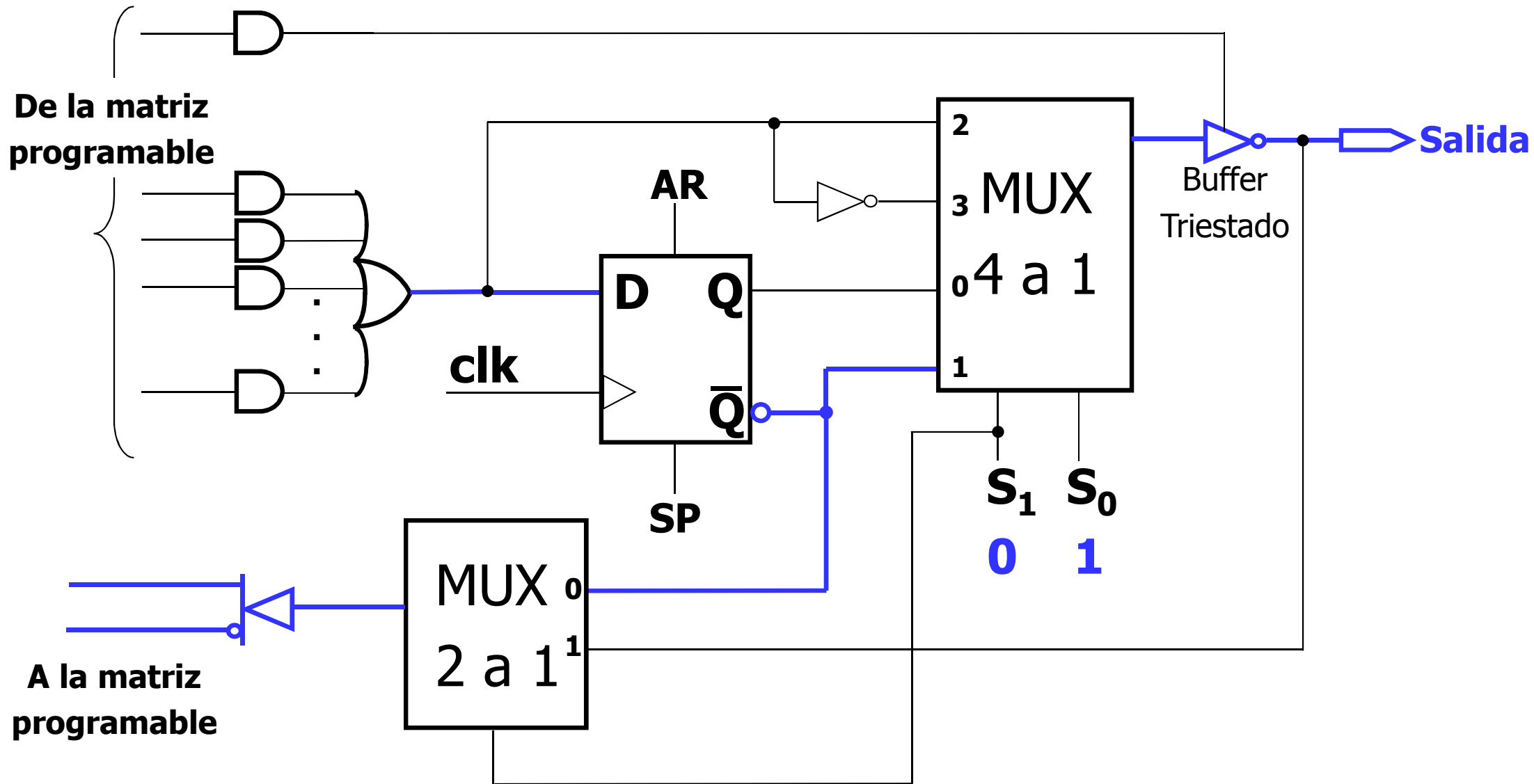
## MODO SECUENCIAL con salida activa a nivel BAJO



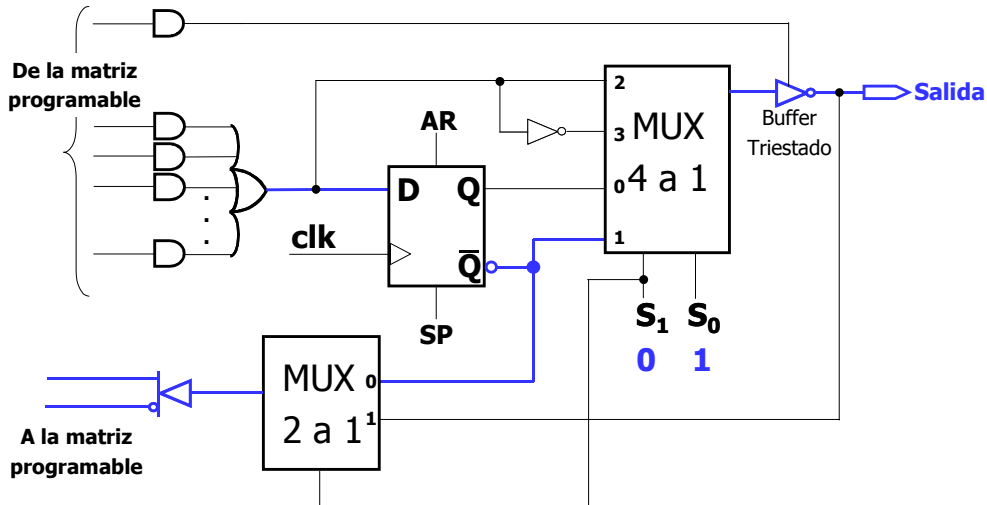
## CIRCUITO EQUIVALENTE



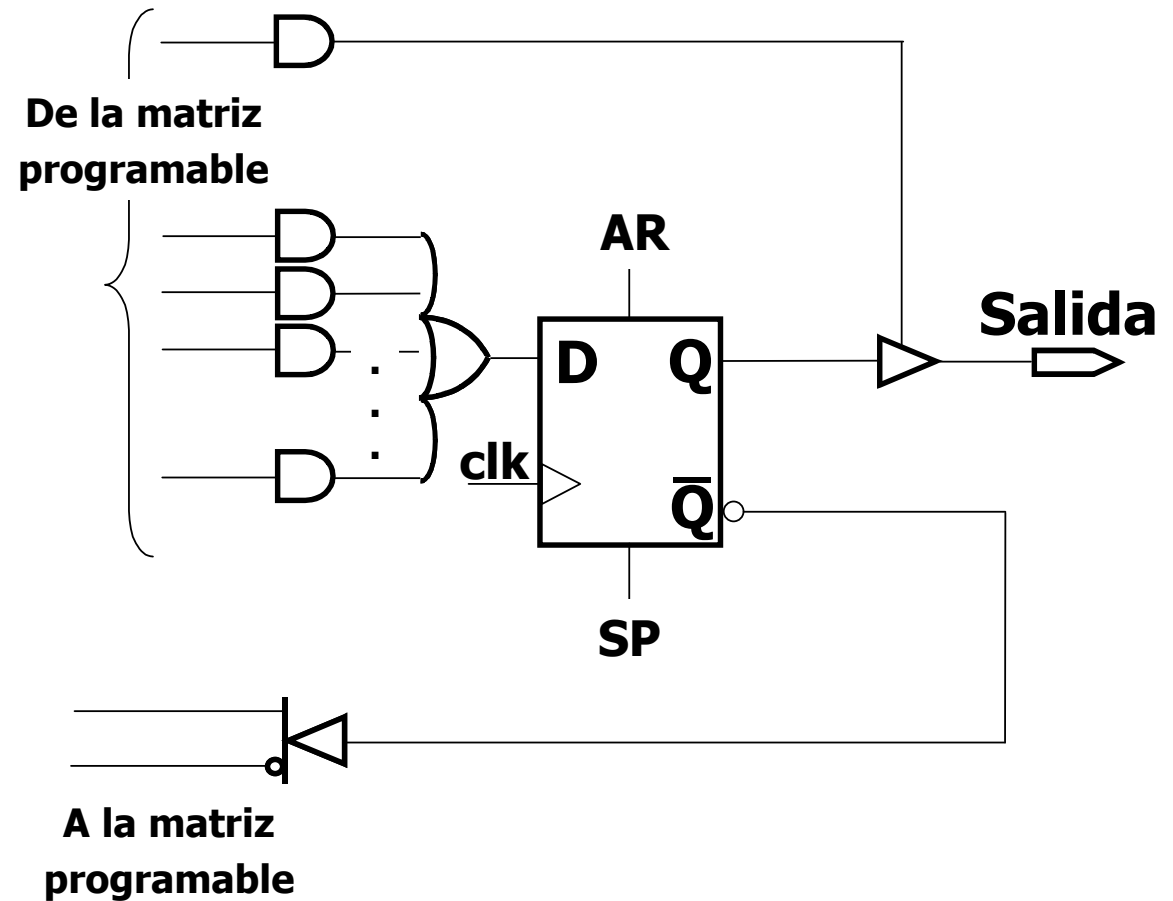




## MODO SECUENCIAL con salida activa a nivel ALTO

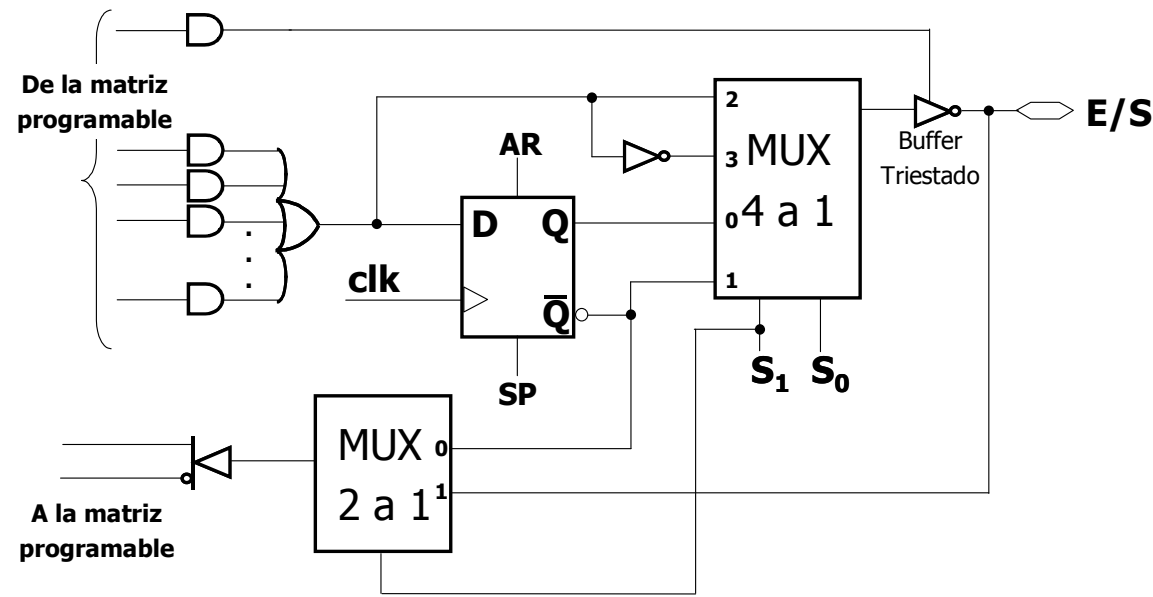


## CIRCUITO EQUIVALENTE



RESUMEN

S1	S0	CONFIGURACIÓN DE SALIDA
0	0	Modo SECUENCIAL, salida activa a nivel BAJO
0	1	Modo SECUENCIAL, salida activa a nivel ALTO
1	0	Modo COMBINACIONAL de E/S, salida activa a nivel BAJO
1	1	Modo COMBINACIONAL de E/S, salida activa a nivel ALTO



## NOMENCLATURA PARA PALs ó GALs

**G A L 2 2 V 1 0**

**Denominación del fabricante:**  
**tipo de matriz**  
**lógica programable**

**Nº posible de**  
**entradas (22)**

**Nº posible de**  
**salidas (10)**

**Tipo de salida:**  
**Activa a nivel bajo (L)**  
**Activa a nivel alto (H)**  
**Versátil ó programable (V)**

PALCE22V10	Vantis (AMD)
PEEL22CV10	ICT
85C22V10	INTEL
TIBPAL22V10	TEXAS INSTRUMENTS
PAL16L8	
PAL10H8	

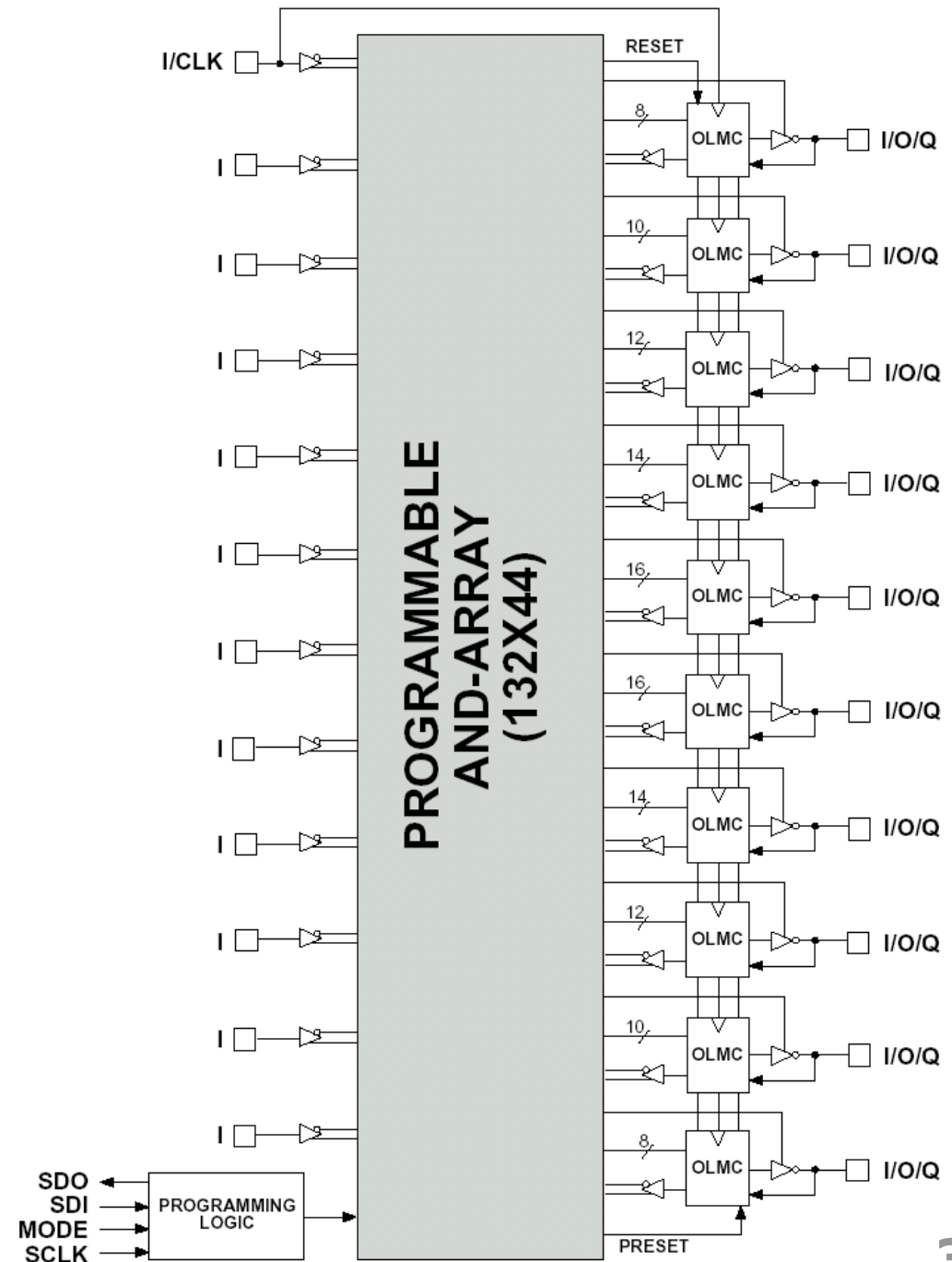


## ispGAL22V10

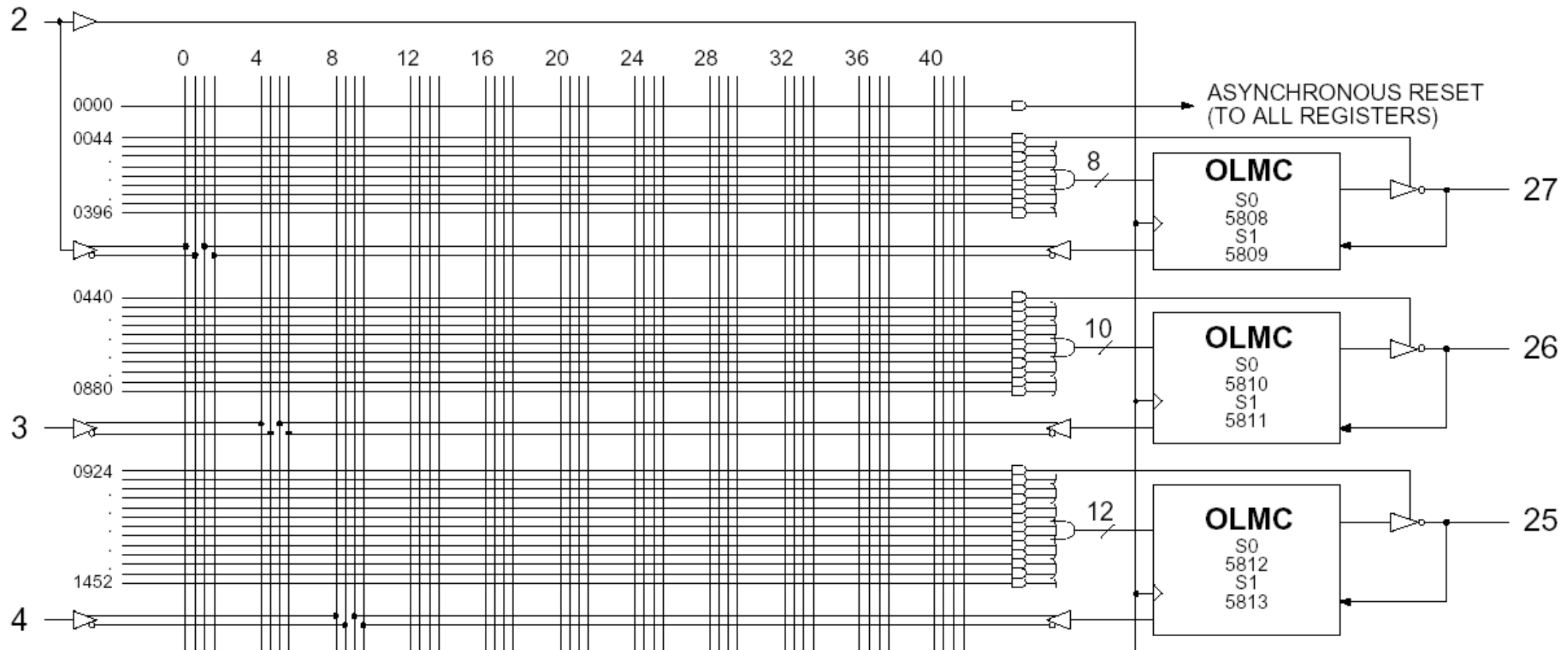
In-System Programmable E<sup>2</sup>CMOS PLD  
Generic Array Logic™

### Features

- IN-SYSTEM PROGRAMMABLE™ (5-V ONLY)
  - 4-Wire Serial Programming Interface
  - Minimum 10,000 Program/Erase Cycles
  - Built-in Pull-Down on SDI Pin Eliminates Discrete Resistor on Board (ispGAL22V10C Only)
- HIGH PERFORMANCE E<sup>2</sup>CMOS® TECHNOLOGY
  - 7.5 ns Maximum Propagation Delay
  - F<sub>max</sub> = 111 MHz
  - 5 ns Maximum from Clock Input to Data Output
  - UltraMOS® Advanced CMOS Technology
- ACTIVE PULL-UPS ON ALL LOGIC INPUT AND I/O PINS
- COMPATIBLE WITH STANDARD 22V10 DEVICES
  - Fully Function/Fuse-Map/Parametric Compatible with Bipolar and CMOS 22V10 Devices
- E<sup>2</sup> CELL TECHNOLOGY
  - In-System Programmable Logic
  - 100% Tested/100% Yields
  - High Speed Electrical Erasure (<100ms)
  - 20 Year Data Retention
- TEN OUTPUT LOGIC MACROCELLS
  - Maximum Flexibility for Complex Logic Designs
- APPLICATIONS INCLUDE:
  - DMA Control
  - State Machine Control
  - High Speed Graphics Processing
  - Software-Driven Hardware Configuration
- ELECTRONIC SIGNATURE FOR IDENTIFICATION




# MATRICES LÓGICAS GENÉRICAS (GAL)



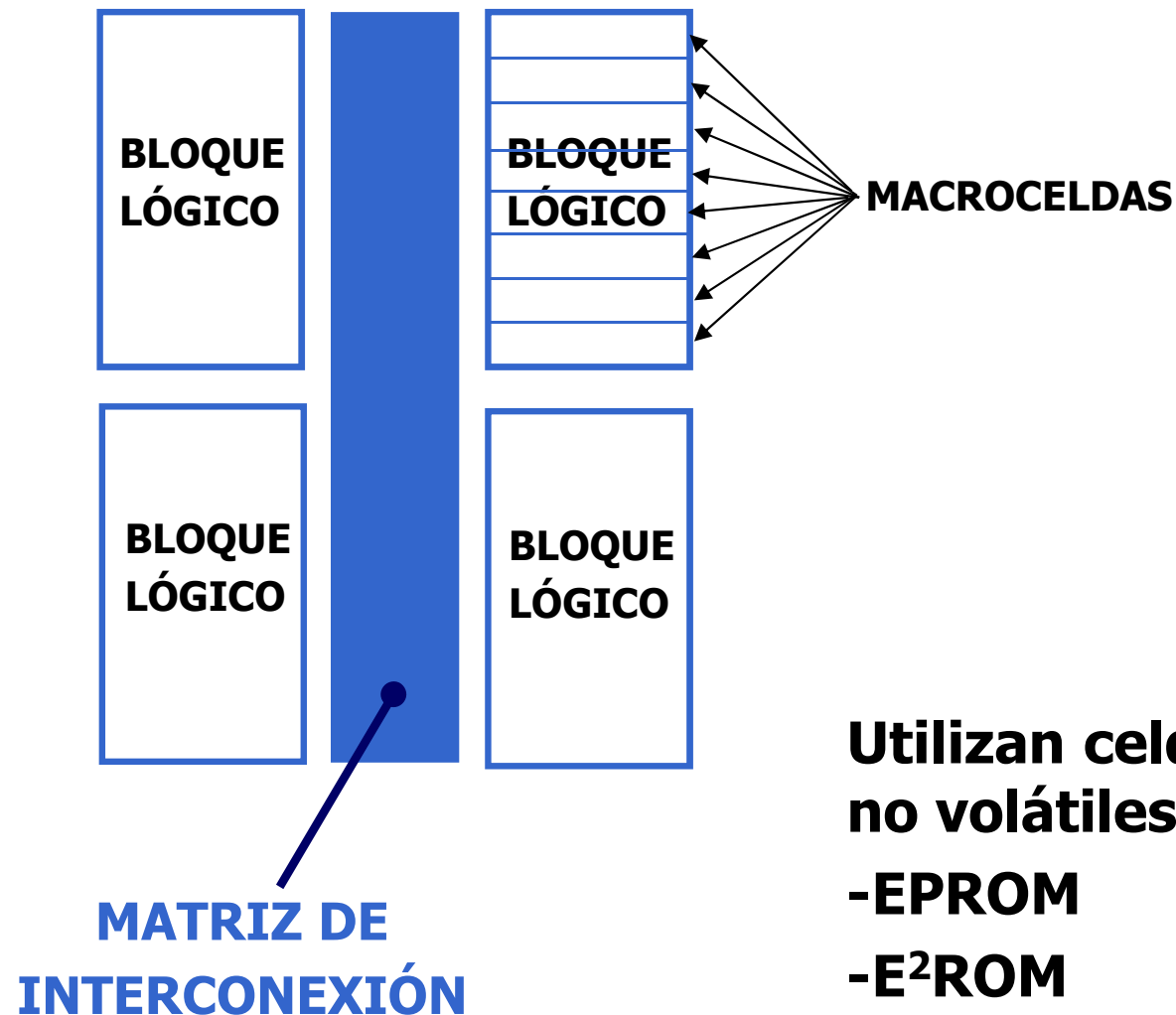
## **Tema    Dispositivos de lógica programable (PLDs)**

- 1.   Introducción**
- 2.   Codificadores ROM programables**
- 3.   Dispositivos de lógica programable sencillos (PLA)**
- 4.   Matrices lógicas de puertas AND programables (PAL)**
- 5.   Matrices lógicas genéricas (GAL) con macroceldas (OLMC)**
- 6.   Dispositivos de lógica programable complejos (CPLD)**
- 7.   Dispositivos de lógica programable FPGA**
- 8.   Herramientas software para el diseño de circuitos con PLDs**
- 9.   Ejemplos de aplicación**

## **Tema Dispositivos de lógica programable (PLDs)**

- 1. Introducción**
- 2. Codificadores ROM programables**
- 3. Dispositivos de lógica programable sencillos (PLA)**
- 4. Matrices lógicas de puertas AND programables (PAL)**
- 5. Matrices lógicas genéricas (GAL) con macroceldas (OLMC)**
-  **6. Dispositivos de lógica programable complejos (CPLD)**
- 7. Dispositivos de lógica programable FPGA**
- 8. Herramientas software para el diseño de circuitos con PLDs**
- 9. Ejemplos de aplicación**

## CPLDs: Complex Program Logic Devices



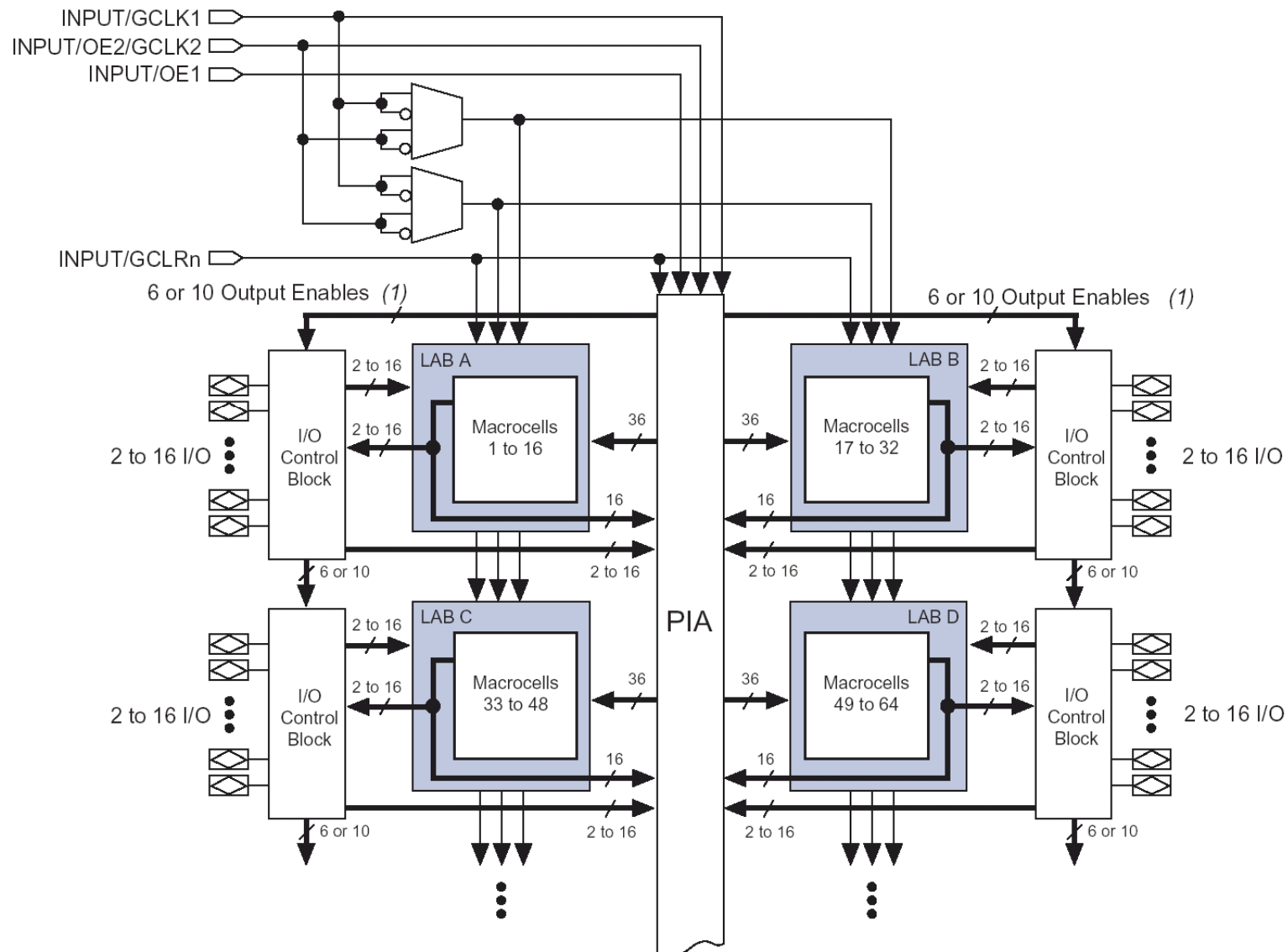
**Utilizan celdas de memoria no volátiles:**

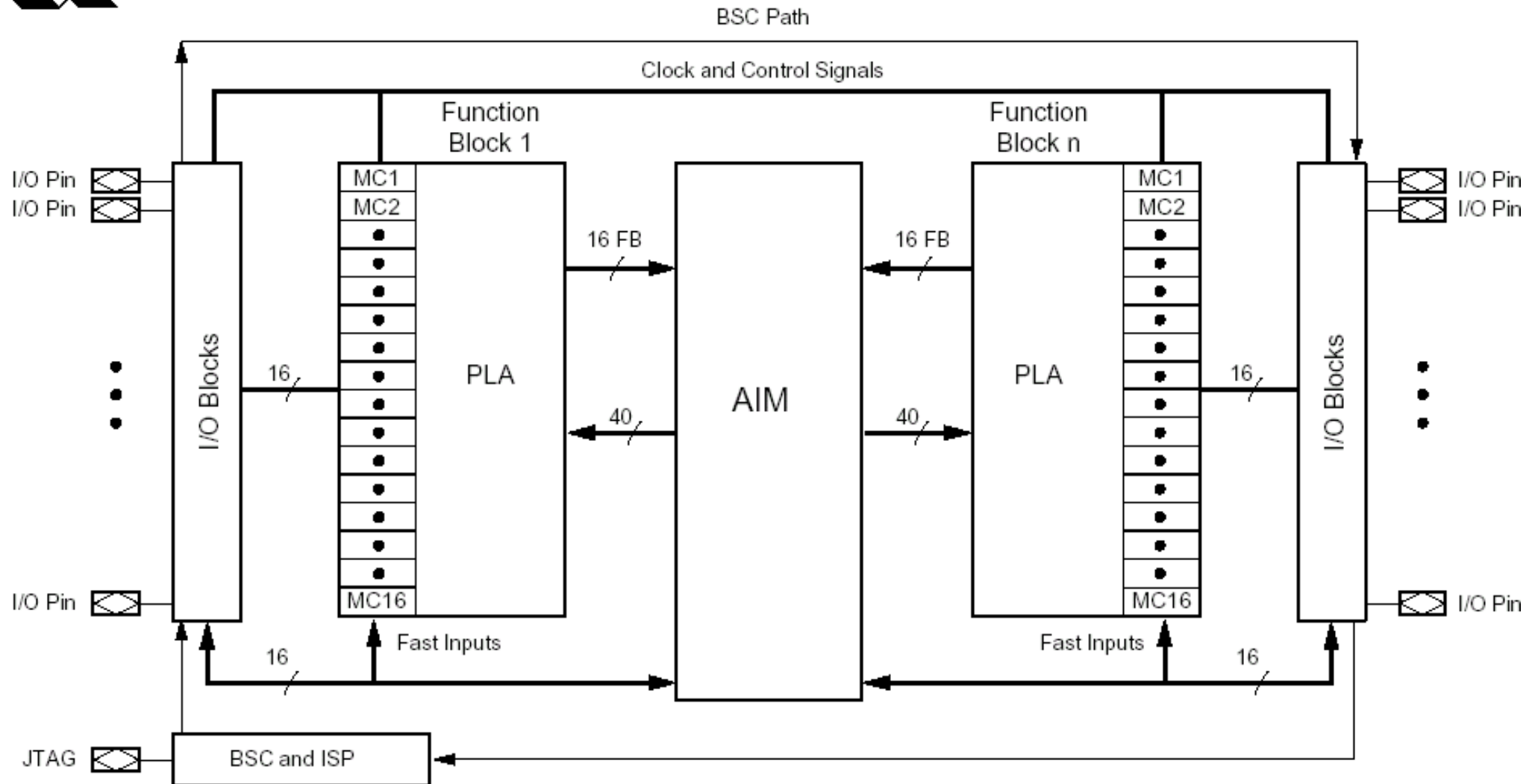
- EPROM**
- E<sup>2</sup>ROM**
- FLASH**

## MAX 7000B Programmable Logic Device Data Sheet



Figure 1. MAX 7000B Device Block Diagram





DS090\_01\_121201

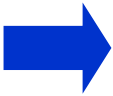
Figure 1: CoolRunner-II CPLD Architecture

## **Tema    Dispositivos de lógica programable (PLDs)**

- 1.   Introducción**
- 2.   Codificadores ROM programables**
- 3.   Dispositivos de lógica programable sencillos (PLA)**
- 4.   Matrices lógicas de puertas AND programables (PAL)**
- 5.   Matrices lógicas genéricas (GAL) con macroceldas (OLMC)**
- 6.   Dispositivos de lógica programable complejos (CPLD)**
- 7.   Dispositivos de lógica programable FPGA**
- 8.   Herramientas software para el diseño de circuitos con PLDs**
- 9.   Ejemplos de aplicación**



## **Tema Dispositivos de lógica programable (PLDs)**

- 1. Introducción**
- 2. Codificadores ROM programables**
- 3. Dispositivos de lógica programable sencillos (PLA)**
- 4. Matrices lógicas de puertas AND programables (PAL)**
- 5. Matrices lógicas genéricas (GAL) con macroceldas (OLMC)**
- 6. Dispositivos de lógica programable complejos (CPLD)**
-  **7. Dispositivos de lógica programable FPGA**
- 8. Herramientas software para el diseño de circuitos con PLDs**
- 9. Ejemplos de aplicación**

# FPGAs: Field Programmable Gate Arrays

LCA (Logic Cell Array)

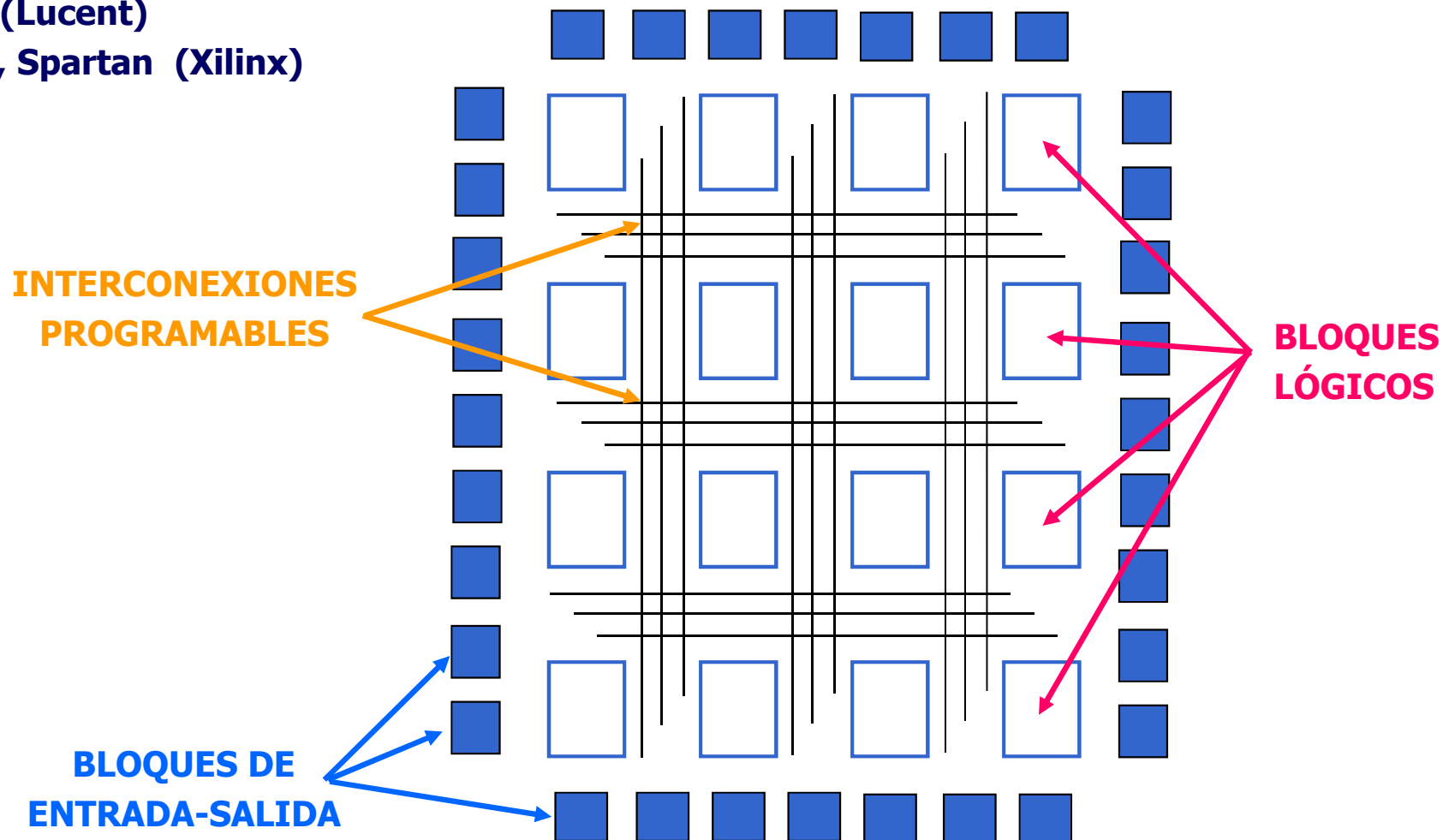
pASIC (programmable ASIC)-QuickLogic

FLEX, APEX, Stratix (Altera)

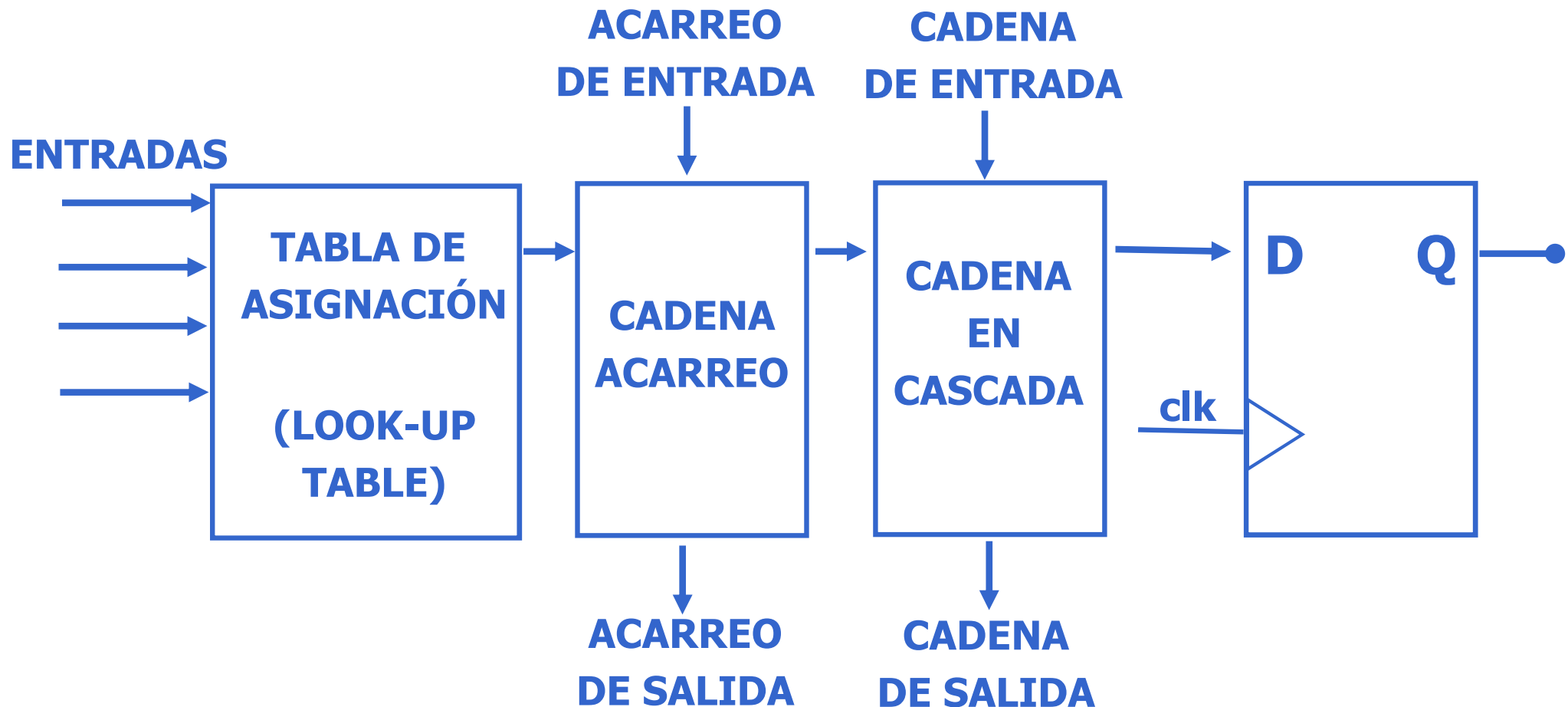
ACT (Actel)

ORCA (Lucent)

Virtex, Spartan (Xilinx)



- El elemento lógico es la unidad lógica mínima que conforma los bloques lógicos
- No se utilizan macroceldas con matrices AND-OR sino dispositivos LUT (look-up table)
- Estrategias de grano grueso y de grano fino.
- Tecnología antifusible ó SRAM (dos dispositivos en circuito E<sup>2</sup>ROM+FPGA)



### CARACTERÍSTICAS DE FPGAS

- Densidad muy alta de puertas: millones de NAND en un chip
  - Ej. Altera Stratix IV (680.000 bloques lógicos)
  - Ej. Xilinx Virtex (330.000 bloques lógicos)
- Memoria RAM en el chip (Más de 1 Mbyte)
- Disponen de PLLs (12)
- Varios relojes globales (16) y relojes adicionales “regionales” (4)
- Gran numero de pines(1.900 pines)
- Incorporan hardware específico para DSP
- Canales de interfaz serie (Stratix IV 8.5 Gigabaudios/canal)
- Internamente pueden funcionar a más de 533 MHz
- Disponibles con diferentes alimentaciones (5V, 3.3V, 2.5V, 1.8V, 1.5V)
- ISP (In System Programmability) y seguridad frente a copias
- Megafunciones (Propiedad Intelectual)
- Continua innovación dentro del mercado. Ej. “Hardcopy™” de Altera

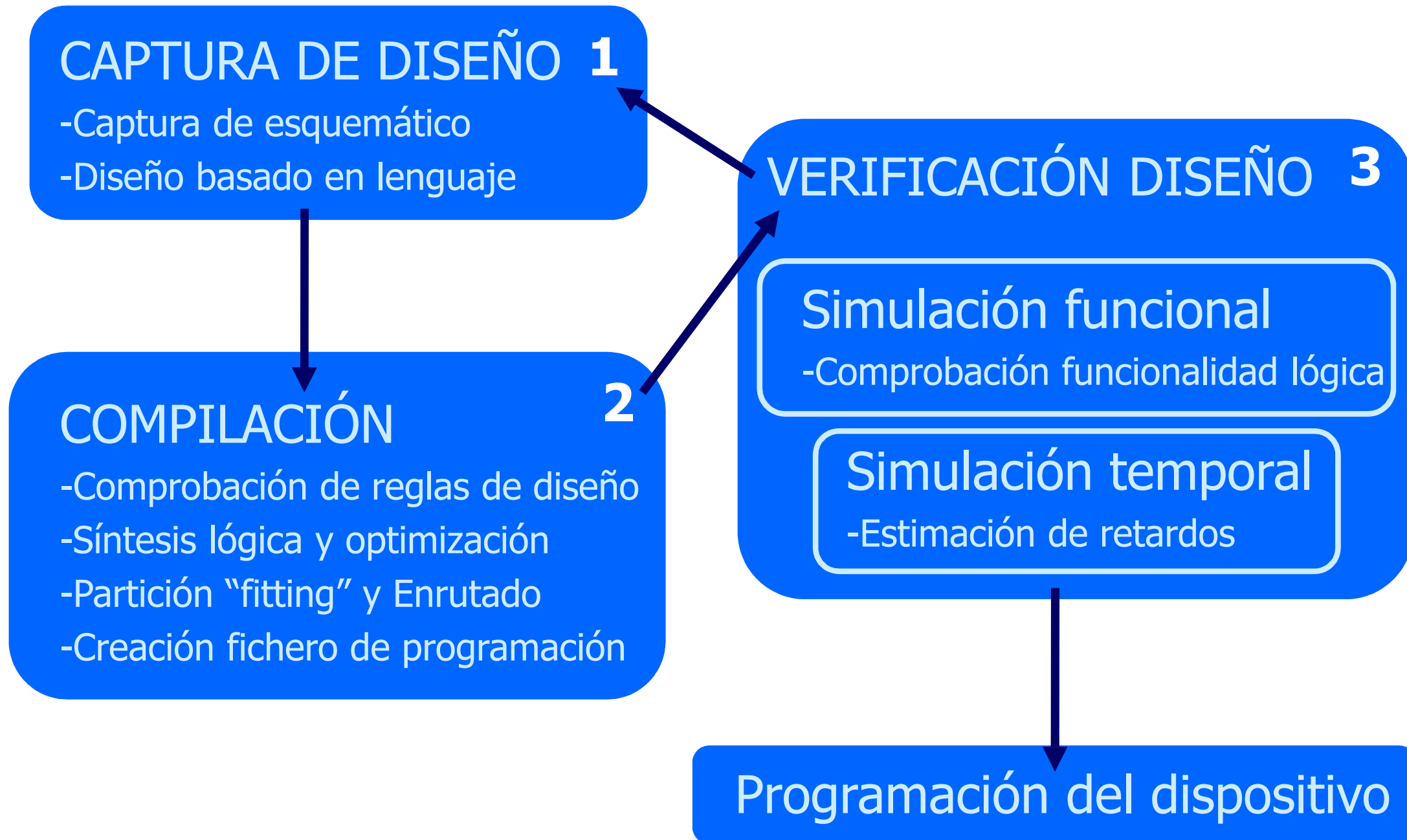
## **Tema Dispositivos de lógica programable (PLDs)**

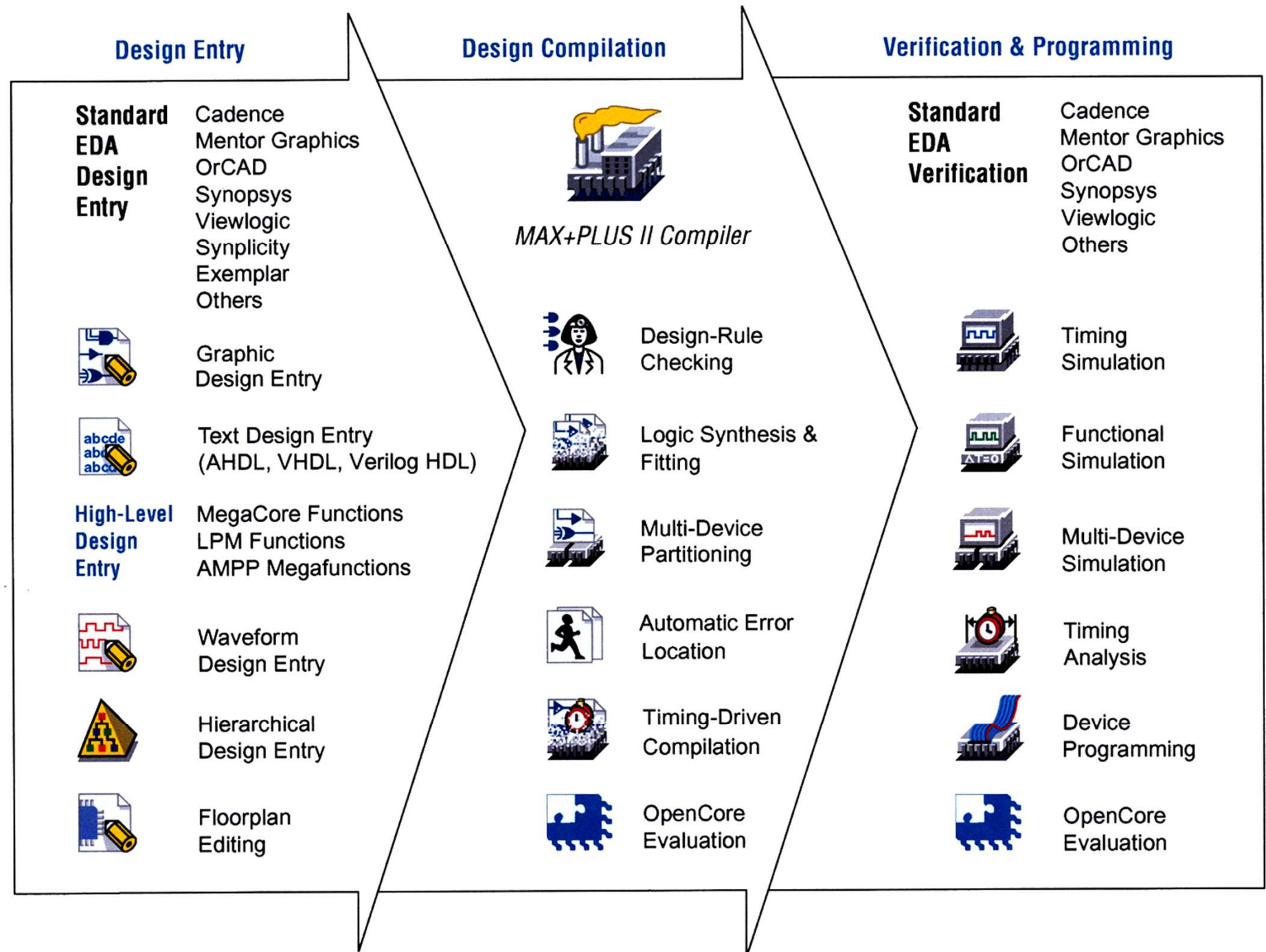
- 1. Introducción**
- 2. Codificadores ROM programables**
- 3. Dispositivos de lógica programable sencillos (PLA)**
- 4. Matrices lógicas de puertas AND programables (PAL)**
- 5. Matrices lógicas genéricas (GAL) con macroceldas (OLMC)**
- 6. Dispositivos de lógica programable complejos (CPLD)**
- 7. Dispositivos de lógica programable FPGA**
- 8. Herramientas software para el diseño de circuitos con PLDs**
- 9. Ejemplos de aplicación**

## Tema Dispositivos de lógica programable (PLDs)

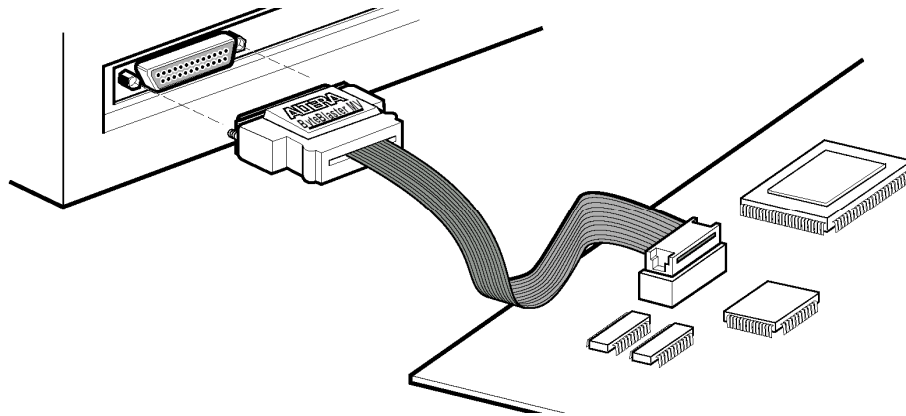
1. Introducción
2. Codificadores ROM programables
3. Dispositivos de lógica programable sencillos (PLA)
4. Matrices lógicas de puertas AND programables (PAL)
5. Matrices lógicas genéricas (GAL) con macroceldas (OLMC)
6. Dispositivos de lógica programable complejos (CPLD)
7. Dispositivos de lógica programable FPGA
8. **Herramientas software para el diseño de circuitos con PLDs**
9. Ejemplos de aplicación



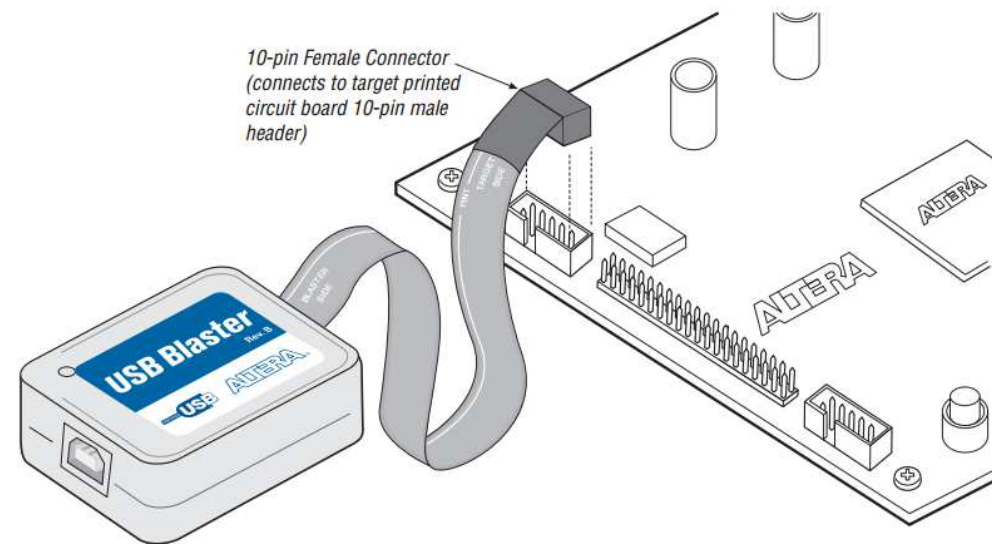








## PUERTO JTAG



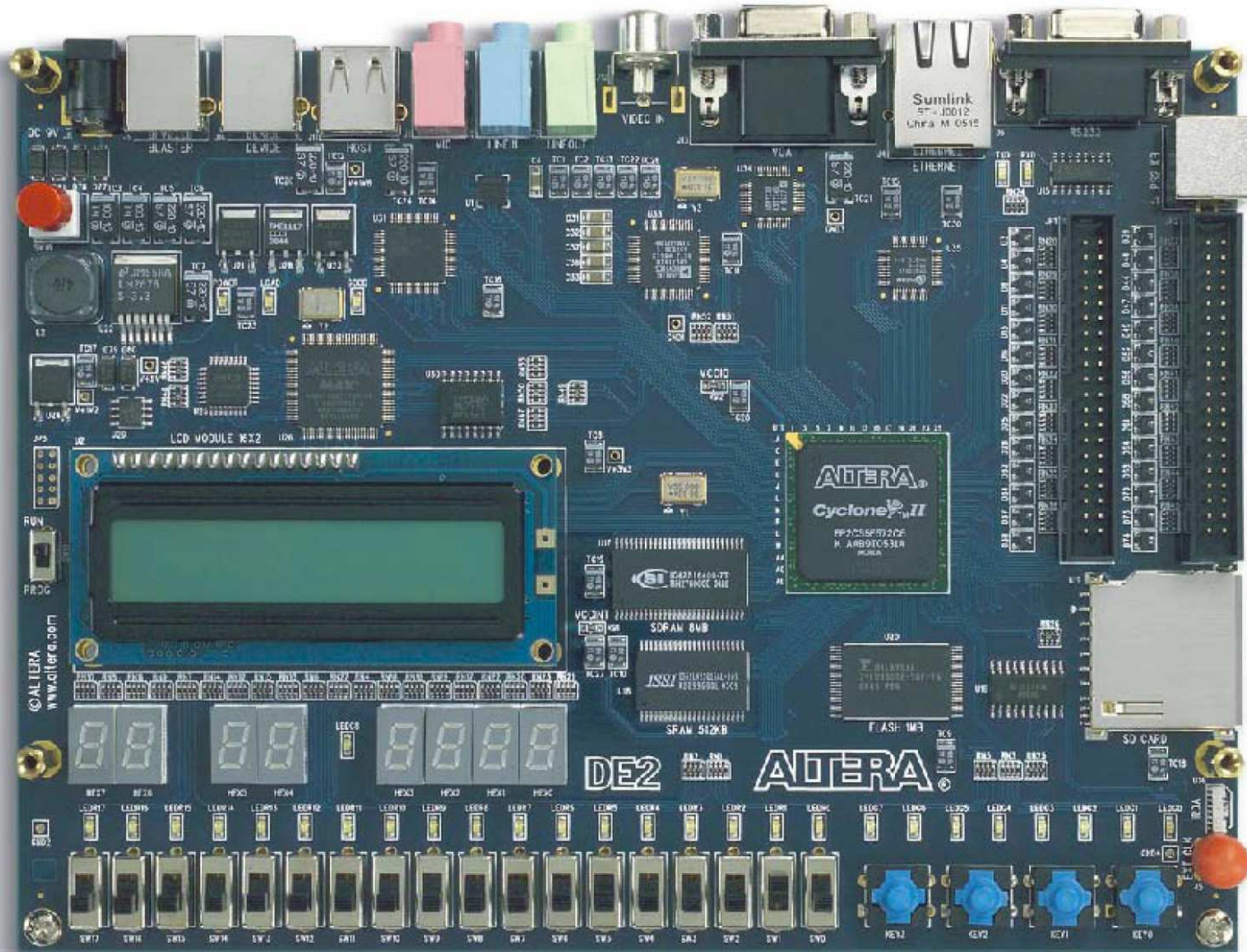
## **Tema Dispositivos de lógica programable (PLDs)**

- 1. Introducción**
- 2. Codificadores ROM programables**
- 3. Dispositivos de lógica programable sencillos (PLA)**
- 4. Matrices lógicas de puertas AND programables (PAL)**
- 5. Matrices lógicas genéricas (GAL) con macroceldas (OLMC)**
- 6. Dispositivos de lógica programable complejos (CPLD)**
- 7. Dispositivos de lógica programable FPGA**
- 8. Herramientas software para el diseño de circuitos con PLDs**
- 9. Ejemplos de aplicación**

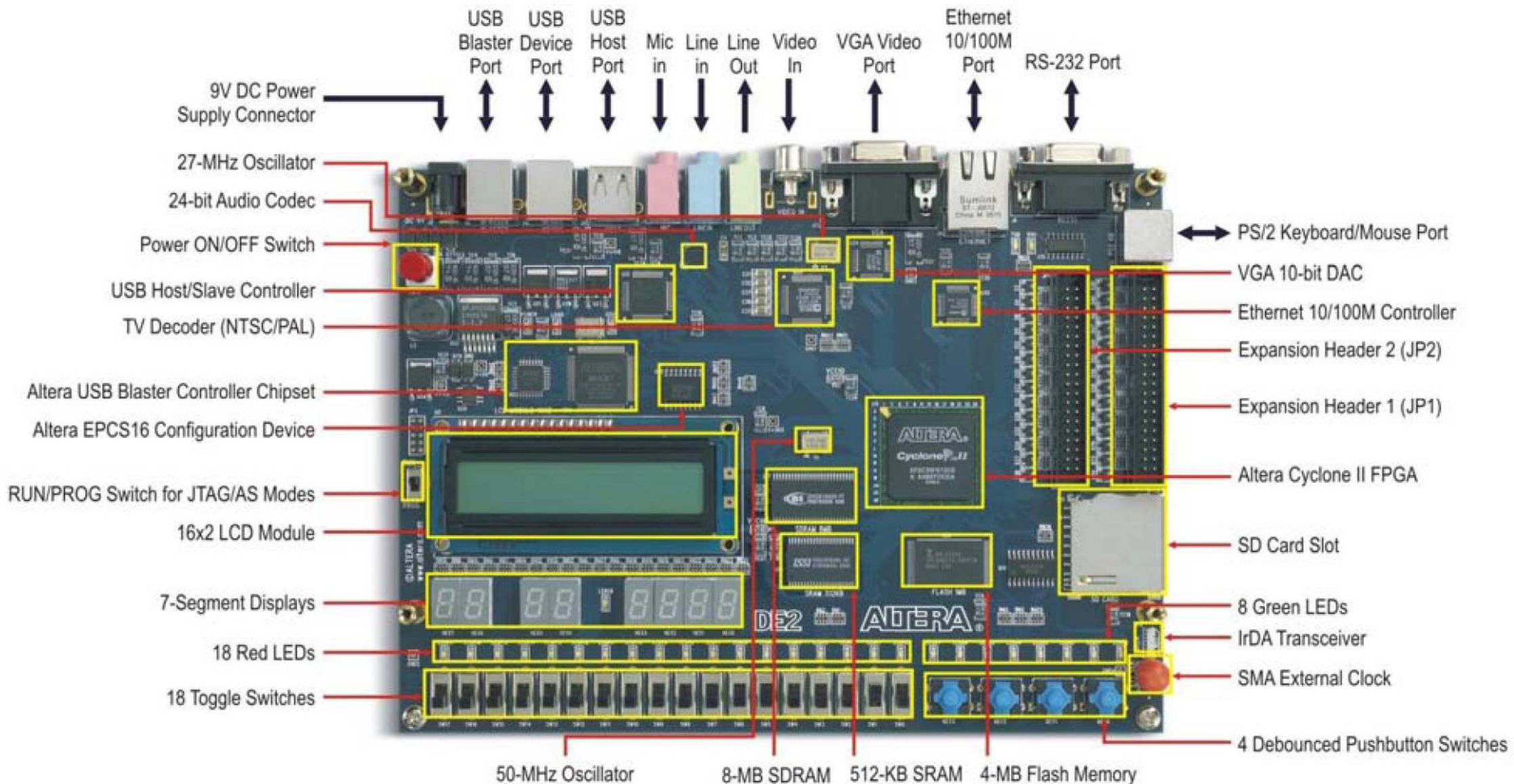
## **Tema Dispositivos de lógica programable (PLDs)**

- 1. Introducción**
- 2. Codificadores ROM programables**
- 3. Dispositivos de lógica programable sencillos (PLA)**
- 4. Matrices lógicas de puertas AND programables (PAL)**
- 5. Matrices lógicas genéricas (GAL) con macroceldas (OLMC)**
- 6. Dispositivos de lógica programable complejos (CPLD)**
- 7. Dispositivos de lógica programable FPGA**
- 8. Herramientas software para el diseño de circuitos con PLDs**
- 9. Ejemplos de aplicación**











**MAX<sup>10</sup>**  
FPGAs

Revolutionizing Non-Volatile Integration

**Cyclone<sup>V</sup>**  
FPGAs and SoCs

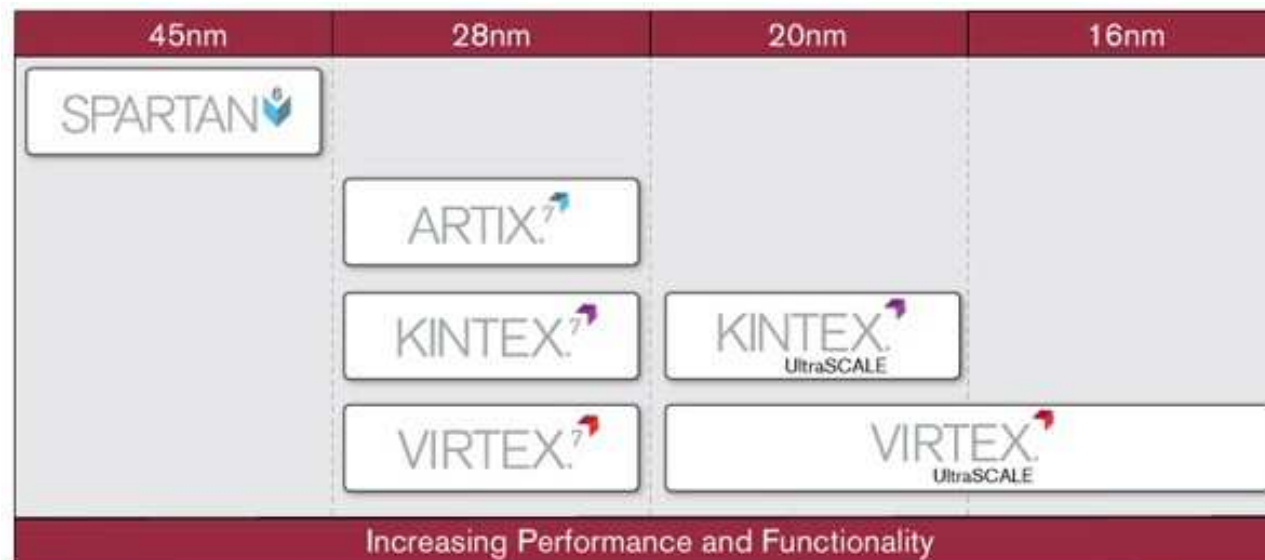
Lowest System Cost and Power

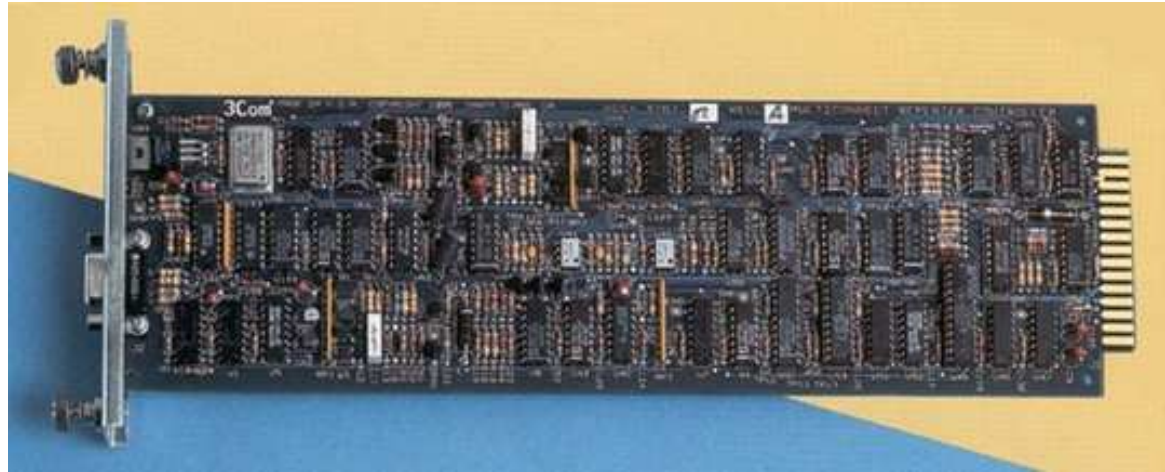
**Arria<sup>10</sup>**  
FPGAs and SoCs

Reinventing the Midrange

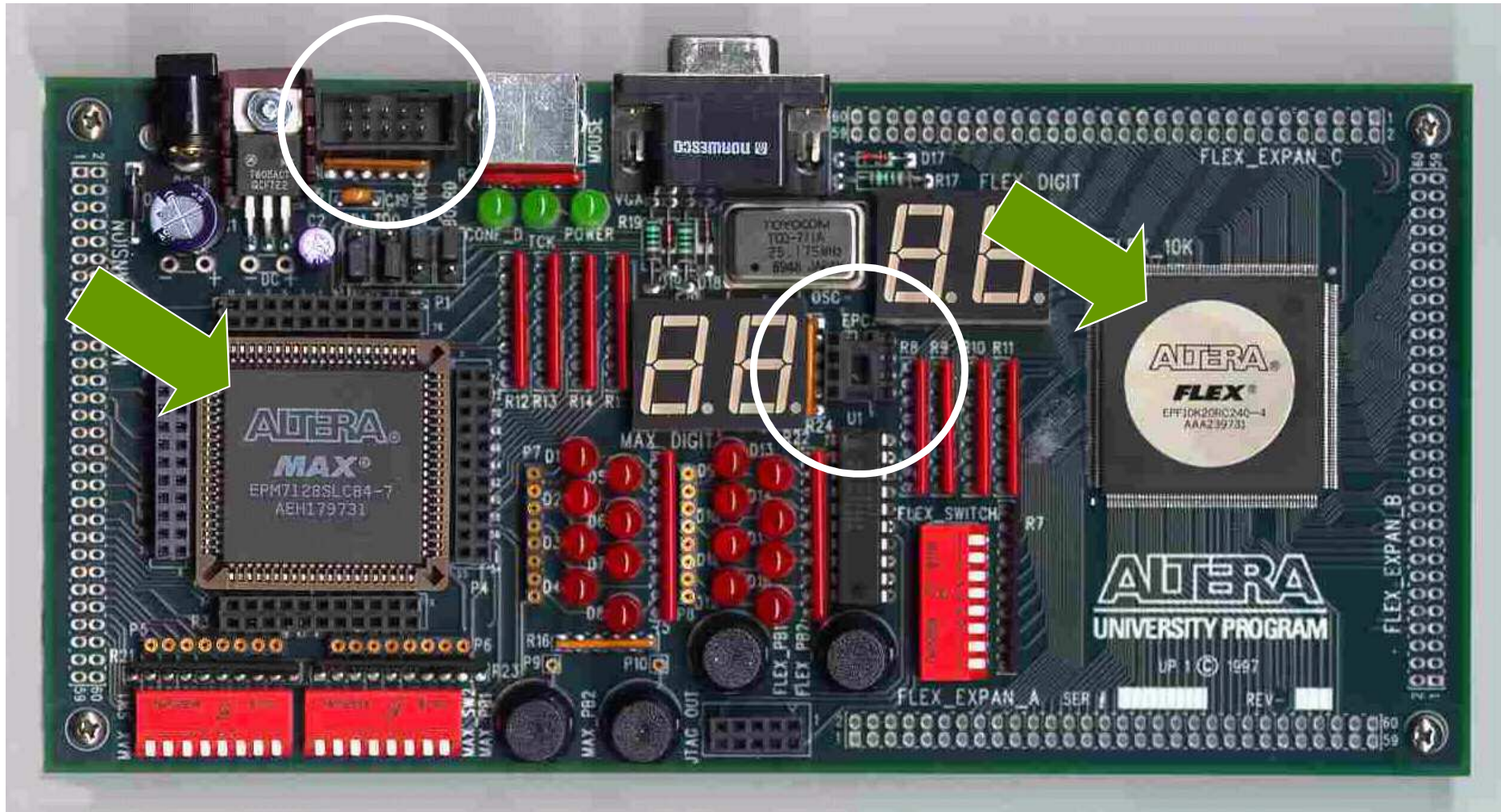
**Stratix<sup>10</sup>**  
FPGAs and SoCs

Delivering the Unimaginable



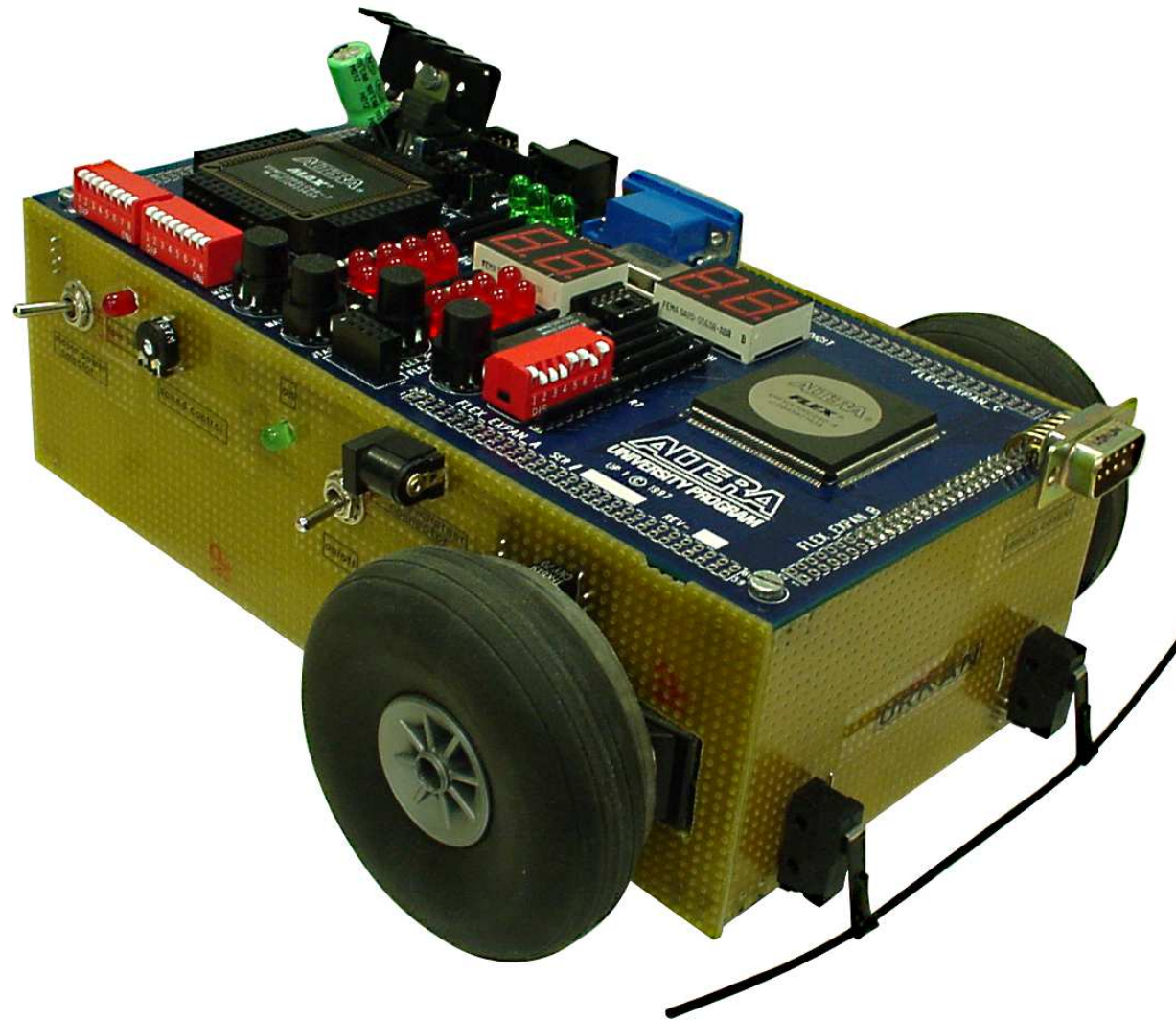






**TARJETA UP1X de ALTERA  
(PROGRAMA UNIVERSITARIO)**

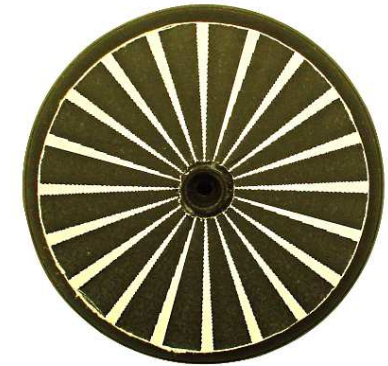




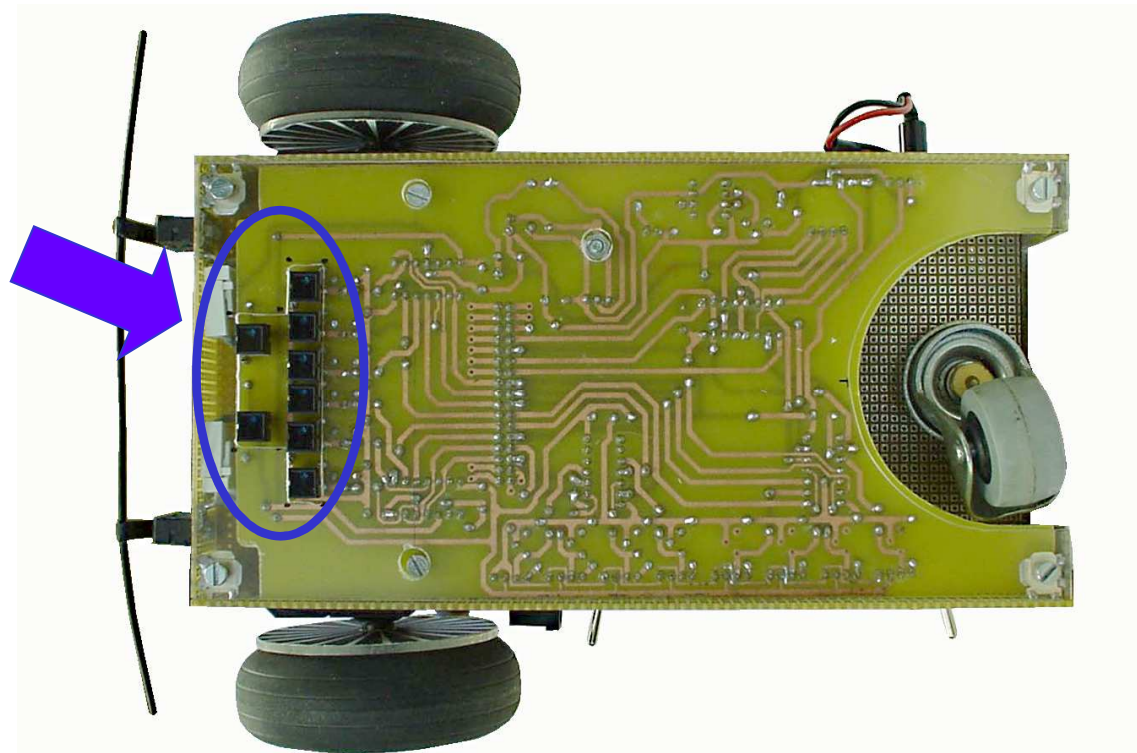
**ROBOT RASTREADOR**



**FRONTAL CON DETECTOR DE OBSTÁCULOS**

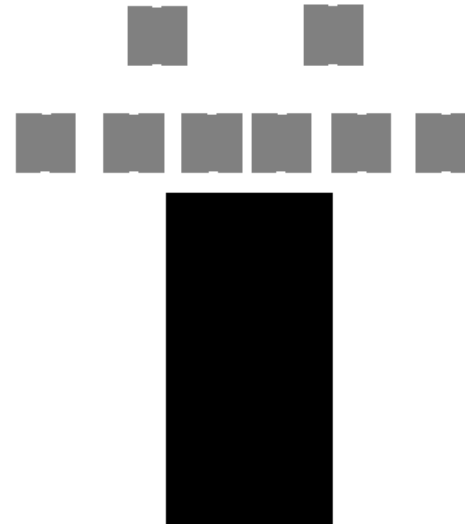
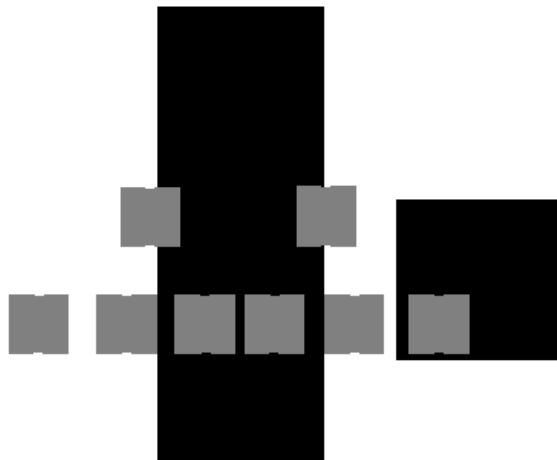
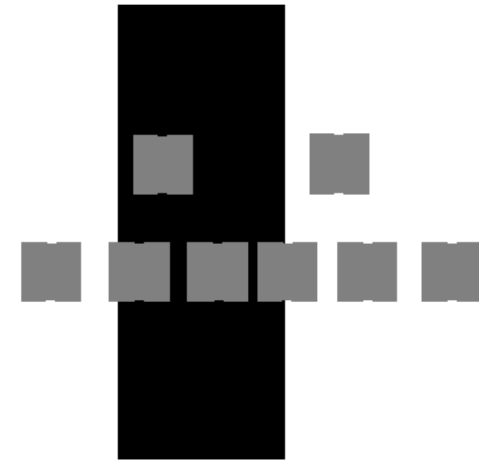
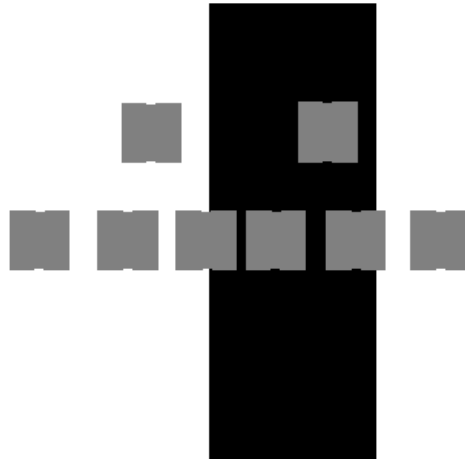
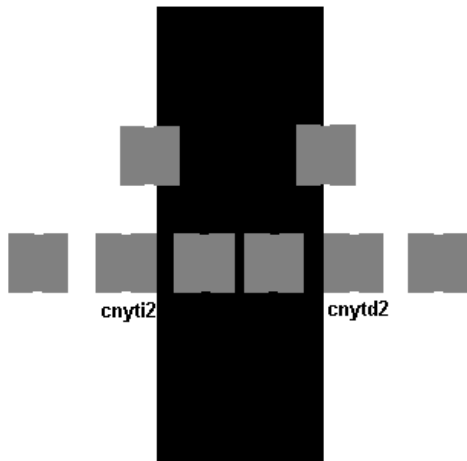


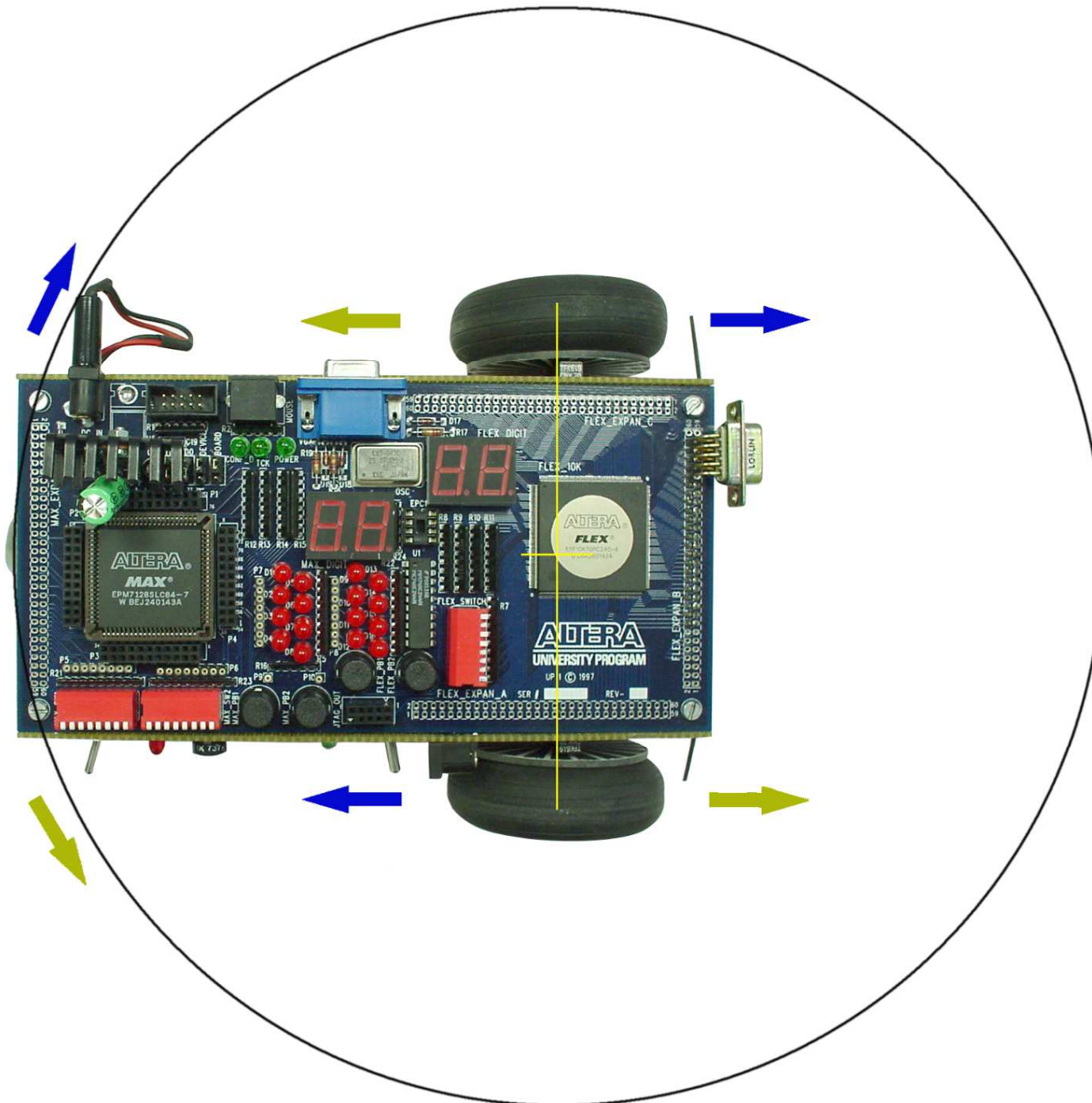
**ENCODER EN INTERIOR DE RUEDAS MOTRICES**



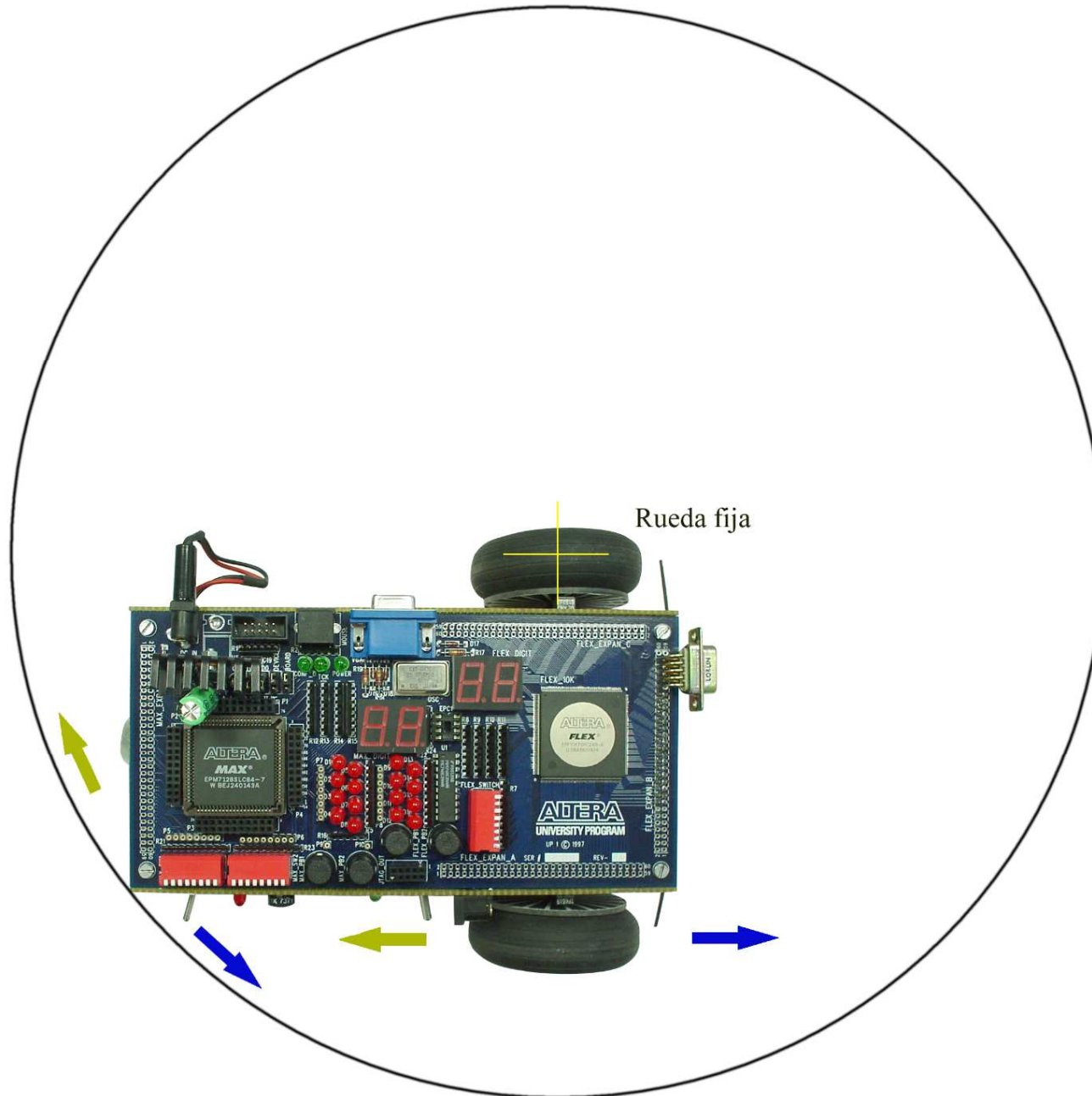
**VISTA DESDE ABAJO. SENSORES ÓPTICOS DE REFLEXIÓN**

## SITUACIONES POSIBLES VISTAS DESDE ABAJO







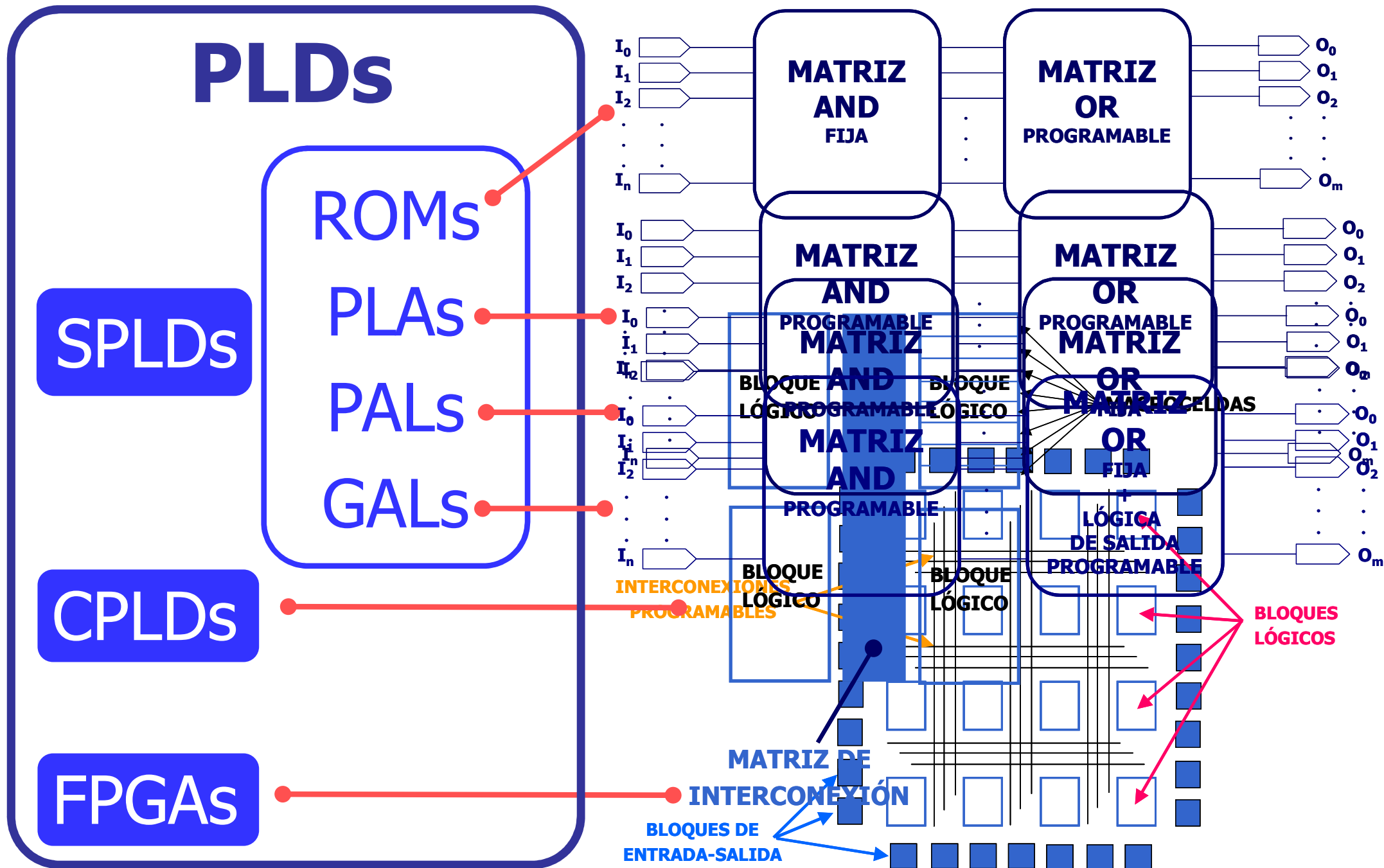


## **Tema Dispositivos de lógica programable (PLDs)**

- 1. Introducción**
- 2. Codificadores ROM programables**
- 3. Dispositivos de lógica programable sencillos (PLA)**
- 4. Matrices lógicas de puertas AND programables (PAL)**
- 5. Matrices lógicas genéricas (GAL) con macroceldas (OLMC)**
- 6. Dispositivos de lógica programable complejos (CPLD)**
- 7. Dispositivos de lógica programable FPGA**
- 8. Herramientas software para el diseño de circuitos con PLDs**
- 9. Ejemplos de aplicación**

## **Tema Dispositivos de lógica programable (PLDs)**

- 1. Introducción**
- 2. Codificadores ROM programables**
- 3. Dispositivos de lógica programable sencillos (PLA)**
- 4. Matrices lógicas de puertas AND programables (PAL)**
- 5. Matrices lógicas genéricas (GAL) con macroceldas (OLMC)**
- 6. Dispositivos de lógica programable complejos (CPLD)**
- 7. Dispositivos de lógica programable FPGA**
- 8. Herramientas software para el diseño de circuitos con PLDs**
- 9. Ejemplos de aplicación**





## BIBLIOGRAFÍA

*"Fundamentos de Sistemas Digitales"*, Thomas L. Floyd, 9ª Edición,  
Edit. Prentice Hall, 2006.

*"Circuitos Electrónicos: Digitales"*, Manuel Mazo Quintas et al.,  
Ed. Servicio de Publicaciones. Universidad de Alcalá, 1995.

*"Manual y guiones de prácticas, Quartus II"*,  
Juan María Pérez, Javier Goicoechea, Patxi Arregui  
Publicación Docente, Universidad Pública de Navarra, 2010

[www.altera.com](http://www.altera.com)

[www.xilinx.com](http://www.xilinx.com)

## OTRAS LECTURAS

*"Programmable Logic: PLDs and FPGAs"*, R. C. Seals, G. F. Whapshott,  
MacMillan Press Ltd., 1997.

*"Fundamentals of Digital Logic with VHDL design"*, S. Brown, Z. Vranesic,  
McGraw-Hill, 2000.