[数据通路 2](#_Toc507316130)

[Load 3](#_Toc507316131)

[Store 5](#_Toc507316132)

[ALU 6](#_Toc507316133)

[Branch-冻结/排空 7](#_Toc507316134)

[Branch-延迟分支 8](#_Toc507316135)

[Branch-失败预测法 9](#_Toc507316136)

## 数据通路



分支指令的条件测试和分支目标地址计算在EX段完成，对PC的修改[在MEM段完成](3-3-50转移成功时PC值得改变.exe)。它所带来的分支延迟是3个时钟周期。

需要减少分支延迟，尽早完成这些工作：

如果只考虑BEQZ和BNEZ，就可以把上述工作提前到ID段进行

为此需要在ID段增设一个加法器，用于计算分支目标地址。并把条件测试“=0？”的逻辑电路移到ID段。

这些结果直接回送到IF段的MUX1，如图所示

改进后流水线的分支延迟是1个时钟周期，它对分支指令的处理如下表所示

## Branch

|  |  |  |  |
| --- | --- | --- | --- |
| IF | Mem[PC]→IF/ID.IR【IF/ID.IR[op]=branch】 | | |
| Regs[IF/ID.IR[rs]]=0 | | IF/ID.NPC+(IF/ID.IR#16..32)<<2→IF/ID.NPC  IF/ID.NPC+(IF/ID.IR#16..32)<<2→PC |
| else | | PC+4→IF/ID.NPC  PC=PC+4 |
| ID |  | Regs[IF/ID.IR[rs]]→ID/EX.A  Regs[IF/ID.IR[rt]]→ID/EX.B | |
|  | IF/ID.IR→ID/EX.IR | |
|  | IF/ID.IR#16..32)→ID/EX.Imm | |