[总线 2](#_Toc492489101)

[概述 2](#_Toc492489102)

[物理结构 3](#_Toc492489103)

[总线特性 4](#_Toc492489104)

[性能指标 5](#_Toc492489105)

[总线标准 6](#_Toc492489106)

[总线设计 7](#_Toc492489107)

[系统总线 8](#_Toc492489108)

[数据总线 9](#_Toc492489109)

[地址总线 10](#_Toc492489110)

[控制总线 11](#_Toc492489111)

[通信总线 12](#_Toc492489112)

[片内总线 13](#_Toc492489113)

[数据通路 14](#_Toc492489114)

[功能 14](#_Toc492489115)

[总线结构 15](#_Toc492489116)

[单总线 15](#_Toc492489117)

[多总线 16](#_Toc492489118)

[专用数据通路结构 17](#_Toc492489119)

总线

# 概述

为什么要用总线？

将计算机中的各个部件连接在一起，组成一个完整的计算机硬件系统

连接方法：

1.分散连接，问题一大堆

2.总线连接

总线是连接各个部件的信息传输线， 是各个部件共享的传输介质

传送方式：

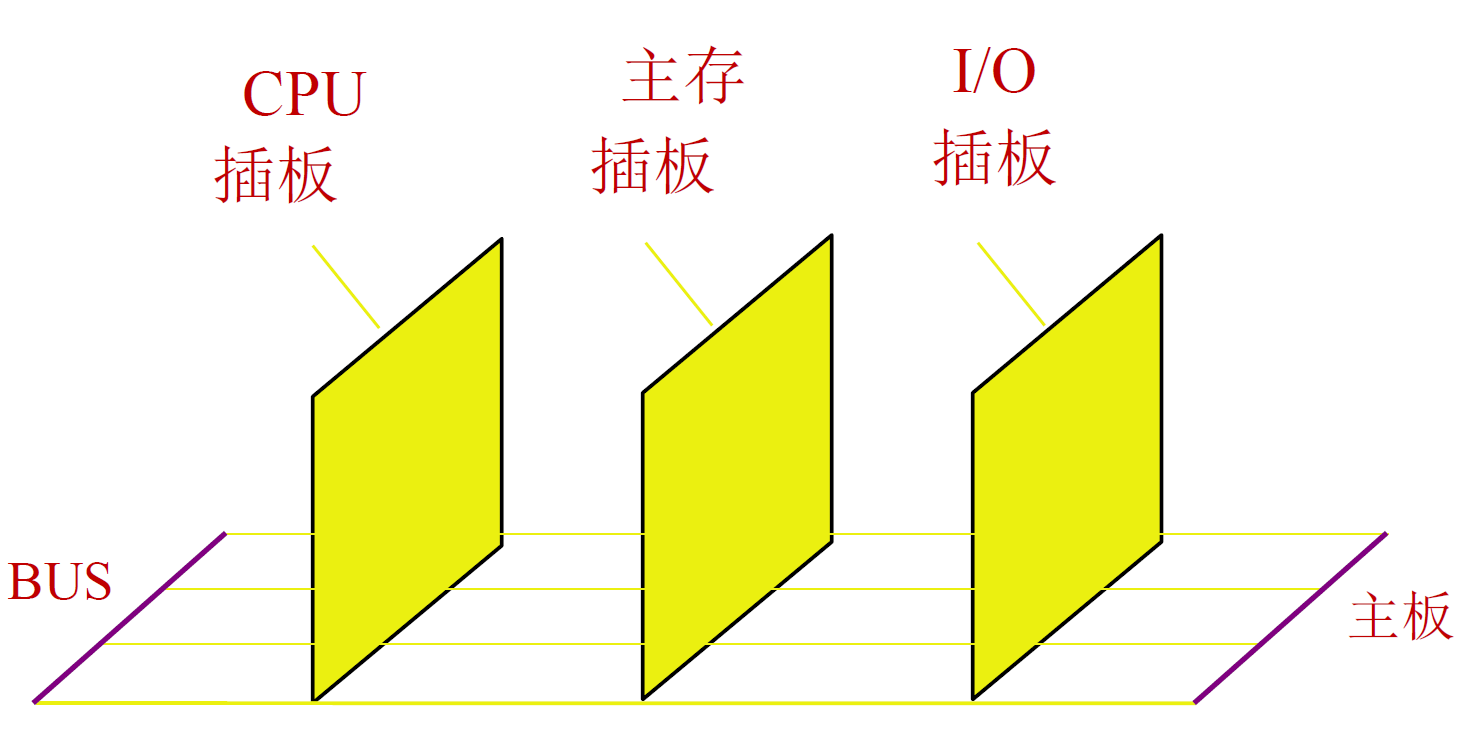
串行，距离长

并行，传输距离短

计算机举例：

单总线：

## 物理结构



总线由许多导线直接印刷在电路板上，延伸到各个部件

## 总线特性

|  |  |
| --- | --- |
| 机械特性 | 总线在机械连接上的一些性能，如插头与插座使用的标准、它们的尺寸形状引脚个数以及排列顺序，接头处的可靠接触等  尺寸、形状、管脚数 及 排列顺序 |
| 电气特性 | 总线每一根传输线上信号的传递方向和有效的电平范围  规定由CPU发出的信号为输出信号，送入CPU的信号称为输入信号  那么：  地址总线是单向输出线  数据总线是双向传输线  控制总线是单向的，有输入也有输出  大多数总线的电平定义与TTL相符，也有例外如RS232接口  传输方向 和有效的 电平 范围 |
| 功能特性 | 总线中每根传输线的功能，如  地址总线用来指出地址码；数据总线用来传输数据；控制总线用来传输控制信号 |
| 时间特性 | 总线中的任一根线在什么时间内有效。  每条总线上的各种信号互相存在一种有效时序关系  时间特性可以用信号时序图来描述 |

## 性能指标

|  |  |  |
| --- | --- | --- |
| 总线周期 | 总线的传输周期  一次总线操作所需要的时间，包括：  申请阶段  寻址阶段  传输阶段  结束阶段  总线周期通常由若干个总线时钟周期构成 | |
| 总线时钟周期 | 即机器的时钟周期  计算机有一个统一的时钟，一控制整个计算机的各个部件，总线也要受此时钟的控制 | |
| 总线频率 | 总线上各种操作的频率，位总线周期的倒数  一秒内传送几次数据  总线周期=N\*时钟周期，  总线频率=时钟频率/N | |
| 总线宽度 | 总线位宽  数据总线的根数  是总线上同时能传输的数据位数，单位：bit | |
| 总线带宽 | 总线的数据传输速率，即单位时间内总线上传输数据的位数  单位：B/s(字节每秒)  总线带宽=总线工作频率×总线宽度/8 | |
| 时钟同步/异步 | 同步总线：总线上的数据域时钟同步工作  异步总线：总线上的数据域时钟不同步工作 | |
| 信号线数 | 地址总线、数据总线、控制总线  所有总线数的总和 | |
| 控制方式 | 突发工作 |  |
| 自动配置 |  |
| 仲裁方式 |  |
| 逻辑方式 |  |
| 计数方式 |  |
| 负载能力 | 总线街上负载后，总线输入输出的逻辑电平是否能保持在正常的范围内  如  总线的输出信号为低电平时，要吸入电流，这时的负载能力即指当它吸收电流时，仍能保持额定的逻辑低电平  总线的输出信号为高电平时，要输出电流，这时的负载能力是指当它向负载输出电流时，仍能保持额定的逻辑高电平  不同的电路作为总线的负载时，是不同的，计时在同一电路板在不同的工作频率下，总线的负载也是不同的，因此，总线的负载能力的指标并不严格，通常可以连接扩增电路板来反应总线的负载能力。  查看P47—不同总线的性能 | |
| 电源电压 |  | |
| 总线宽度能否扩展 |  | |

根据总线数得到单位 字

总线宽度 ：数据线 的根数

标准传输率 ：每秒传输的最大字节数（MBps）

时钟同步/异步 ：同步、不同步

总线复用 ：地址线 与 数据线 复用

信号线数：地址线、数据线和控制线的 总和

总线控制方式： 突发、自动、仲裁、逻辑、计数

其他指标 ：负载能力

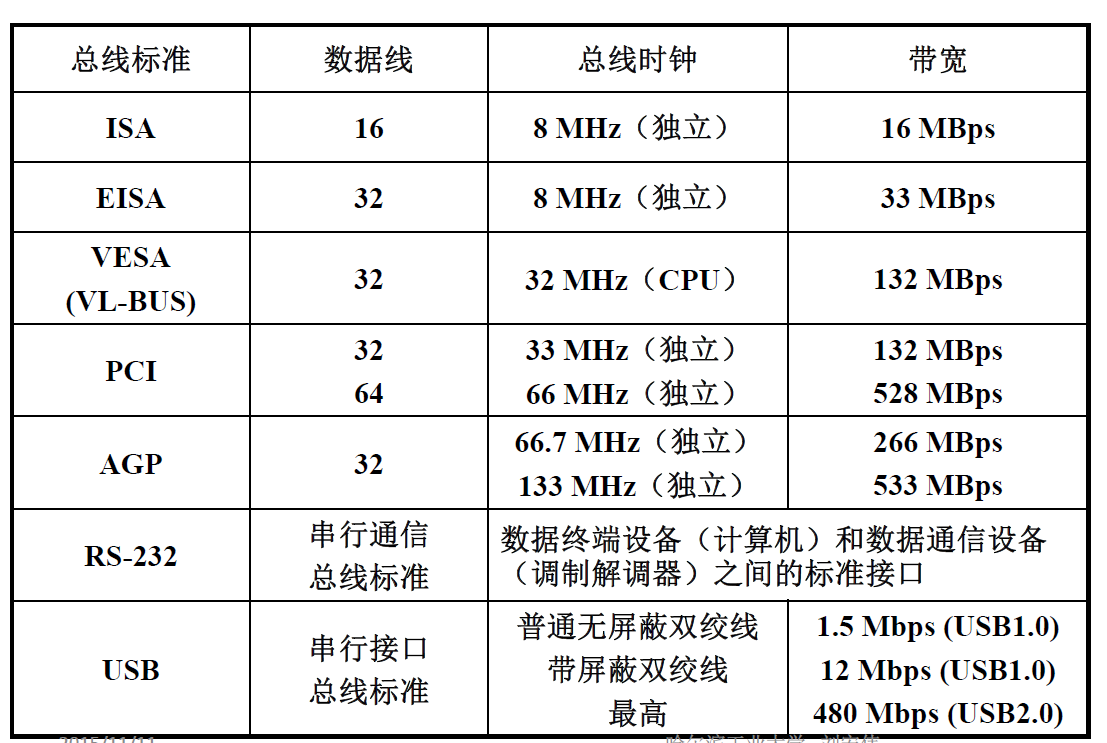
## 总线标准

在总线的统一标准下，可以解决系统、模块、设备与总线之间不适应、不通用及不匹配的问题。

总线标准是系统与各模块、模块与模块 之间的一个互联的标准界面，这个界面对它两端的模块都是透明的，即界面的任一方只需根据总线标准的要求完成自身一方接口的功能要求，而无须了解对方接口与总线的连接要求。

按总线标准设计的接口可视为标准接口

|  |  |
| --- | --- |
| ISA |  |
| EISA |  |
| VESA(VL-BUS) |  |
| PCI |  |
| AGP | 显示卡专用的局部总线 |
| RS-232C |  |
| USB |  |
|  |  |



# 总线设计

传输控制信息

包括CPU送出的控制命令和主存或外设返回CPU的反馈信号

握手应答信号使用通信联络控制信号，在控制总线上传输

所有存储器和I/O设备的书序信号和控制信号

来自I/O设备和存储器的响应信号

# 系统总线

系统总线是计算机系统内部各功能部件：CPU、主存、I/O接口之间相互连接的总线

# 数据总线

所谓n位CPU，n指的是数据总线线数

双向

用来传输个功能部件之间的数据信息

啥UN恭喜啊ing传输总线

位数与机器字长、存储字长有关（数据总线宽度≤机器字长）

取指令时，指令便在数据线上传输

操作数在数据线上传输

中断类型号用以找出中断向量的地址，CPU相应中断请求后，将中断应答信号INTR发挥到数据总线上

CPU从数据总线上读取中断类型号后，查找中断向量表，找到显影的中断处理程序入口

间址寻址第一次访问内存所得到的信息是操作数的有效地址，该地址通过数据总线传送至CPU而不是地址总线

# 地址总线

单向 与存储地址、 I/O地址有关

用来指出数据总线上的源数据或目的数据所在的主存单元或I/O端口的地址，即指定主存和I/O设备接口电路的地址

单向传输总线

位数与主存地址空间的大小有关

# 控制总线

通信总线

通信总线用于计算机系统之间或计算机与其他系统，如远程通信设备、测试设备之间信息传送的总线

通信总线也称为外部总线

串行通信总线

并行同行总线

# 片内总线

片内总线是CPU芯片内部的总线，它是CPU芯片内部寄存器和寄存器之间、寄存器与ALU之间的公共连接线

数据通路

## 功能

数据在功能部件之间传送的路径

运算器与个寄存器之间的传送路径就是中央处理器内部数据通路

数据通路描述了信息从什么地方开始，中间经过哪个寄存器或多路开关，最后传送到哪个寄存器，这些都要加以控制

建立数据通路的任务由“操作控制部件”来完成。数据通路的功能是实现CPU内部的运算器与寄存器之间的数据交换

# 总线结构

## 单总线

将所有寄存器的输入如端和输出端都连接到一条公共的通路上，

一个时钟内只允许传输一个数据，因而效率低下

这种结构比较简单，但数据传输存在较多的冲突现象，性能低

如果连接各部件的总线只有一条，称为单总线结构

由于ALU是一个组合逻辑电路，故其运算过程中必须保持两个输入端的内容不变。又由于CPU内部采用单总线结构，股为了得到两个不同的操作数，ALU的一个输入端与总线相连，另一个输入端需通过一个寄存器与总线相连。

此外，ALU的输入端也不能直接与内部总线相连，否则其输入出又会通过总线反馈到输入端，影响运算结果，故输入端需通过一个暂存器与总线相连

在单总线情况下，若没有暂存器，那么ALU的A、B端口会同时获得两个相同的数据，是数据通路不能正常 工作

## 多总线

如果CPU中有更多的总线，称为双总线结构或多总线结构

将所有寄存器的输入如端和输出端都连接到多条公共的通路上，

一个时钟内在多个总线上传输不同的数据，提高效率

# 专用数据通路结构

根据指令执行过程中数据和地址的流动方向安排连接线路，避免使用共享总线，性能高，但硬件量大