[I2C 2](#_Toc513199043)

[传输 3](#_Toc513199044)

[地址信号 4](#_Toc513199045)

[数据传输原理 6](#_Toc513199046)

[时钟同步 7](#_Toc513199047)

[仲裁 8](#_Toc513199048)

[三种传输模式 9](#_Toc513199049)

[高速模式 10](#_Toc513199050)

[高速传输 10](#_Toc513199051)

[Hs模式的串行数据传输格式 11](#_Toc513199052)

[从F/S 模式切换到Hs 模式以及返回 13](#_Toc513199053)

[低速模式中的快速模式器件 14](#_Toc513199054)

[串行总线系统的混合速度模式 15](#_Toc513199055)

[传输举例 18](#_Toc513199056)

# I2C

|  |  |  |  |
| --- | --- | --- | --- |
| 连接 |  | | |
| 设备 | 一主多从 或 多主多从  设备数量受到总线的最大电容 400pF 限制  某一个设备可以在不同的时间作为主机或从机，但同一时刻只能选择其中之一 | | |
| 引脚 |  | 主机 | 从机 |
| SCL | 输出，连接SCL总线，发送时钟信号， | 输入，连接SCL总线，接收时钟信号 |
| SDA | 用于传输I2C报文  主机设备要发送报文时，先控制其SDA引脚输出低电平，把SDA总线的电平拉低（上拉电阻不起作用）；  这之后其他从机设备不管输出什么都不会改变SDA总线的电平状态，  主机就是通过这种方式实现对从机的选择和仲裁 | |
| 上拉  电阻 | 两条总线都通过上拉电阻接到2~15V电源；上拉电阻阻值一般为4.7k  当某个设备空闲时，该设备的SDA引脚会输出高阻态  高阻态既不表现高电平也不表现低电平，是无效信号；而SDA总线总是处于有效电平状态；所以此时相当于该设备的SDA引脚和SDA总线之间的连接断开。  当所有设备都空闲时，相当于所有设备都和SDA总线断开，那么此时SDA总线由上拉电阻拉成高电平。 | | |
|  | 命令报文仅由主机发送，从机接收  从机永远不能主动发送数据，只有在收到主机的读数据请求信号时，才能向主机发送数据 | | |

## 传输

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 起始 | 主机→从机 | | 0 | 主机先发一个起始信号至SDA总线 |
| 地址  信号 | 填入本报文传输的目标从机设备的地址；设备地址可以是7位或10位；一般是7位  发送时先发送高位；  发一个地址信号 SLAVE ADRESS给 SDA总线 选择从机 |
| R/W | R/W=0写命令；R/W=1读命令  地址位和读写位构成一个8位（1字节）的数据。  如0xA3即1010 0011 ，表示主机要向地址为0101 0001 的从机设备读数据  主机发送了读/写位后，主机等待从机发过来的响应信号；  该响应信号是ACK=0，表明确实存在拥有该地址的从机；主机准备接收8位数据 |
| 从机→主机 | | 0 | 响应信号，表明确实存在拥有该地址的从机，主机才能发送下一个8位数据  有时候命令的第一个数据会和命令的第一个字节(地址信号+读写位)紧密联系，  如：10位寻址信号、广播呼叫地址等  但不管是什么样的情况，主机发送命令报文的第一个字节(地址信号+读写位)后，都需要等待收到来自从机的相应才能发送第一个数据 |
| 数据传输 | 写命令 | 读命令 |  |  |
| 主→从 | 从→主 | 8bit数据 | 发送完毕后，发送方等待接收方发过来的响应信号； |
| 从→主 | 主→从 | 0 | 响应信号ACK=0，发送方收到后发送下一个8位数据； |
| 主→从 | 从→主 | 8bit数据 |  |
| …… | …… | …… | …… |
| 主→从 | 从→主 | 8bit数据 | 最后8bit数据 |
| 从→主 | 主→从 | 1 | 接收方收到最后的8位数据后，发送响应信号NACK=1，  告诉发送方：已收到我需要的最后一个数据，不要再发了！ |
| 起始 | 主机→从机 | | **0** | **重复起始信号** |
| 地址信号 | 寻址另一个从机，继续通信 |
| R/W | R/W=0写命令；R/W=1读命令 |
| 从机→主机 | | 0 | 响应信号，表明确实存在拥有该地址的从机，主机才能发送下一个8位数据 |
| 数据传输 | …… | | …… | …… |
| …… | …… | | …… | …… |
| 起始 | …… | | …… | …… |
| 数据传输 | …… | | …… | …… |
| 停止 | 主机→从机 | | 1 | 停止信号 |

## 地址信号

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 一般地址信号 | 报文发送出去后，系统中的每个从机都都会收到，并将其高7 位与它自己的地址比较，如果一样  设备就会知道自己被主机寻址；  从机设备的地址并不是随机定义的，而要参考I2C总线协议，协议规定：  从机地址由固定x位和可编程的y位构成(x+y=7)；  例如某个器件有4个固定位的和3个可编程位，3个可编程位可以由该器件引出的3个引脚电平来决定，那么相同的总线上共可以连接8 个相同的器件  另外还有一些特殊的地址，只能供特定的情况使用，设备厂商不能随意使用下面的这些地址 | | | |
| 广播呼叫地址 | **该写命令的第2个字节(即第一个数据data1)，用来表示不同的功能**  **命令的第二个数据才是实际传输的第一个数据**  该命令报文的目标设备是总线上的所有从机设备，这些从机设备收到该报文后都会发出一个响应；  但是也可以对从机设备进行配置，使其忽略广播呼叫地址  地址信号：0000 000  读写位只能为0，即**广播呼叫地址只能用于写命令** | | | |
| data1 | 0000 0110 | | 通过硬件写入和复位从机地址的可编程部分接收到这个两字节序列时  所有打算响应这个广播呼叫地址的器件将复位并接受它们  地址的可编程部分要采取预防措施确保器件不会在加上电源电压后将SDA 或SCL 线拉低  因为这些低电平会阻塞总线 |
| 0000 0100 | | 通过硬件写从机地址的可编程部分所有通过硬件定义地址可编程部分和  响应广播呼叫地址的器件会在接收这两个字节序列时锁存可编程的部分器件不会复位 |
| 0000 0000 | | 这个代码不允许在第二个字节使用 |
| xxxx xxx1 | | 硬件广播呼叫  在多主机的总线网络中  配置主机预先不知道报文要传输给哪个器件，它只能产生这个硬件广播呼叫；  这个呼叫中其中高7位是发送本报文的主机的地址，  这个地址会被一个连接到I2C总线的智能器件识别(例如微控制器)(即硬件主机)。  硬件主机识别这个地址后，知道了配置主机的信息，如在一些系统中选择在系统复位后，在从机接收器模式中设置硬件主机发送器；配置主机告诉硬件主机发送器现在处于从机接收器模式，数据必须发送到哪个地址，  这个编程过程后硬件主机仍处于主机发送器模式 |
| data2 | **实际传输的第一个数据** | | |
| 起始字节 | 没有器件允许在接收到起始字节后响应  微控制器可以用两种方法连接到I2C 总线  有片上硬件I2C 总线接口的微控制器可被编程为只由总线的请求中断  当器件没有这种接口时它必须经常通过软件监控总线，很显然微控制器监控或查询总线的次数越多，用于执行自己功能的时间越少  因此快速硬件器件和相关的依靠查询的慢速微控制器有速度差别  此时数据传输前应有一个比正常时间长的起始过程，该起始过程包括  1.主机发送起始信号S  2.主机发送起始字节0000 0001  3.响应时钟脉冲ACK  4.重复起始条件Sr  在要求总线访问的主机发送起始条件S 后发送起始字节00000001  因此另一个微控制器可以采样，以低采样速率采样SDA 线直到在启动字节检测到7 个0  在SDA 线检测到这个低电平后微控制器切换到一个更高的采样速率寻找用于同步的重复起始条件Sr接收到重复起始条件Sr  接收到重复起始条件Sr 后硬件接收器会复位从而忽略了起始字节  在起始字节后产生一个相关的响应时钟脉冲这只在遵守总线的字节处理格式时出现没有器件允许响应起始字节 | | | |
| 地址信号 | | 0000 000 | |
| 读写位 | | 读写位只能为1，即起始字节只能用于读取数据 | |
| data1 | |  | |
| data2 | | **实际传输的第一个数据** | |

|  |  |  |  |
| --- | --- | --- | --- |
| 保留 | 0000 010 | 保留给不同的总线格式  保留给不同总线格式的地址包括使能I2C 和其他协议混合  只有可以在这种格式和协议下工作兼容I2C 总线的器件才能响应这个地址 | |
| 0000 011 | 保留给将来使用 | |
| 1111 1XX | 保留给将来使用 | |
|  |  | |
| 模式主机码 | 0000 1XX |  | |
| CBUS地址 | 0000 001 | CBUS 地址已被保留使可以在相同的系统内部混合兼容CBUS 和兼容I2C 总线的器件  接收到这个地址时兼容I2C 总线的器件不能响应  CBUS 接收器可以连接到标准模式的I2C 总线但是必须连接第三条叫DLEN 的线而且要省略响应位通常I2C 的传输是8 位的字节序列兼容CBUS 的器件有不同的格式  在混合的总线结构中I2C 总线器件必须不能响应CBUS 的报文因此保留了一个兼容I2C 总线器件不会相应的特殊CBUS 地址0000001X 发送CBUS 地址后DLEN 线被激活发送CBUS 格式的报文见图19 在停止条件后所有器件再次准备好接收数据  主机发送器可以在发送CBUS 地址后发送CBUS 格式传输由能被所有器件识别的停止条件结束注意如果已知CBUS 配置而且不能预见CBUS 兼容器件的扩展设计者允许根据所用器件的特殊要求调整保持时间 | |
| 10位  从机寻址 | 10 位寻址和7 位寻址兼容，而且可以结合使用。  **10位从机地址由在起始信号S (或重复起始信号Sr )后的两个字节组成，即地址信号+第一个数据** | | |
| 地址信号 | 1111 0XX  地址信号中的高7位是1111 0XX ，其中XX 是10位地址的两个最高位； | |
| 读写位 | 1或0 | |
| data1 | 第一个数据的全部8位作为10位地址的低8位  从机设备收到主机发送的第一个字节(地址信号+读/写位)后，  查看其高7位，发现其中高4位是1111，知道这是一个10为从机寻址，7位地址的设备就会退出；  10位地址的设备继续查看其中的bit1与bit2，与自己的地址比较，如果不对，就退出；  剩下的设备查看最低位，获取读/写信息，然后发送一个响应位，等待第二个数据；  主机发送第二个数据；  那些剩下来的从机设备获取第二个数据，与自己的地址比较，如果不符合自己10位地址的低8位，那么就会退出，符合的会发出它的第二个响应，表明“我就是你要找的”，接下来进行数据传输。 | |
|  | 与7位寻址组合 | 使用复合命令 |
|  | 与广播呼叫组合 | 广播呼叫地址0000 0000  10 位寻址的从机器件与7 位寻址的从机器件对广播呼叫地址的反应相同  硬件主机可以在广播呼叫之后发送它们10 位地址  此时的广播呼叫地址字节后面的两个字节包含了主机发送器10位地址 |
|  | 与起始字节组合 | 其中第一个数据字节是主机地址的8 个最低位起始字节00000001 H 01  表示用7 位寻址的方法处理10 位寻址 |
|  |  |  |
| data2 | 第二个数据是实际要传输的第一个数据 | |

## 数据传输原理

|  |  |
| --- | --- |
| 数据接收的原理 | 数据传输时，SCL的一个上升沿，触发一次接收端设备的数据接收；  数据接收端设备总是在查看其SCL引脚的电平值，接收端设备的SCL引脚一旦从0变为1，设备就会接受其此时SDA引脚的电平值，将该值作为一个收到的数据位储存到其存储单元中 |
| 数据发送的原理 | 数据传输时，SCL的一个下降沿，触发一次发送端设备的数据发送。  数据发送端设备总是在查看其SCL引脚的电平值 ，接收端设备的SCL引脚一旦从1变为0，设备就会控制其SDA引脚输出下一个数据位；  在SCL低电平的时候，接收端不会接收SDA电平，所以发送端就选择在SCL低电平期间进行电平切换；  等到SCL再次升为高电平时，SDA上的电平就是新的电平，即下一个数据位，正好由接收端接收； |
| 起始信号与停止信号 | 在SCL 线是高电平时SDA 线从高电平向低电平切换这个情况表示起始条件  当SCL 线是高电平时SDA 线由低电平向高电平切换表示停止条件  起始和停止条件一般由主机产生  总线在起始条件后被认为处于忙的状态  总线在在停止条件的某段时间后总线被认为再次处于空闲状态 |
| 如果产生重复起始Sr 条件而不产生停止条件总线会一直处于忙的状态  此时的起始条件S和重复起始Sr 条件在功能上是一样的  因此在本文档的剩余部分符号S 将作为一个通用的术语既表示起始条件又表示重复起始条件  除非有特别声明的Sr  如果连接到总线的器件合并了必要的接口硬件，那么用它们检测起始和停止条件十分简便，  但是没有这种接口的微控制器在每个时钟周期至少要采样SDA 线两次来判别有没有发生电平切换 |
| 响应 | 数据传输必须带响应相关的响应时钟脉冲由主机产生在响应的时钟脉冲期间发送器释放SDA 线(高)  在响应的时钟脉冲期间接收器必须将SDA 线拉低使它在这个时钟脉冲的高电平期间保持稳定的低电平  当然必须考虑建立和保持时间在第15 章详细说明  通常被寻址的接收器在接收到的每个字节后除了用CBUS 地址开头的报文必须产生一个响应  当从机不能响应从机地址时，例如它正在执行一些实时函数不能接收或发送，  从机必须使数据线保持高电平。  主机然后产生一个停止条件终止传输或者产生重复起始条件开始新的传输。  如果从机接收器响应了从机地址但是在传输了一段时间后不能接收更多数据字节，  主机必须再一次终止传输，这个情况用从机在第一个字节后没有产生响应来表示。  从机使数据线保持高电平主机产生一个停止或重复起始条件。  如果传输中有主机接收器，它必须通过在从机不产生时钟的最后一个字节不产生一个响应，  向从机发送器通知数据结束，从机发送器必须释放数据线  允许主机产生一个停止或重复起始条件 |
| 传输速率 | 根据发送与接收的原理可知  一位数据，总在SCL低电平时被发送，在SCL高电平时被接收  一个SCL周期传输1bit数据  具有三种传输模式：标准模式传输速率为100kbit/s ，快速模式为400kbit/s |

## 时钟同步

主机一旦上电，其SCL引脚就会输出时钟信号，时钟信号是固定频率的方波

时钟信号传输至SCL总线，再传输至各个从机的SCL引脚；

从而使I2C总线上的**所有设备**，(包括**SCL总线**)，保持**时钟同步**；

SDA总线上的数据传输的有效性取决于SCL总线的电平

所有主机在SCL 线上产生它们自己的时钟；

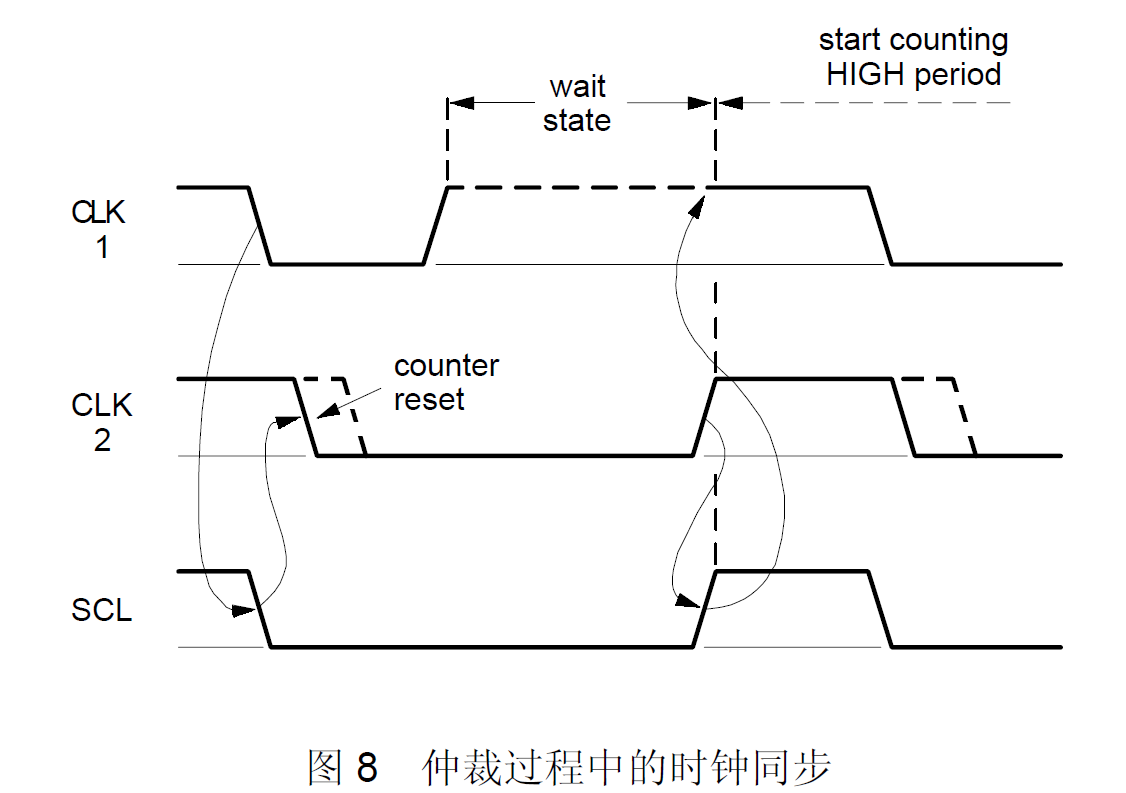
I2C 总线上的报文数据只在时钟的高电平周期有效，因此需要一个确定的时钟进行逐位仲裁

时钟同步通过线与连接I2C 接口到SCL 线来执行

这就是说SCL 线的高到低切换会使器件开始数它们的低电平周期，而且一旦器件的时钟变低电平，它会使SCL 线保持这种状态直到到达时钟的高电平见图8

但是如果另一个时钟仍处于低电平周期，这个时钟的低到高切换不会改变SCL 线的状态

因此SCL 线被有最长低电平周期的器件保持低电平此时低电平周期短的器件会进入高电平的等待状态



当所有有关的器件数完了它们的低电平周期后时钟线被释放并变成高电平之后器件时钟和SCL

线的状态没有差别而且所有器件会开始数它们的高电平周期首先完成高电平周期的器件会再次将SCL

线拉低

这样产生的同步SCL 时钟的低电平周期由低电平时钟周期最长的器件决定而高电平周期由高电平

时钟周期最短的器件决定

|  |  |
| --- | --- |
|  | 如果从机要完成一些其他功能后（例如一个内部中断服务程序）才能接收(或发送)下一个完整的数据字节，那么可以使时钟线SCL 保持低电平迫使主机进入等待状态  当从机准备好接收下一个数据字节并释放时钟线SCL 后数据传输继续 |

时钟同步机制除了在仲裁过程中使用外还可以用于使能接收器处理字节级或位级的快速数据传输

在字节级的快速传输中器件可以快速接收数据字节但需要更多时间保存接收到的字节或准备另一

个要发送的字节然后从机以一种握手过程见图6 在接收和响应一个字节后使SCL 线保持低电平

迫使主机进入等待状态直到从机准备好下一个要传输的字节

在位级的快速传输中器件例如对I2C 总线有或没有限制的微控制器可以通过延长每个时钟的低

电平周期减慢总线时钟从而任何主机的速度都可以适配这个器件的内部操作速率

在Hs 模式中握手的功能只能在字节级使用见第13 章

## 仲裁

主机只能在总线空闲的时侯启动传输

两个或多个主机可能在起始条件的最小持续时间tHD;STA 内产生一个起始条件结果在总线上产生一个规定的起始条件

当SCL 线是高电平时仲裁在SDA 线发生这样在其他主机发送低电平时发送高电平的主机将断开它的数据输出级因为总线上的电平与它自己的电平不相同仲裁可以持续多位它的第一个阶段是比较地址位有关的寻址信息请参考第10 章和第14 章

如果每个主机都尝试寻址相同的器件仲裁会继续比较数据位

如果是主机发送器或者比较响应位如果是主机接收器因为I2C 总线的地址和数据信息由赢得仲裁的主机决定在仲裁过程中不会丢失信息

丢失仲裁的主机可以产生时钟脉冲直到丢失仲裁的该字节末尾

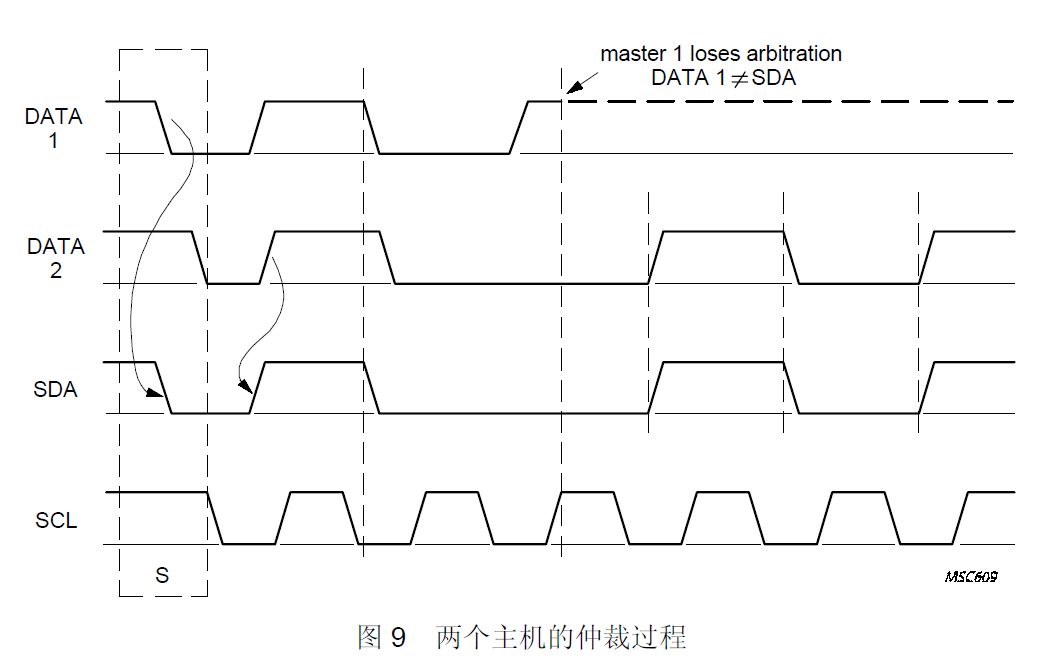
由于Hs 模式的主机有一个唯一的8 位主机码因此一般在第一个字节就可以结束仲裁见第13 章

如果主机也结合了从机功能而且在寻址阶段丢失仲裁它很可能就是赢得仲裁的主机在寻址的器件

因此丢失仲裁的主机必须立即切换到它的从机模式

图9 显示了两个主机的仲裁过程当然可能包含更多的内容由连接到总线的主机数量决定此时产生DATA1 的主机的内部数据电平与SDA 线的实际电平有一些差别

如果关断数据输出这就意味着总线连接了一个高输出电平这不会影响由赢得仲裁的主机初始化的数据传输



由于I2C 总线的控制只由地址或主机码以及竞争主机发送的数据决定没有中央主机总线也没有任何定制的优先权

必须特别注意的是在串行传输时当重复起始条件或停止条件发送到I2C 总线的时侯仲裁过程仍在进行如果可能产生这样的情况有关的主机必须在帧格式相同位置发送这个重复起始条件或停止条件

也就是说仲裁在不能下面情况之间进行

• 重复起始条件和数据位

• 停止条件和数据位

• 重复起始条件和停止条件

从机不被卷入仲裁过程

## 三种传输模式

|  |  |
| --- | --- |
| 标准模式 | 标准模式I2C 总线规范在80 年代的初期已经存在它规定数据传输速率可高达100kbit/s 而且7 位寻  址这个概念在普及中迅速成长今天它已经作为一个标准被全世界接受而且Philips Semiconductors  和其他供应商提供了几百种不同的兼容IC 为了符合更高速度的要求以及制造更多可使用的从机地址给数  量不断增长的新器件标准模式I2C 总线规范不断升级到今天它提供了以下的扩展  • 快速模式位速率高达400kbit/s  • 高速模式Hs 模式位速率高达3.4Mbit/s  • 10 位寻址允许使用高达1024 个额外的从机地址  扩展I2C 总线规范主要有两个原因  • 现在很多应用需要传输大量的串行数据要求的位速率远远超过100kbit/s 标准模式或者甚  至是400kbit/s 快速模式半导体技术持续改进的结果使I2C 总线器件现在可以使用高达  3.4Mbit/s Hs 模式的位速率而且接口电路的生产成本没有任何明显的提高  • 由于使用7 位寻址策略的大多数112 地址能被立即分配很显然要求更多地址结合来防止为新器  件分配从机地址的问题这个问题可以用新的10 位寻址策略解决它允许可使用的地址成10 倍  增长  带有快速或Hs 模式I2C 总线接口的新从机器件可以有7 位或10 位的从机地址如果可能的话首选  7 位地址因为它是最便宜的硬件解决方案而且报文长度最短有7 位和10 位地址的器件可以在相同的  I2C 总线系统中混合使用不需要考虑它是F/S 模式还是Hs 模式的系统现有的和未来的主机都能产生7  位或10 位的地址 |
| 快速模式 | 快速模式I2C 总线规范都没有修改带I2C 总线接口的新器件必须至少符合快速模式或Hs 模式规范的最小要  求见第13 章  快速模式器件可以在400kbit/s 下接收和发送最小要求是它们可以和400kbit/s 传输同步可以延  长SCL 信号的低电平周期来减慢传输快速模式器件都向下兼容可以和标准模式器件在0~100kbit/s 的  I2C 总线系统通讯但是由于标准模式器件不向上兼容所以不能在快速模式I2C 总线系统中工作因为  它们不能跟上这么快的传输速率因而会产生不可预料的状态  快速模式I2C 总线规范与标准模式相比有以下额外的特征  • 最大位速率增加到400kbit/s  • 调整了串行数据SDA 和串行时钟SCL 信号的时序没有必要与其他总线系统例如CBUS  兼容它们不能在增加的位速率下工作  • 快速模式器件的输入有抑制毛刺的功能SDA 和SCL 输入有Schmitt 触发器  • 快速模式器件的输出缓冲器对SDA 和SCL 信号的下降沿有斜率控制功能  • 如果快速模式器件的电源电压被关断SDA 和SCL 的I/O 管脚必须悬空不能阻塞总线  • 连接到总线的外部上拉器件必须调整以适应快速模式I2C 总线更短的最大允许上升时间对于负  载最大是200pF 的总线每条总线的上拉器件可以是一个电阻对于负载在200pF~400pF 之间  的总线上拉器件可以是一个电流源最大值3mA 或者是一个开关电阻电路见图43 |
| 高速(Hs)模式 |  |

## 高速模式

高速模式Hs 模式器件对I2C 总线的传输速度有具大的突破Hs 模式器件可以在高达3.4Mbit/s 的

位速率下传输信息而且保持完全向下兼容快速模式或标准模式F/S 模式器件也就是说它们可以在

一个速度混合的总线系统中双向通讯Hs 模式传输除了不执行仲裁和时钟同步外与F/S 模式系统有相同

的串行总线协议和数据格式虽然Hs 模式器件是首选的器件它们可以在大量的应用中使用但是新器

件有没有快速或Hs 模式I2C 总线接口由应用决定

## 高速传输

要获得位速率高达3.4Mbit/s 的传输对正常的I2C 总线规范要作出以下的改进

• Hs 模式主机器件有一个SDAH 信号的开漏输出缓冲器和一个在SCLH 输出的开漏极下拉和电流

源上拉电路1 这个电流源电路缩短了SCLH 信号的上升时间任何时侯在Hs 模式只有一个主

机的电流源有效• 在多主机系统的Hs 模式中不执行仲裁和时钟同步以加速位处理能力仲裁过程一般在前面

用F/S 模式传输主机码后结束

• Hs 模式主机器件以高电平和低电平是1:2 的比率产生一个串行时钟信号解除了建立和保持时间

的时序要求

• 还可以选择Hs 模式器件有内建的电桥1 在Hs 模式传输中Hs 模式器件的高速数据SDAH

和高速串行时钟SCLH 线通过这个电桥与F/S 模式器件的SDA 和SCL 线分隔开来减轻了

SDAH 和SCLH 线的电容负载使上升和下降时间更快

• Hs 模式从机器件与F/S 从机器件的唯一差别是它们工作的速度Hs 模式从机在SCLH 和SDAH

输出有开漏输出的缓冲器SCLH 管脚可选的下拉晶体管可以用于拉长SCLH 信号的低电平但

只允许在Hs 模式传输的响应位后进行

• Hs 模式器件的输出可以抑制毛刺而且SDAH 和SCLH 输出有一个Schmitt 触发器

• Hs 模式器件的输出缓冲器对SDAH 和SCLH 信号的下降沿有斜率控制功能

图20 是只有Hs 模式器件的系统的物理I2C 总线配置主机器件的SDA 和SCL 管脚只在速度混合的

总线系统中使用在只有Hs 模式的系统中不需要连接此时这些管脚有其他功能

可选的串连电阻RS 保护I2C 总线器件的I/O 级防止总线上高电压的毛刺影响I/O 级并将振荡和干扰

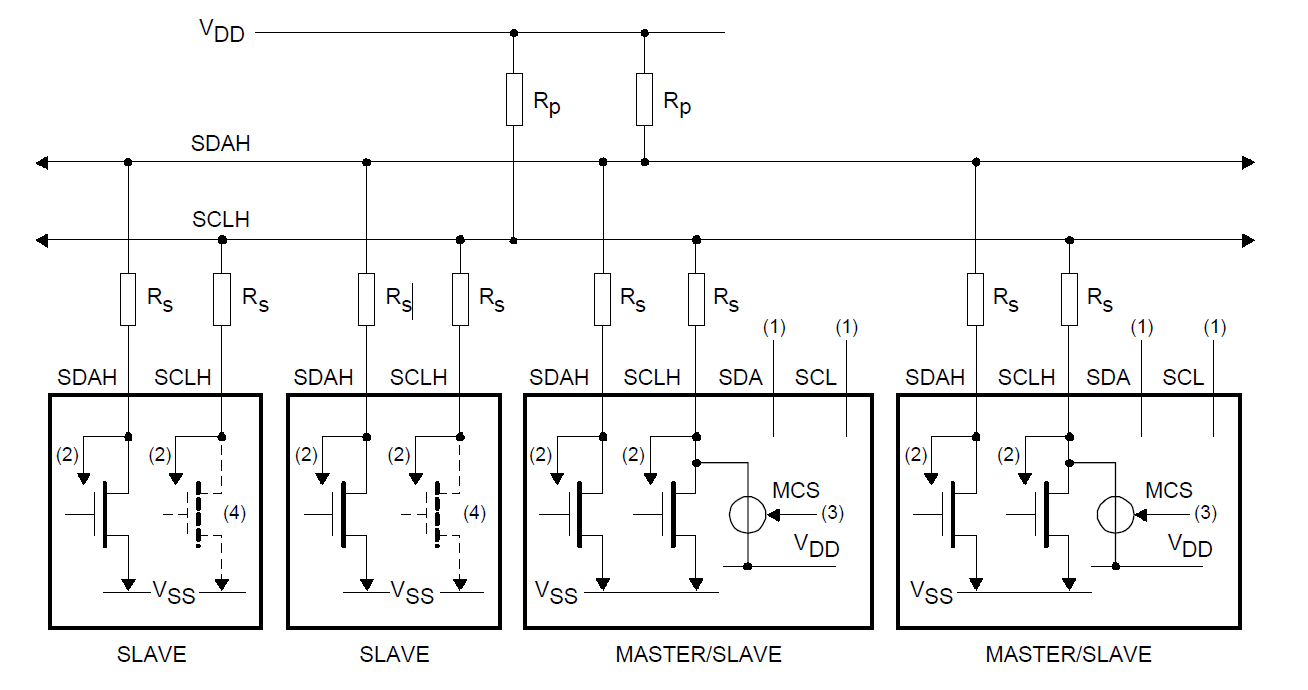
减到最小

上拉电阻Rp 使SDAH 和SCLH 线在总线空闲的时侯保持高电平并确保信号在要求的上升时间内从

低电平变成高电平对于电容负载很高>100pF 的总线线路为了符合上升时间的要求可以用外部上

拉电流源代替Rp 除非跟着一个响应位Hs 模式传输的SCLH 时钟脉冲上升时间被激活主机的内部电流

源上拉电路MCS 缩短



(1)这里不使用SDA 和SCL 它们可作其他用途

(2)到输入滤波器

(3)只有激活的主机能使用它的电流源上拉电路

(4)虚线的晶体管是可选的开漏输出可以延长串行时钟信号SCLH

## Hs模式的串行数据传输格式

Hs 模式的串行数据传输格式符合标准模式I2C 总线规范Hs 模式只能在下面的情况下(所有都在F/S模式启动)

1. 起始条件S

2. 8位的主机码00001XXX

3. 不响应位A

图21 和22 详细地显示了这些情况主机码有两个主要的功能

• 它允许在F/S 模式速度下竞争主机之间仲裁和同步结果得到一个获胜的主机

• 它表示Hs 模式传输的开始

Hs 主机码是保留的8 位代码它不用于从机寻址或其他目的而且由于每个主机都有唯一的主机码

I2C 总线系统最多可以有8 个Hs 模式主机主机码0000 1000 应保留作测试和诊断用Hs 模式主机器件

的主机码是软件可编程的由系统设计者决定

仲裁和时钟同步只在获胜主机仍然激活传输主机码和不响应位A 时发生主机码向其他器件表示

开始Hs 模式传输而且连接的器件必须符合Hs 模式规范由于不允许器件响应主机码主机码后面应跟

着不响应位A

在不响应位A 后而且SCLH 线被上拉到高电平时激活的主机切换到Hs 模式并使能在tH

见图22 SCLH 信号的电流源上拉电路由于另一个器件通过延长SCLH 信号的低电平周期可以拉长tH

前的串行传输当所有器件释放了SCLH 线而且SCLH 信号到达高电平时激活的主机使能它的电流源上

拉电路因此加速了SCLH 信号最后部分的上升时间

然后激活的主机发送一个重复起始条件Sr 接着是7 位从机地址或者10 位从机地址见第14

章和R/W 位地址并从选中的从机接收到一个响应位A

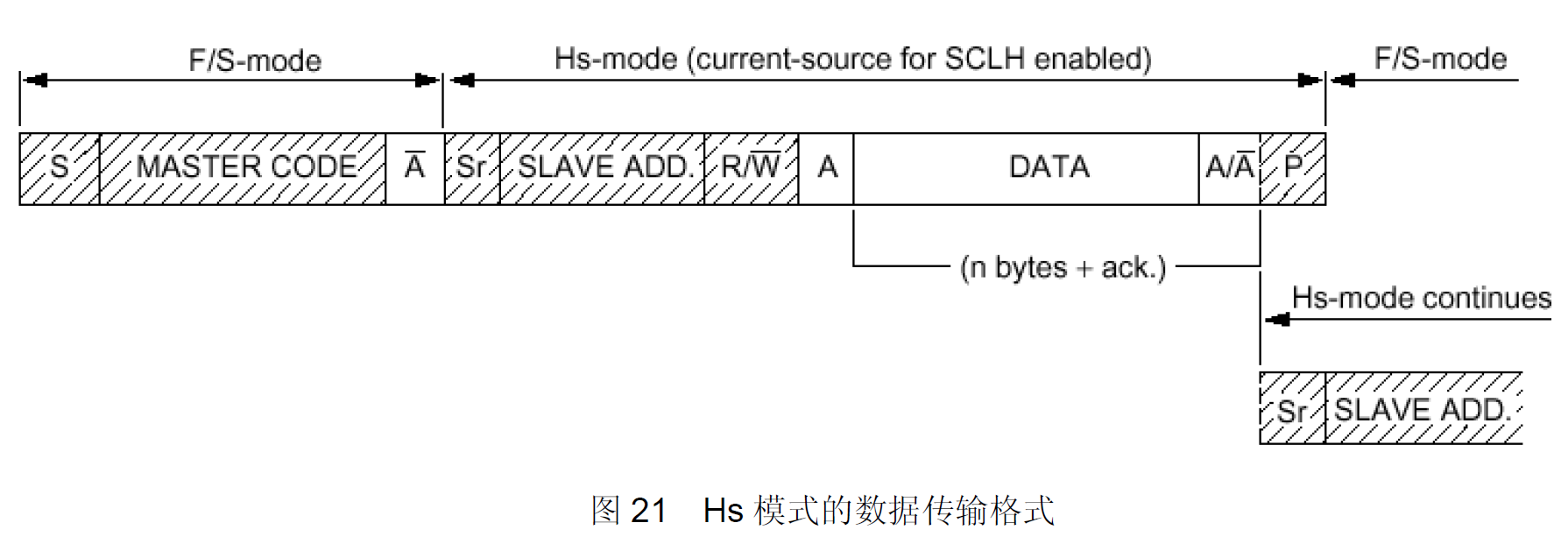
在重复起始条件和每个响应位A 和不响应位A 后激活的主机禁能它的电流源上拉电路使

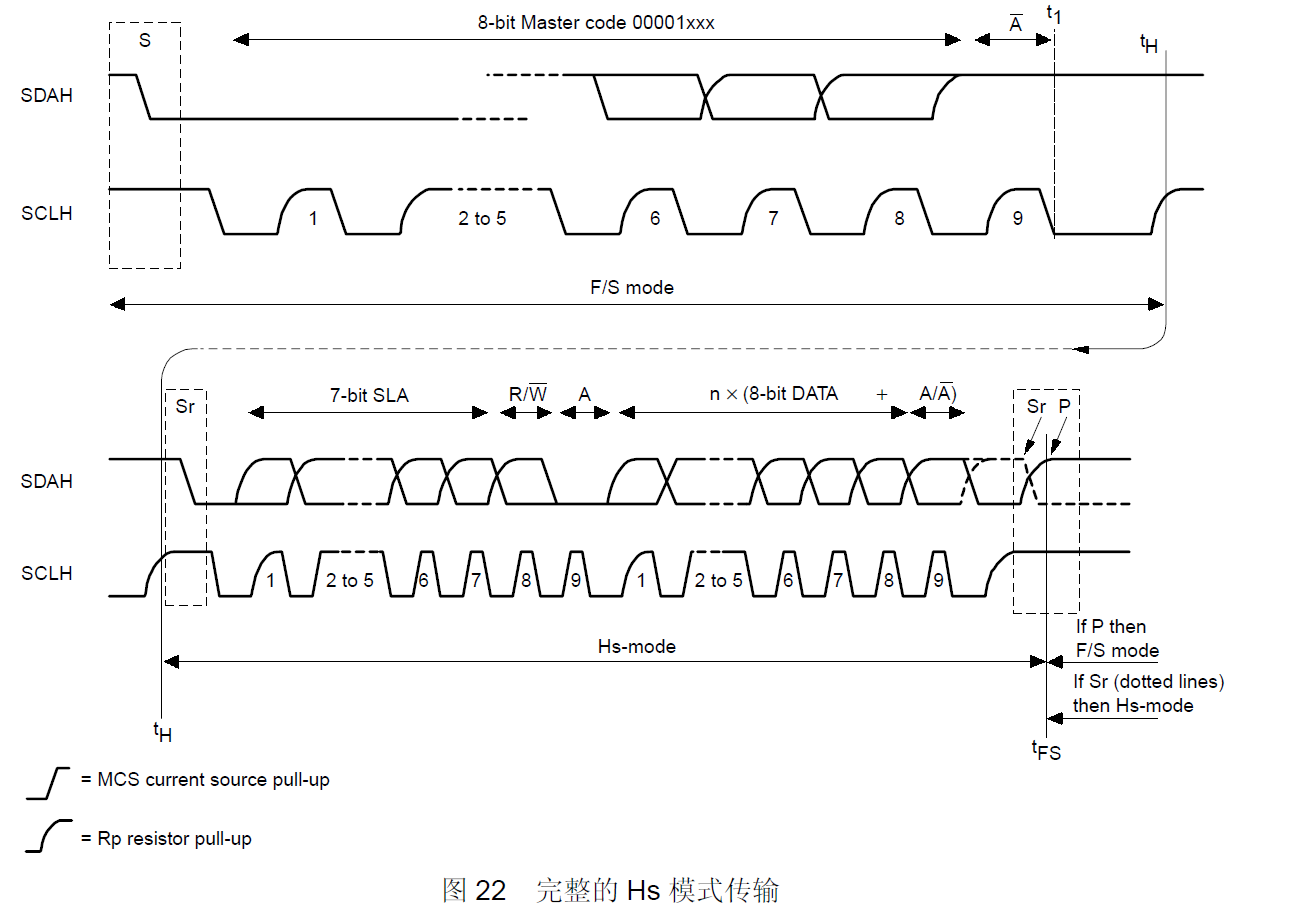
能其他器件通过延长SCLH 信号的低电平周期延长串行传输当所有器件释放而且SCLH 信号到达高电平

激活的主机再次使能它的电流源上拉电路加速SCLH 信号上升时间的最后部分

在下一个重复起始条件Sr 后数据传输仍处于Hs 模式它只会在停止条件P 后返回F/S 模式

为了减少主机码的额外开销主机可能连接由重复起始条件Sr 分隔的大量Hs 模式传输





## 从F/S 模式切换到Hs 模式以及返回

复位和初始化后Hs 模式器件必须处于快速模式实际上是F/S 模式因为快速模式向下兼容标准模

式每个Hs 模式器件可以从快速模式切换到Hs 模式以及相反由I2C 总线的串行传输控制

在图22 的时间t1 前每个连接的器件都在快速模式下工作时间t1 和tH 之间任何器件都可以延长

这个时间间隔每个连接的器件必须识别S 00001XXX A 序列而且要将内部电路从快速模式设置切

换到Hs 模式设置时间t1 和tH 之间连接的主机和从机器件由下面的行为执行切换

激活获胜的主机

1 根据Hs 模式的毛刺抑制要求调整SDAH 和SCLH 的输入滤波器

2 根据Hs 模式的要求调整建立和保持时间

3 根据Hs 模式的要求调整SDAH 和SCLH 输出级的斜率控制

4 要求在时间tH 后切换到Hs 模式位速率

5 在时间tH 使能SCLH 输出级的电流源上拉电路

不激活或丢失仲裁的主机

1 根据Hs 模式的毛刺抑制要求调整SDAH 和SCLH 的输入滤波器

2 当总线再次空闲时等待检测停止条件所有从机

1 根据Hs 模式的毛刺抑制要求调整SDAH 和SCLH 的输入滤波器

2 根据Hs 模式的要求调整建立和保持时间这个要求可能已被调整输入滤波器满足

3 如果有必要调整SDAH 输出级的斜率控制对于从机器件斜率控制只能应用到SDAH 输出级基于电路的容差快速模式和Hs 模式的要求可能不用切换内部电路就能满足

在图22 的tFS 时间每个连接的器件必须识别停止条件P 并在t1 时间前将内部电路从Hs 模式设置切换回快速模式设置这必须根据快速模式规范在表5 指出的最小总线空闲时间内完成

## 低速模式中的快速模式器件

Hs 模式器件完全向下兼容可被连接到一个F/S 模式I2C 总线系统见图23 由于在这种配置下不能发送主机代码所有Hs 模式主机器件处于F/S 模式而且将它们的电流源禁能用F/S 模式速度通讯SDAH 和SCLH 管脚用于连接F/S 模式的总线系统允许Hs 主机器件的SDA 和SCL 管脚如果存在用于其他功能

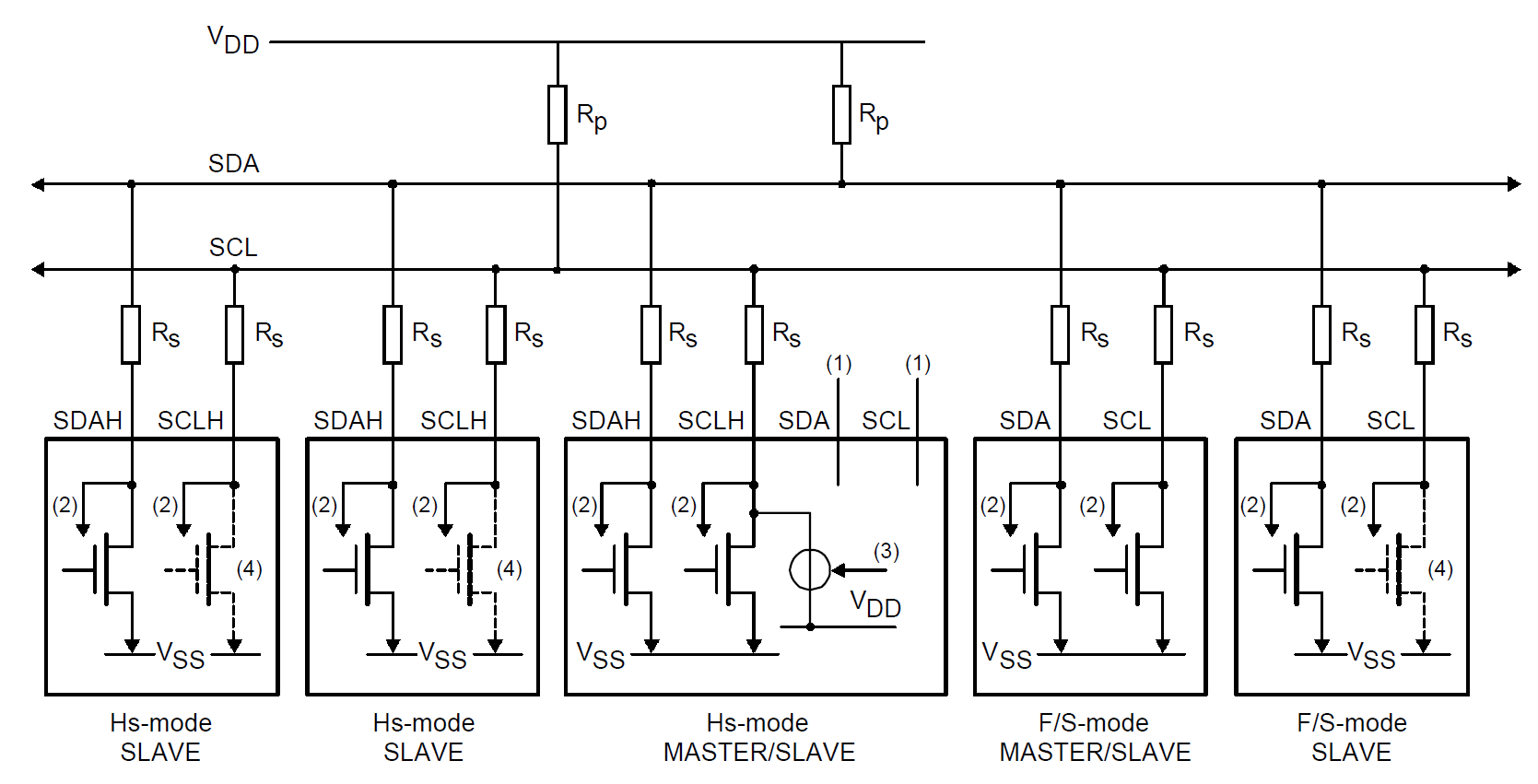


图23 F/S 模式速度下的Hs 模式器件

(1)不使用电桥SDA 和SCL 可能有别的功能

(2)到输入滤波器

(3)电流源上拉电路保持禁能

(4)虚线的晶体管是可选的开漏输出可以延长串行时钟信号SCL

## 串行总线系统的混合速度模式

如果系统结合了Hs 模式快速模式和或标准模式器件可以用一个互连的电桥实现在不同的器件之间有不同的位速率

见图24 和25

电桥要求在适当的时间连接断开Hs 模式部分到从F/S 模式部分的连接这个电桥包含电平转换功能允许电源电压不同的器件互连如果SDA 和SCL 管脚兼容5V 例如VDD2 是5V 的F/S 模式器件可以连接到VDD1 是3V 或更小即VDD2 VDD1 的Hs 模式器件电桥在Hs 模式的主机器件中完全由串行信号SDAH SCLH SDA 和SCL 控制这个电桥可以在任何IC 中作为自治电路执行

TR1 TR2 和TR3 是N 通道晶体管TR1 和TR2 有传输门的功能TR3 是一个开漏极的下拉级如果TR1 或TR2 导通它们在两个方向上都传输低电平另外当漏极和源极都上升到高电平时在每个导通的晶体管漏极和源极之间是高阻态在后面的情况中晶体管将作为一个电平转换器SDAH 和SCLH将被上拉到VDD1 SDA 和SCL 将被上拉到VDD2

在F/S 模式速度下其中一个Hs 模式主机的电桥连接SDAH 和SCLH 线到相应的SDA 和SCL 线

因此允许Hs 模式器件在较慢的速度下与F/S 模式器件通讯所有连接的器件在整个F/S 模式传输中如第8章描述的进行仲裁和同步但是在Hs 模式传输中电桥打开将两个总线部分分隔开来使Hs 模式器件之间以3.4Mbit/s 通讯Hs 模式器件和F/S 模式器件之间的仲裁只在主机码00001XXX 处执行一般由Hs 模式主机获胜因为没有从机地址用4 个0 开始其他主机只有在发送保留的8 位代码00000XXX时才能赢得仲裁此时电桥保持关闭而且传输在F/S 模式中进行表3 给出了这种系统可能的通讯速度

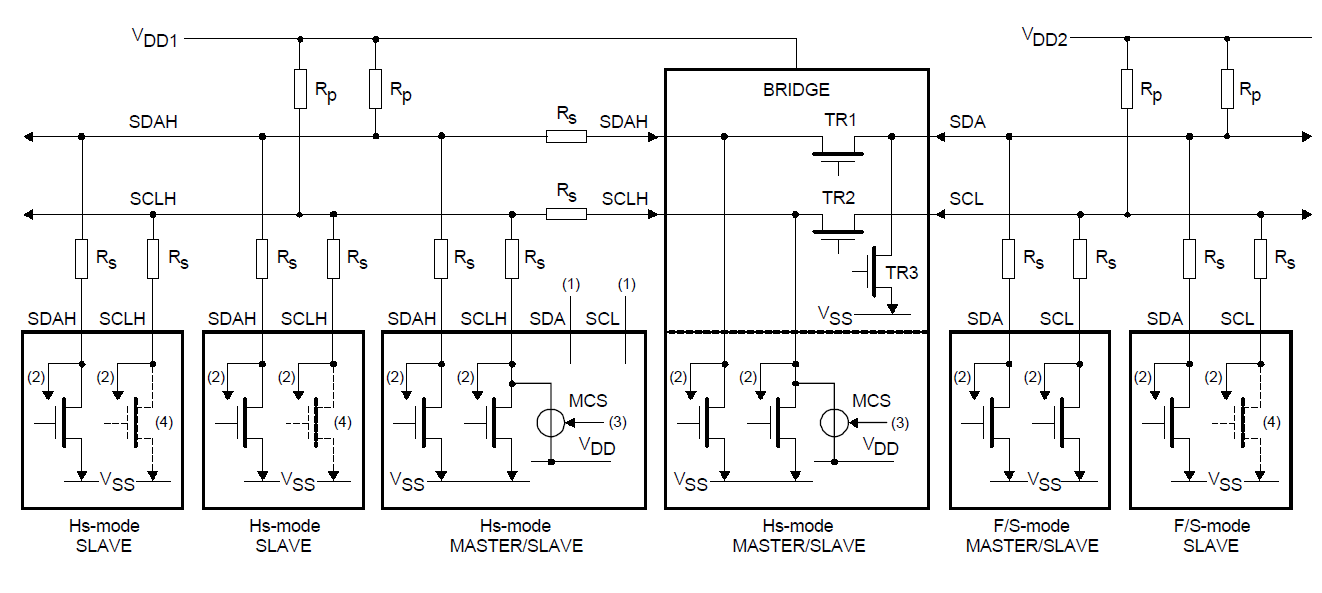


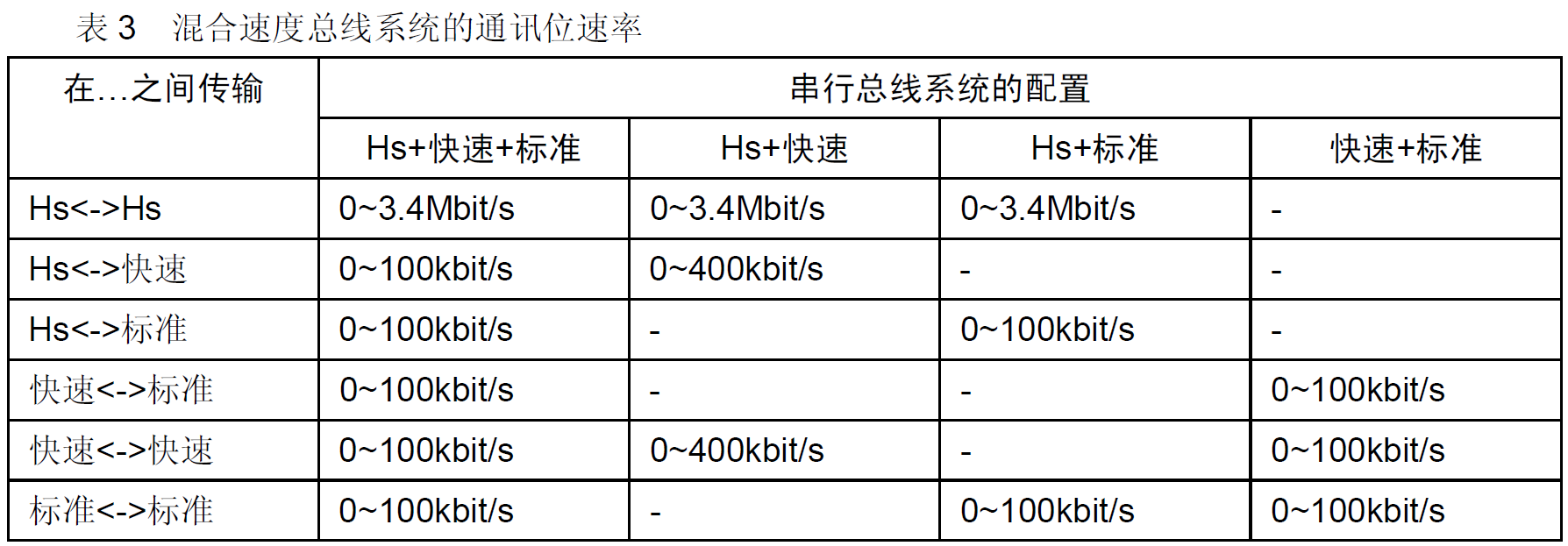
图24

(1)不使用电桥SDA 和SCL 可能有别的功能

(2)到输入滤波器

(3)只有激活的主机能使用电流源上拉电路

(4)虚线的晶体管是可选的开漏输出可以延长串行时钟信号SCL



13.5.1 在混合速度总线系统中的F/S 模式传输

图24 显示的桥路互连了相应的串行总线线路组成一个串行总线系统由于不发送主机码

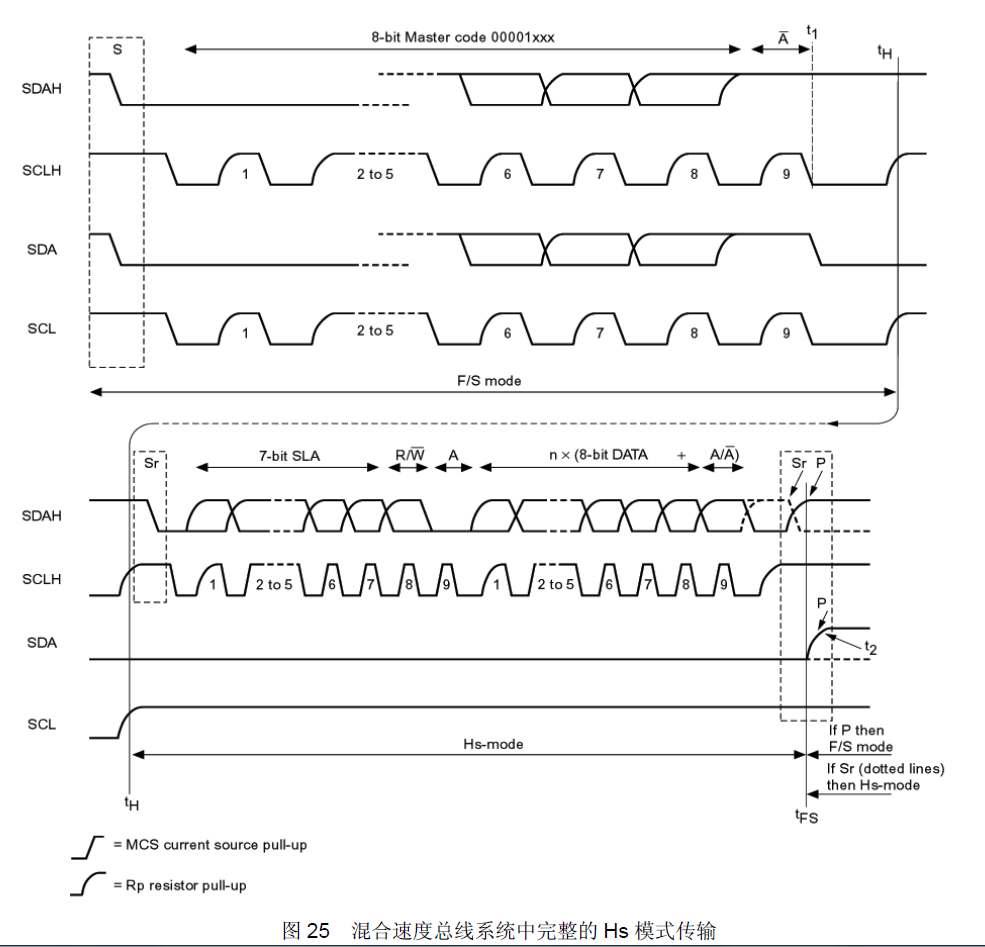
00001XXX 电流源上拉电路保持禁能而且所有输出级都是开漏输出所有器件包括Hs 模式器件

之间的通讯都根据F/S 模式I2C 总线规范的协议格式速度

13.5.2 在混合速度总线系统中的Hs 模式传输

图25 显示了在F/S 模式速度下完整Hs 模式传输包括起始条件主机码和不响应位A 的时序图

尽管这个时序图被分成两个部分但它应被看作是一个时序图其中时间点tH 是两个部分的公共点



主机码被激活或非激活的主机电桥见图24 识别出来电桥执行以下的动作

1 在t1 和tH 之间见图25 在晶体管TR3 关断将SDA 线下拉到VSS 后晶体管TR1 导通以分隔

SDAH 和SDA 线

2 当SCLH 和SCL 都是高电平时图25 的tH 晶体管TR2 导通以分隔SCLH 和SCL 线TR2

必须在Sr 后SCLH 变低电平之前保持开路

Hs 模式传输在tH 后用重复起始条件Sr 启动在Hs 模式传输中SCL 线保持高电平SDA 线处

于稳定状态的低电平准备好传输停止条件P

在每个响应A 或不响应位A 后激活的主机禁能它的电流源上拉电流这就使其他器件可以

通过延长SCLH 信号的低电平周期延迟串行传输激活的主机在所有器件释放而且SCLH 信号是高电平时

再次使能它的电流源上拉电路加速了SCLH 信号上升时间的最后部分在不正常的情况下F/S 模式器

件可以在任何时侯下拉SCL 线至少1μs 来关闭电桥TR1 和TR2 关断TR3 导通例如从总线中止恢

复

Hs 模式用停止条件结束而且将总线系统返回到F/S 模式当在SDAH 检测到图25 的tFS 停止条

件P 激活的主机禁能它的电流源MCS 电桥也能识别这个停止条件而且采取了以下的行动

1 晶体管TR2 在tFS 后关断使SCLH 和SCL 互连此时两条线路都是高电平晶体管TR3 在tFS

后导通释放SDA 线允许它被上拉电阻Rp 拉成高电平这就是F/S 模式器件的停止条件TR3

的导通必须足够快确保停止条件和下一个最快的启动条件之间的总线空闲时间是依照快速模式的规范见表5 的tBUF

2 当SDA 到达高电平图25 的t2 晶体管TR1 关断使SDAH 和SDA 互连注意当所有线

路是高电平时才互连防止总线线路的毛刺TR1 和TR2 必须在快速模式规范定义的最小总线

空闲时间内关断见表5 的tBUF

13.5.3 混合速度总线系统中电桥的时序要求

从图25 可以看出电桥在t1 tH tFS 处的行动必须很快不能影响SDAH 和SCLH 线而且电桥必

须符合SDA 和SCL 线快速模式规范相关的时序要求

## 传输举例

|  |  |
| --- | --- |
|  |  |
| 主机端向外发送数据 | 主C:\Users\Administrator\AppData\Roaming\Tencent\Users\121487503\QQ\WinTemp\RichOle\$0IF`30~UUH_3T})1BJ(V63.png  以7位主发送器为例：  1.主机控制产生起始信号(S)，起始信号发送出去后， SR1寄存器的SB位置1，产生事件EV5，表示起始信号已经发送。  2.主机发送设备地址以及“写”位，并等待应答信号，收到应答信号A后  SR1寄存器的“ADDR”位被置1，产生事件“EV6” ，ADDR 为1表示地址已经发送  SR1寄存器的“TXE”位被置1，产生事件“EV8” ， TXE为1表示数据寄存器为空。  3.往主机I2C的数据寄存器DR写入要发送的数据Data1，这时TXE位会被重置0，表示数据寄存器非空，I2C外设通过SDA信号线一位位把数据发送出去，一个数据（8位）全部发送完毕后，TXE位被置1，产生“EV8”事件。  主机会等待从机发送的应答信号A  4.重复步骤3，就可以发送多个字节数据了；    5. “EV8”事件后，主机产生一个停止信号(P)，停止信号发送出去后SR1的TXE位及BTF位都被置1，产生EV2事件，表示通讯结束。    假如我们使能了I2C中断，以上所有事件产生时，都会产生I2C中断信号，进入同一个中断服务函数，到I2C中断服务程序后，再通过检查寄存器位来了解是哪一个事件。 |
| I2C通讯的主机端从外部接收数据的过程 | C:\Users\Administrator\AppData\Roaming\Tencent\Users\121487503\QQ\WinTemp\RichOle\BSE2@8TQ~8P2P`W56MAT~NT.png  以7位主发送器为例：  1.主机控制产生起始信号(S)，起始信号发送出去后， SR1寄存器的“SB”位置1，产生事件“EV5”，表示起始信号已经发送。    2.主机发送设备地址以及“读”位，并等待应答信号，收到应答信号后  SR1寄存器的“ADDR”位被置1，产生事件“EV6” ，ADDR 为1表示地址已经发送  SR1寄存器的“TXE”位被置1，产生事件“EV8” ， TXE为1表示数据寄存器为空。  3.往主机I2C的“数据寄存器DR”写入要发送的数据，这时TXE位会被重置0，表示数据寄存器非空，I2C外设通过SDA信号线一位位把数据发送出去，一个数据（8位）全部发送完毕后，TXE位被置1，产生“EV8”事件    3.从机端接收到地址以及“读”位后，开始向主机端发送数据。  当主机接收到这些数据后，SR1寄存器的RXNE被置1，会产生“EV7”事件，表示接收数据寄存器非空，我们读取该寄存器后，可对数据寄存器清空，以便接收下一次数据。  4.控制主机I2C发送应答信号(ACK)或非应答信号(NACK)  若应答，则重复步骤3接收数据，  若非应答，产生停止信号(P)，结束传输。 |
|  |  |
|  |  |
|  |  |